



UNIVERSITATEA POLITEHNICA DIN
BUCUREȘTI

Școala Doctorală de Electronică, Telecomunicații
și Tehnologia Informației

Decizia Nr. ____ din ____ - ____ - ____

ANALOG DEVICES INC.

REZUMAT TEZĂ DE DOCTORAT

Viorel Bucur

REFERINTE DE TENSIUNE AVANSATE
BAZATE PE DIODE ZENER

Advanced Zener-Based Voltage References

Traducere din limba engleză

COMISIA DE DOCTORAT

Prof. Dr. Ing. Bogdan IONESCU "Univ. Politehnica din București"	Președinte
Prof. Dr. Ing. Mircea BODEA "Univ. Politehnica din București"	Conducător de doctorat
Prof. Dr. Ing. Lidia DOBRESCU "Univ. Politehnica din București"	Membru
Prof. Dr. Ing. Liviu GORAȘ "Univ. Tehnic Gheorghe Asachi din Iași"	Membru
Conf. Dr. Ing. Marius NEAG "Univ. Tehnică din Cluj-Napoca"	Membru

BUCUREȘTI 2022

Cuprins

Cuprins	ii
Chapter 1 O scurtă istorie a "Voltului"	1
1.2 Un compromis nesfârșit: precizie (precizie) vs. cost (financiar sau de altă natură)	1
1.4 Abordare orientată cu rezultate comparative	2
1.6 Obiectivele cercetării tezei	2
1.7 Scurt rezumat al tezei	3
Chapter 2 Modelarea cu Temperatura a Diodei Zener.....	6
Chapter 3.....	8
Arhitectura cu substrat neincalzit.....	8
3.1 Celula Flip Delta VBE (ΔVBE).....	8
3.6 Detalii de implementare a proiectului fizic TC1	9
3.7 Evaluarea TC1 IC încapsulată.....	10
Chapter 4 Scăderea tensiunii de alimentare a Zener-TC1	13
4.1 Front-end Charge-Pump.....	13
4.1.2 Performanța pompei de sarcină și eficiența atenuării valurilor	13
4.2 Detalii de implementare a proiectului fizic TC2	14
4.3 Evaluarea Zener-TC2 încapsulat in platic	16
Chapter 5 B-Zener de înaltă performanță	18
5.1 Arhitectură Zener-TC3 de înaltă performanță bazată pe diodă B-Zener	18
5.2 Măsurători de evaluare tc3 IC încapsulate	19
Chapter 6 Corectarea nonlinearității unei tensiunii bază-emitor a BJT.....	23
6.2 Implementarea de bază a circuitului de corecție	23

6.3	Senzor de temperatură de înaltă performanță.....	25
6.6	Avantajele tehnicii de compensare.....	26
Chapter 7 Concluzii		27
7.1	Contribuții originale și discutarea rezultatelor	28
7.2	Lista lucrărilor originale.....	32
7.3	Cercetări viitoare	34
Referințe selective.....		36

Chapter 1

O scurtă istorie a "Voltului"

De la mijlocul secolului al 19-lea, a fost nevoie de un standard repetabil de tensiune de referință. În mod ideal, acea celulă de referință standard ar fi un dispozitiv transportabil, insensibil la variații de temperatură, valori de curent debitate, efecte de derivă legate de îmbătrânire și ar avea o durată lungă de viață. De asemenea, ar trebui să fie posibil ca laboratoarele independente să construiască celula cu un grad ridicat de reproductibilitate. Datorită limitărilor tehnice ale timpului, o celulă voltaică electrochimică a fost alegerea inițială evidentă. Construcția unui astfel de dispozitiv capabil să îndeplinească majoritatea (ideal toate) acestor cerințe a făcut obiectul multor cercetări în ultimii 200 de ani.

1.2 Un compromis nesfârșit: precizie (acuratețe) vs. cost (financiar sau de altă natură)

Parametrii tehnici enumerați ca "**Specificații cheie**" sunt, de obicei, primii examinați de potențialii utilizatori atunci când se determină dacă un anumit circuit este adecvat pentru o anumită aplicație. Acești parametri sunt considerați critici de către producător, prin urmare și sunt enumerați în clar în fișa tehnică. O listă (neexclusivă) a acestor specificații și a unităților lor de măsură respective pentru referința integrată a tensiunii este prezentată mai jos:

- Arhitectura de referință (Fiecare tip are propriile avantaje și dezavantaje).
- Valori de ieșire ale tensiunii (Volt).
- Alimentare cu energie electrică (cerințe de tensiune sau curent).
- Precizia inițială (% din FSR).
- Domeniul funcțional de temperatură ($^{\circ}C$).
- Coeficientul de temperatură TC ($ppm/^{\circ}C$).
- Cip IC complet integrat (fără componente externe).
- Zgomot de ieșire de referință ($\mu Vp-p$).
- Costul dispozitivului (\$).

- Disponibilitatea pachetului IC (încapsularea plachetei de siliciu și costul).

Există, de asemenea, o multitudine de "**specificații secundare**" care sunt parametri critici de performanță ai referințelor de tensiune care trebuie luate în considerare:

- Drift pe termen lung (LTD) (*ppm/1khr*).
- SHR Drift post-reflow (Lipire pe PCB) măsurată în ppm.
- Soluție de siliciu stabilizată cu temperatura ambiantă (direct legată de cerințele de alimentare cu energie electrică).

Atunci când se determină gradul de importanță al specificațiilor primare și/sau secundare în proiectare, un compromis trebuie considerat. Restricționarea agresivă a acestor cerințe poate avea ca efect o implementare imposibilă a proiectului și/sau o sarcină de fabricație imposibilă. Accentul principal al investigației noastre în această teză este caracterizarea dependenței de temperatură a IC încapsulate în plastic, stresul indus de lipirea pe placă PCB, TC, și variații ale tensiunii de referință dependente de histerezis.

1.4 Abordare orientată cu rezultate comparative

În teza curentă au fost efectuate cercetări detaliate, concentrate atât pe parametrii cheie, cât și pe parametrii secundari de specificație ai arhitecturilor "State of the Art", din panopia circuitelor integrate de referință de tensiune disponibile, indiferent de principiul de implementare. O comparație detaliată (tabelul I) identifică avantajele și dezavantajele asociate fiecărei arhitecturi. Atât arhitecturile de tensiune de referință cu substrat compensat termic (TCUBZ), cât și cele necompensate termic (TUCBZ) pe bază de siliciu au fost incluse în această cercetare.

1.6 Obiectivele de cercetare ale tezei

Obiectivul acestei teze este de a îmbunătăți Figura de Merit (FoM) legată de putere a celor mai stabile, "State of the Art" referințe de tensiune, bazate pe diode Zener fabricate pe plachetă de siliciu. Așa cum am prezentat mai devreme, stresul indus de pachetul mecanic a fost identificat ca un factor important în limitarea performanțelor circuitelor integrate moderne. Cercetarea actuală va încerca să reducă influența încapsulării în plastic direct responsabilă de variația tensiunii de ieșire a circuitelor, prin utilizarea[1] ca referință a tensiunii noastre un dispozitiv Zener îngropat care este mai puțin sensibil la stres[2]. Va fi investigată o metodă inovatoare de compensare (numită

Flip ΔV_{BE}) bazată pe tensiuni rațio-metrice. Aceasta este folosită ca înlocuitor al diodei polarizate direct utilizată ca metodă de compensare în mod tradițional.[3][4]

Teza prezintă, de asemenea, o posibilă abordare pentru a obține o tensiune de referință bazată pe Zener la o tensiune de alimentare scăzută. Un circuit de pompă de sarcină va genera, de la o tensiune de alimentare scăzută, o valoare mai mare de ieșire. În a doua etapă, un curent de polarizare cu zgomot scăzut este generat din partea de joasă tensiune a designului propus și apoi oglindit în blocul de înaltă tensiune, pentru a furniza curentul de polarizare necesar diodei Zener. În acest fel, tensiunile stabile bazate pe Zener de referință pot fi obținute pentru orice valoare de ieșire, pornind de la tensiuni de alimentare scăzute, între 2V și 5V [5].

Un circuit în concordanță cu acest nou principiu de compensare propus este proiectat, simulat SPICE și implementat fizic într-un proces standard de fabricație. Circuitele integrate asamblate, încapsulate în plastic, sunt supuse unui ciclu complet de evaluare a prototipului. Scopul final al acestei cercetări este de a produce o referință de tensiune pe bază de siliciu, independentă de pachetul folosit, **neîncălzită**, cu un **TC** scăzut (**în mod ideal ~ 1ppm /°C**) pe întreaga gamă industrială de temperatură (**-55°C până la 125°C**). De asemenea, după încapsularea finală, va trebui dezvoltat un circuit de ajustare digitală, flexibil și eficient, atât pentru componentele liniare, cât și pentru cele neliniare prezente în ieșirea de referință.

Investigarea și atenuarea tuturor celorlalte influențe termice legate de încapsularea în plastic (**SHR, LTD** și histerezis), care au un impact direct asupra tensiunii de ieșire dependentă de temperatură, sunt deosebit de importante pentru această teză. Reducerea stresului indus de împachetarea circuitelor integrate în plastic propus în această teză, în primul rând, prin rezistența diodei Zener îngropată și în al doilea rând prin raportul inovator ratio-metric ΔV_{BE} al celulei nou dezvoltate (mai puțin sensibilă la stres mecanic / electric), deschide calea pentru cercetări suplimentare cu finalizare în realizarea unui dispozitiv bazat pe siliciu neîncălzit cu $TC < 1ppm /°C$ abatere pentru gama industrială de temperatură.

1.7 Scurt rezumat al tezei

După cum se subliniază în **Capitolul 2**, nu există un model numeric disponibil pentru **B-Zener**, capabil să descrie cu precizie dependența de temperatura dispozitivului și

implicațiile curentului de polarizare. Măsurătorile dispozitivelor au fost efectuate pentru ambele dispozitive Zener utilizate în această cercetare. Pe baza unui eșantion de **30 de diode** Zener pentru fiecare tip de dispozitiv, rezultatele au fost utilizate pentru a construi un model numeric atât pentru **S-Zener**, cât și pentru dependența de temperatură a diodelor **B-Zener** pentru întreaga gamă de temperatură. Noul model dezvoltat pe baza acestor măsurători va permite o bună corelație între simulări și măsurători ale circuitului încapsulat pe plachetă de siliciu. Influența curentului de polarizare atât în ceea ce privește valoarea absolută, cât și variația dependenței de temperatură vor trebui să fie investigate, ca surse de erori de neliniaritate.

Arhitectura și proiectarea detaliată a circuitelor, simularea SPICE, analiza dispozitivelor, implicațiile layout-ului și măsurătorile IC încapsulate sunt toate incluse în **Capitolul 3** pentru arhitectura noastră inițială numită Test-Chip1 **TC1**.

Performanțele notabile ale Test-Chip1 (**TC1**) (bazate pe 30 **PLCC** [6], încapsulate în plastic) sunt:

- **Arhitectura siliciului neîncălzit** (nestabilizată termic).
- **TC scăzut** pentru toate circuitele integrate încapsulate măsurate. **1ppm/°C** $<TC < 6.5ppm/°C$.
- Tensiune de alimentare joasă (~ **5.6V** cu **scăzut $I_{DD} = 100\mu A$**) pentru proiectarea inițială.
- Deriva **SHR** scăzută **<400ppm**.
- Funcționalitate intervalului de temperatură industrială: **-55°C până la 125°C**.
- Abatere scăzută pe termen lung (**abatere ppm/°C** cu cifre scăzute după 1k ore).
- Dependență redusă de proces (Circuitul de compensare a temperaturii se bazează pe **raporturile de curent ale zonei BJT**, care este mai puțin susceptibilă la variația de proces).
- Ajustare digitală ușoară și eficientă a coeficientului **de temperatură (TC)**.
- **Pachet plastic** (alternativă cost scăzut vs. **TO-8 Metal**).
- Precizie inițială: **<1%** (Nu mai există o contribuție directă a V_{BE} la ieșire).
- Amprentă mică de siliciu (mai mică de **1sqmm**) și capacități de montare SMD.

Pe baza măsurătorilor IC încapsulate efectuate pe **TC1**, îmbunătățiri suplimentare vor fi analizate pe larg și se propune o posibilă soluție în **Capitolul 4**. Această arhitectură

nouă (numită Test Chip 2-TC2) beneficiază de o cerință redusă a tensiunii de alimentare (**Min 2.7V**) în modul normal de funcționare, menținând în același timp toate celelalte specificații ale **TC1** neafectate. Așa cum este prezentat în **Capitolul 4**, un circuit de pompă de sarcină va genera dintr-o tensiune de alimentare scăzută, o valoare mai mare de polarizare de ieșire. În a doua etapă, un curent de polarizare cu zgomot scăzut este generat din partea de joasă tensiune a designului propus și apoi oglindit în blocul de înaltă tensiune, pentru a furniza curentul de polarizare necesar diodei Zener. În acest fel, tensiunile stabile bazate pe diode Zener pot fi obținute pentru orice valoare a tensiunii de alimentare, între 2V și 5V. Un alt punct meritoriu al plachetei de circuit **TC2** este abordarea modulară "Lego Like", care ne va permite să efectuăm o evaluare individuală a contribuțiilor componentelor de ieșire. Pe baza plachetei de siliciu **LFCS**P încapsulate în plastic (**50 componente**), măsurătorile IC au fost efectuate pe TC2. Acestea au identificat dioda **S-Zener** în sine ca un factor limitativ major al performanței globale a IC.

În **Capitolul 5**, această cercetare propune o nouă arhitectură, numită Test Chip 3 (**TC3**), înglobând o diodă B-Zener de înaltă performanță. Un B-Zener co-ambalat și circuitele de compensare asociate sunt supuse unui ciclu complet de evaluare a prototipului. Repere ale performanțelor Test-Chip3 (**TC3**) (bazate pe **100 de circuite integrate încapsulate QSOP**) sunt:

- Arhitectura siliciului neîncălzit (nestabilizată termic).
- Tensiune de alimentare scăzută ($\sim 7.5V$ la un $IDD = 100\mu A$) pentru proiectarea inițială.
- TC scăzut pentru toate circuitele integrate măsurate. $1ppm/^{\circ}C < TC < 4ppm/^{\circ}C$.
- **Abaterea SHR (Re-Flow) scăzută <50ppm** (sau +75% reducere față de TC1).
- Precizie inițială: **<0.5%** (Nu mai există o contribuție directă a V_{BE} la ieșire).

Toți ceilalți parametri nu au fost afectați de această îmbunătățire și au rămas nemodificați, identici cu specificațiile cipului **TC1**.

În **Capitolul 6**, se dezvoltă un nou brevet (în curs de aprobare) pentru o metodă de corecție a neliniarității. Pentru a accelera cererea de brevet, este propus un circuit de corecție independent pentru un senzor de temperatură ultra-precis. Această metodă inovatoare de corecție poate fi încorporată în circuitul actual de compensare flip ΔV_{BE} descris în **Capitolul 3** (similar cu funcționalitatea brevetului) și facilitează corecția

neliniarității designului de referință bazat pe Zener. Acest circuit de corecție propus, ca prototip avansat, a fost supus la o analiză completă detaliată a designului, simulare SPICE, realizare a măștilor de layout și așteaptă să fie fabricat pe plachetă de siliciu.

La final, se va stabili în ce măsură au fost atinse obiectivele noastre inițiale de cercetare și domeniile posibile în care sunt necesare investigații suplimentare de cercetare. Deoarece scopul nostru este de a produce o referință de tensiune pe bază de siliciu eficientă din punct de vedere al costurilor, independentă de ambalaj, neîncălzită, cu performanțe îmbunătățite, toate măsurătorile rămase (neefectuate încă) asociate cu un ciclu complet de evaluare a prototipului vor trebui finalizate pentru a garanta conformitatea specificațiilor produsului.

Chapter 2

Modelarea cu temperatură a diodei

Zener

Majoritatea modelelor de simulare disponibile până în prezent sunt ale diodelor Zener individuale [7]. Un model nou pentru o diodă Zener încorporată va fi necesar pentru a efectua toate sarcinile portofoliului de simulare și verificare înainte de fabricarea efectivă a cipurilor TC1. Există o lipsă de analiză detaliată a modelului diodei Zener bazate pe fizica solidului și a suportului matematic atunci când se discută despre o implementare funcțională a dispozitivului asociată cu un comportament "real" al unei diode Zener.

Posibilitatea de a accesa aceste baze de date conținând modele PSpice / spice pentru componente individuale este un instrument valoros la dispoziția noastră. ROHM Semiconductor oferă o colecție largă de modele individuale de diode Zener, tensiunea Zener variind de la [7] **3.6V** la **36V**, pentru utilizare academică și necomercială. Aceste

modele Zener au fost folosite ca punct de plecare a modelului numeric în analizarea propriilor caracteristici de dependență de temperatură a dispozitivului Zener [8].

Pe baza analizei, se propune un model numeric cu următorii termeni: valoare absolută, componente liniare și neliniare descrise în ecuație (2.1):

$$V_z = V_0 + \alpha \frac{T}{T_0} + \beta T \ln\left(\frac{T}{T_0}\right) \quad (2.1)$$

unde: = dependența globală de V_z temperatură a tensiunii Zener, V_0 = valoarea independentă de temperatură asociată cu valoarea Zener extrapolată la 0K. α coeficient asociat cu dependența liniară de temperatură, β coeficient asociat cu dependența de temperatură neliniară sub formă $T \ln(T)$.

Din cauza constrângerilor prezentate mai devreme, o abordare de măsurare model cutie neagră va fi implementată în această teză. Măsurarea și analizarea tensiunii Zener necompensate se va efectua din punct de vedere al variației de ieșire a dependenței de temperatură. Pe baza acestor valori măsurate, va fi propus un nou model matematic de dependență de temperatură atât pentru diodele de suprafață, cât și pentru cele Zener îngropate în substrat.

Neliniaritatea asociată cu această tensiune Zener necompensată va fi măsurată, analizată și simulată în special din punctul de vedere al tipului de dependență de temperatură al curenților de polarizare (de exemplu, **PTAT**, **ZTAT**, **CTAT**). În cele din urmă, pentru a obține coeficientul de temperatură al tensiunii de referință (ppm) dorit cu o singură cifră, această neliniaritate va trebui să fie controlată, chiar compensată, iar circuitele de ajustare digitală după împachetarea în plastic, vor fi puse la dispoziție după fabricație. Valoarea absolută și dependența de temperatură a curentului de polarizare induc o variație a valorii de ieșire a tensiunii Zener necompensate. Capacitatea de a decupla componenta indusă de curentul de polarizare de neliniaritate de tensiunea de referință compensată este importantă pentru această teză. Orice curent de polarizare poate fi selectat conform cerințelor specificațiilor de proiectare, iar neliniaritatea indusă poate fi apoi compensată. O posibilă metodologie de compensare aplicabilă în acest caz este prezentată în teza curentă[9] și surprinsă în **Cererea de Brevet APD6917US01** "Un circuit pentru generarea unei ieșiri dependente de temperatură" (depusă în ianuarie 2020).

Chapter 3

Arhitectura cu substrat neîncălzit

3.1 Celula Flip Delta V_{BE} (ΔV_{BE})

Așa cum este prezentat în Capitolul 1, referințele de tensiune insensibilă la temperatură pot fi împărțite în două categorii principale: tipul Zener îngropat și tipul de tensiune Bandgap, [10], [6]. Ambele au avantaje și dezavantaje. Tensiunile de referință bazate pe Zener îngropat sunt mai puțin sensibile la stres și au LTD mai mic (aproximativ 3ppm / 1kh) [3], [6]. Principalul lor dezavantaj este legat de tensiunea minimă de alimentare, de cel puțin 6.5V. Referințele de tensiune de tip Bandgap pot funcționa în afara tensiunilor de alimentare de până la 1V, dar au LTD mai mare în comparație cu tipul Zener îngropat (de obicei <30ppm/1kh) [11], [6].

Tensiunea Zener îngropată necompensată are un TC tipic de aproximativ +2mV/°C (valoare pentru o diodă Zener de 6.3V la 27°C), așa cum este prezentat în figura 1.6. Încorporând în arhitectura [12], [6], un circuit de compensare TC de control digital este de dorit și îmbunătățește flexibilitatea și performanța TC a designului inovator. În mod tradițional, [3], [6] această dependență de temperatură este compensată prin adăugarea la tensiunea Zener a unei tensiuni bază-emitor a unui tranzistor de bipolar polarizat direct, care are un TC de aproximativ +2mV / ° C [13], [6]. Rezultatul general este o caracteristică cvasi-lineară TC, dar cele două tensiuni nu sunt niciodată perfect echilibrate [14], [6]. În plus, prin menținerea diodei Zener îngropate și a tranzistorului bipolar de compensare la o temperatură controlată forțată stabilă, selectabilă de utilizator, semnificativ mai mare decât temperatura ambiantă, se elimină practic dependența de temperatură a tensiunii de referință B-Zener încălzită.

Pe baza modelului nostru Zener anterior prezentat în **Capitolul 2**, prin utilizarea celulei flip ΔV_{BE} propuse, termenul de temperatură liniară $\frac{T}{T_0}$ este redus așa cum este prezentat în ecuația 2.1, practic eliminându-l. Cu o proiectare atentă, singurul termen dependent

de temperatură rămas este cel neliniar ($\frac{k \cdot T}{q} \ln\left(\frac{T}{T_0}\right)$), așa cum s-a discutat **Capitolul 2**. În această etapă a investigației noastre, planul de acțiune este de a reduce termenul neliniar prin selectarea corectă a valorii curentului de polarizare corespunzătoare și a dependenței de temperatură. Noua arhitectură nu utilizează procesul necontrolat dependent, [14], [6], pentru a compensa o diodă Zener V_{BE} (**CTAT**) (**PTAT**) [12], [6]. Spre deosebire de arhitectura clasică, [3], [6], la tensiunea Zener necompensată (**PTAT**) nu este adăugată o tensiune V_{BE} (**CTAT**), noua arhitectură propune o scădere a unei tensiuni ΔV_{BE} (**PTAT**), după modelul generat prezentat în Figura 3.1 [15], [6].

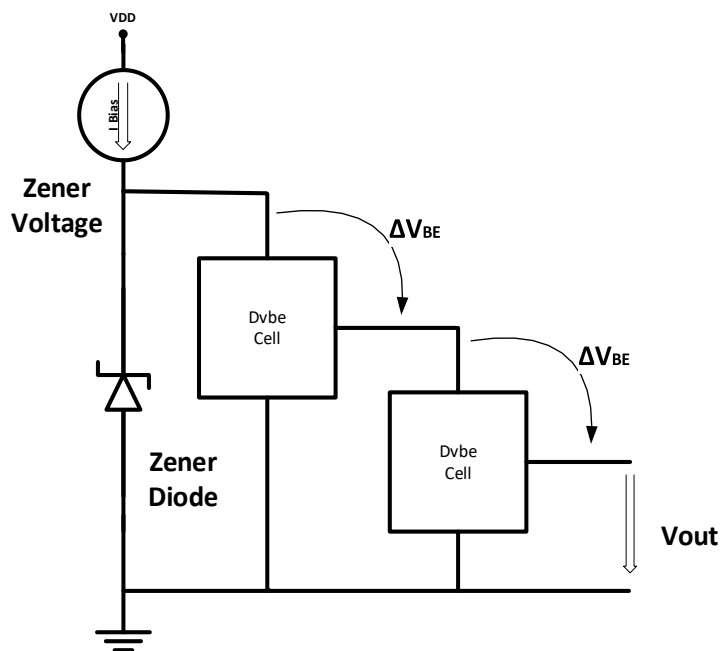


Figura 3.1 Diagramă inovatoare a blocului de arhitectură Zener-TC1

Începând cu brevetul original al prof. dr. Stefan Marinca din SUA **US8531169B2**[16], se dezvoltă o nouă topologie celulară, potrivită cerințelor noastre. Conceptul inovator este acela de a genera tensiunea de compensare necesară (PTAT) ca o cădere de la VDD sau o tensiune Zener neîncălzită necompensată și nu ca o tensiune crescătoare de la pinul de masă, așa cum se propune în circuitul propus inițial de brevet.

3.6 Detalii de implementare a proiectului fizic TC1

Pentru implementarea fizică a fost selectat un proces analogic **Bi-CMOS de 0.6 μ m**. Acest nod tehnologic de înaltă performanță / cost redus a fost selectat deoarece a susținut și modelat deja toate componentele necesare în proiectarea actuală: PNP BJT, NPN BJT, Diode Zener, Diode redresoare, LVNMOS, HV NMOS, 5V PMOS, 5V

NMOS, NWCAP, Capacități Poli-Poli, Rezistoare TFR. TC1 a fost prevăzut într-o configurație tipică a cipului de testare.

3.7 Evaluarea Zener - TC1 plachetă încapsulată

Tensiunea de ieșire compensată ($V_{out-Zener}$) a fost măsurată folosind Agilent 3458A, iar I_{dd} -ul a fost măsurat folosind multi-metru Keithley 2000. Rezultatele preliminare înregistrate la 25°C au fost foarte promițătoare, cu o deviație standard de **9.31 mV** și o valoare medie de **4.786V**, așa cum se arată în Figura 3.26 [2], [6]

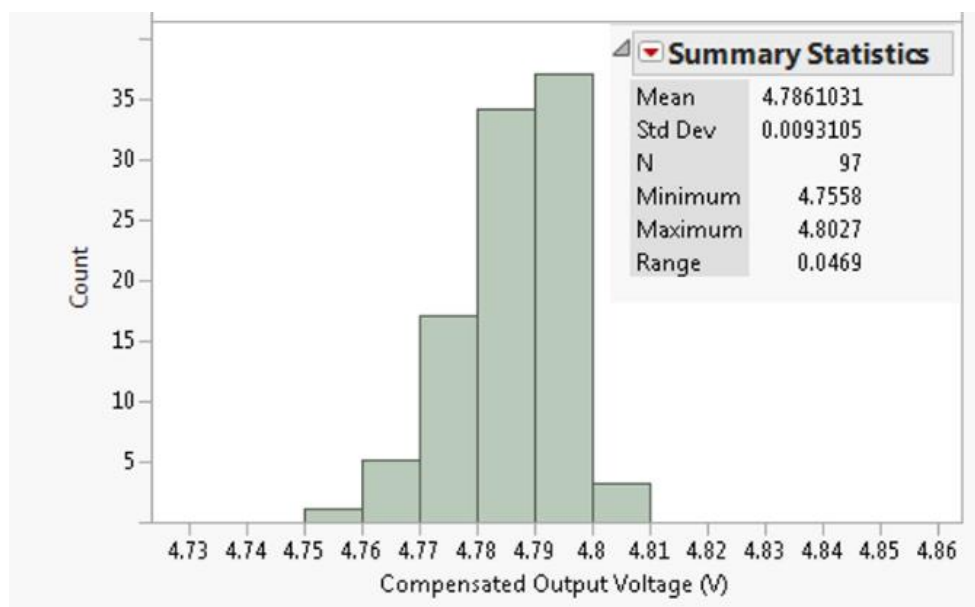


Figura 3.26 Deviația standard măsurată la 25°C de 9,31 mV și o valoare medie de 4,786V

Pe baza acestor **97** de dispozitive, s-a calculat o precizie inițială de **<1%**, pentru distribuția măsurată. Un coeficient de temperatură a fost calculat pentru o selecție de dispozitive testate, după ajustare digitală mai mică de **1.5ppm/ $^{\circ}\text{C}$** , așa cum se arată în tabelul II. Codurile de ajustare digitală necesare pentru cel mai bun TC sunt foarte asemănătoare cu valorile precise (mijlocul scalei de ajustare digitală) și confirmă o bună corelație a parametrilor între simulare și rezultatele siliciului [2].

Au fost efectuate verificări ale intervalului de ajustare digitală și ale funcționalității cu rezultate promițătoare. 100% componente funcționale au fost observate din cele **97 de dispozitive** care au fost funcționale în etapa inițială de testare. Capacitatea de a măsura și corecta atât TC-ul pozitiv, cât și negativ al diodei Zener demonstrează că semnul de corecție prezentat în Figura 3.28 a funcționat conform destinației proiectului.

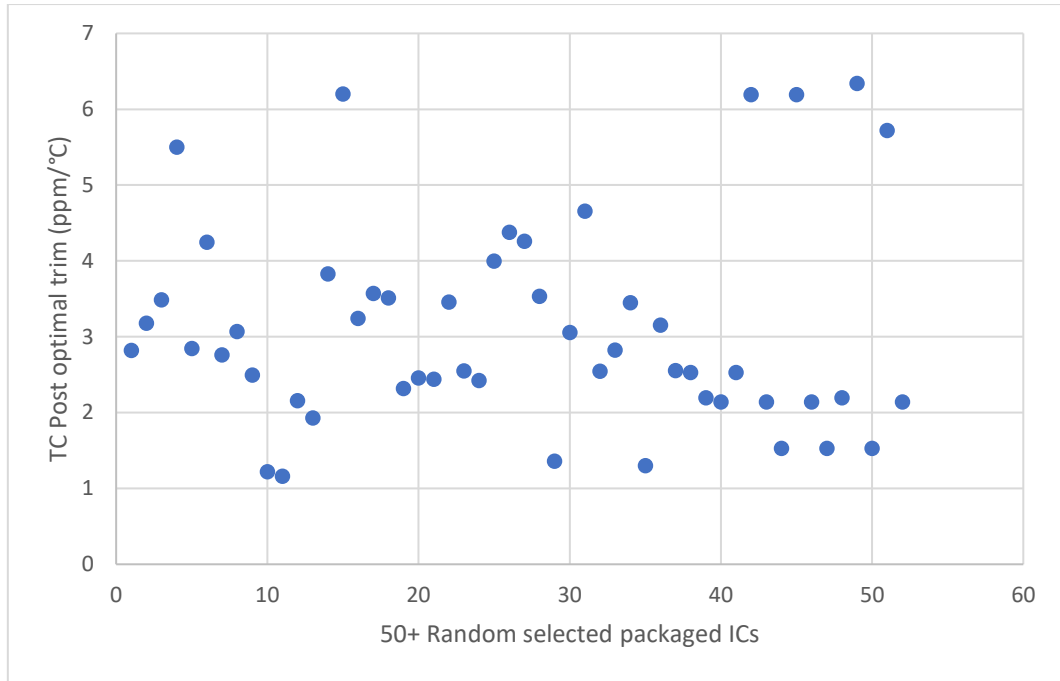


Figura 3.28 TC măsurat pentru 50+ dispozitive selectate aleator

Formula utilizată pentru calcularea acestor valori TC a fost după cum urmează:

$$TC = \frac{(\Delta V * 10^6)}{V_{@25^{\circ}C} * \Delta T} \quad (3.8)$$

unde ΔV este diferența dintre V_{max} și V_{min} , ΔT este gama de temperatură și $V_{@25^{\circ}C}$ este tensiunea de referință la $25^{\circ}C$. Pentru cele mai bune coduri asociate pentru fiecare dispozitiv, o imagine cuprinzătoare a **TC** măsurată pentru cele **50** de dispozitive selectate **aleator** este prezentată în Figura 3.29.

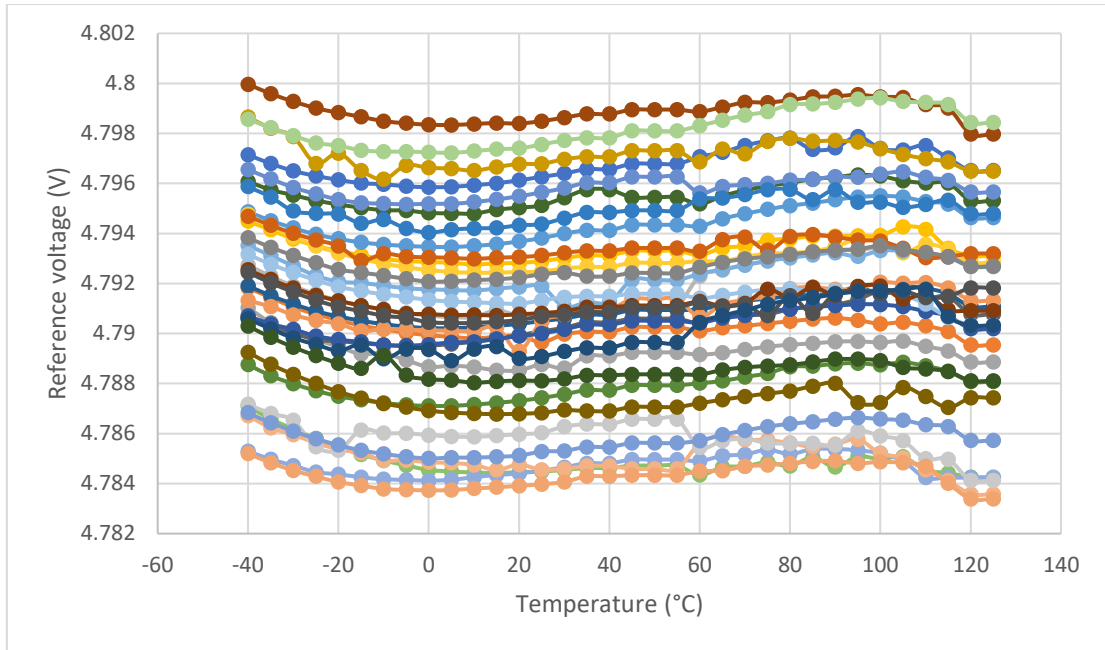


Figura 3.29 Tensiunea de referință de ieșire vs. temperatură pentru toate dispozitivele măsurate

Selectând cele mai bune 6 circuite, tensiunea de referință compensată vs. temperatura post-ajustare digitală optimă pentru toate dispozitivele măsurate, este prezentată în Tabelul II.

Tabelul II. Cele mai bune coduri de ajustare digitală și valorile TC corespunzătoare,[6].

DISPOZITIV	CEL MAI BUN COD DE AJUSTARE DIGITALĂ	TC (ppm/°C)	Vref @ 27 ° C
1	codul 7 (0111)	1.36	4.794
2	codul 8 (1000)	1.45	4.786
3	codul 9 (1001)	1.23	4.786
4	codul 7 (0111)	1.16	4.784
5	codul 7 (0111)	1.3	4.783
6	codul 10 (1010)	1.22	4.781

Prin proiectare, arhitectura inovatoare propusă generează valoarea ΔV_{BE} ca raporturi de suprafață BJT, așa cum este explicat în capitolul 3.1.1. De asemenea, beneficiind de flexibilitatea circuitului nou propus, se utilizează curenți de polarizare identici pentru a reduce impactul efectelor de prim ordin asupra tensiunii de ieșire, așa cum se arată în $I_2 = I_3$ Figura 3.28.

Chapter 4

Scăderea tensiunii de alimentare a Zener-TC1

4.1 Front-end Charge-Pump

Arhitectura inovatoare propusă, bazată pe **dioda Zener neîncălzită**, numită **TC1**, a păstrat sau a îmbunătățit majoritatea performanțelor referințelor de tensiune bazate pe siliciu încălzit Zener din punctul de vedere al **preciziei inițiale**, **TC**, **LTD** și **SHR**, dar suferă, de asemenea, dezavantajul specific al unei referințe de tensiune bazată pe Zener sub forma cerințelor de tensiune minimă de intrare de **~ 5.6 Volți**. Pentru a ameliora acest dezavantaj, a fost utilizată o pompă de sarcină pentru a reduce cerințele de alimentare la aproximativ **2.5 Volți**, menținând în același timp alți parametri de proiectare neafecțați. Va fi implementată o arhitectură modulară de proiectare de tipul "**LEGO-like**", care ne va permite să separăm contribuția individuală a componentelor fiecărui bloc în referința generală a tensiunii de ieșire. Un circuit inovator de polarizare de curent va fi proiectat pentru a reduce zgomotul de comutare asociat cu CP. Tehnici de reducere a zgomotului, layout specifice, vor fi utilizate în sub-blocurile dezvoltate și o izolare specială tip șanț va fi utilizată pentru a separa blocul CP de zona de tensiune de referință.

4.1.2 Performanța pompei de sarcină și eficiența atenuării ondulației

Simulări ample au fost efectuate pentru validarea arhitecturii propuse. Gama de alimentare dorită este de VDD **3V** până la **3.6V**, cu o valoare nominală de **3.3V**. Simularea a arătat că proiectul propus funcționează în parametri chiar și atunci când este conectat la o sursă de tensiune de până la **2.7V**. La sarcină maximă și cu un VDD

de **3V**, conform specificațiilor privind cele mai mici cerințe de alimentare, timpul maxim de pornire s-a dovedit a fi de **70us** la **-40 °C** în toate variantele procesului, așa cum este prezentat în Figura 4.7.

Timpul de pornire a crescut cu mai puțin de 10% după adăugarea componentelor parazite asociate cu layout-ul propus. Tensiunea la ieșirea filtrului RC a fost atenuată de la $v_{CP} = 88\text{mV}$ la o valoare de $v_{RC} = 0.05\text{mV}$ (reducere cu **66dB**) conform Figura 4.7. Influența generală a ondulației din tensiunea CP asupra tensiunii de referință Zener a fost simulată la $V_{Zener} = 0.2\mu\text{V}$ (o reducere de **112dB**). În plus, circuitele Δv_{BE} [6] acționează ca atenuatoare de ondulație, iar componenta de ondulație din tensiunea de referință de ieșire a fost simulată la **0.07uV** ($v_{REF} = 4.75\text{V}$) sau **125dB** atenuare în comparat cu valoarea de intrare a tensiunii v_{CP} .

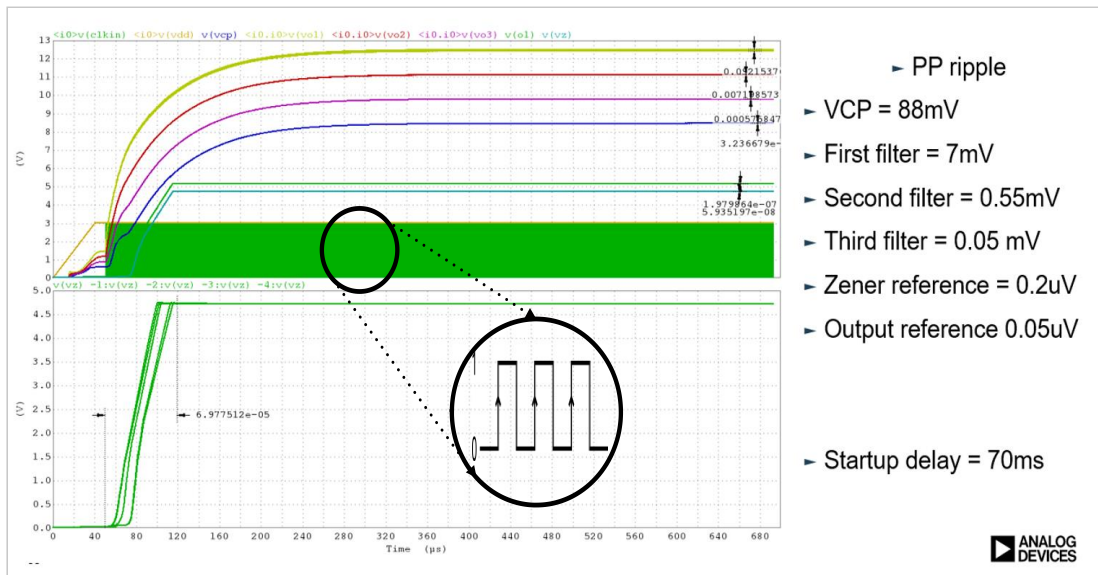


Figura 4.7 Întârzierea pornirii și atenuarea influenței CP

La final, după extragerea componentelor parazite din layout și introducerea lor în simularea principală, a fost determinată influența componentei în comutare parazită în tensiunea de referință de ieșire. Această valoare simulată a ondulației este de cel puțin **10 ori mai mică** în comparație cu cea mai bună referință de tensiune bazată pe Zener disponibilă[17].

4.2 Detalii de implementare a Zener - TC2

Placheta de siliciu a fost implementată folosind un proces Analog Devices, Inc de $0.6\mu\text{m}$ Bi-CMOS 16V HV. Deoarece procesul a avut toate componentele necesare,

adică diode Schottky, condensatoare Poli-Poli cu pierderi scăzute, disponibile ca dispozitive standard (ceea ce implică existența modelelor SPICE și versiuni de layout asociate disponibile), precum și condensatoare HV-Nwell de înaltă densitate și de asemenea, BJT complementare PNP & NPN necesare pentru circuitul de corecție ΔV_{BE} , a fost alegerea noastră evidentă pentru proiectarea cipului de testare CP.

Pentru a minimiza sursele de zgomot parazite și influența asupra blocurilor cu zgomot redus, atenția la detalii în construcția blocurilor funcționale a fost necesară. O izolare a șanțului cu difuzie P, Deep N-well, P-diffusion, așa cum este prezentată **Capitolul 4.1**, este utilizată pentru a separa cele două părți ale circuitului: partea zgomotoasă de comutare a CP și circuitele de sprijin asociate și partea de zgomot redus, ale diodei Zener și blocurile de compensare ΔV_{BE} . Elementele de comutare (diodele Schottky), au fost plasate fizic pe siliciu, pe cât posibil, din perechile de intrare diferențiale sensibile ale generatorului de curent PTAT. Linii de putere individuale de rezistivitate scăzută au fost utilizate pentru fiecare dintre blocuri pentru a minimiza cuplarea zgomotului între blocurile funcționale. Cele mai bune tehnici utilizate în CAD layout, cum ar fi împerecherea rezistențelor, bipolarelor și diodelor au fost utilizate pentru a îmbunătăți performanța plachetei de testare **TC2**. Difuzia P+ a substratului a fost plasată pe arii suficient de mari pentru a minimiza rezistența acestuia și a reduce cuplarea zgomotului. Conectori metalici individuali asociați cu partea zgomotoasă a plachetei au fost separați de zona cu zgomot redus a plachetei. Pini de alimentare și de masă sunt conectați la PAD-uri separate pentru fiecare bloc funcțional al circuitului. [18]

Aceste PAD-uri sunt lipite individual în pachet pentru a minimiza interferențele. Atât conectorii de alimentare, cât și cei de masă mențin valori scăzute de rezistivitate de la pad la blocurile de circuit pentru a oferi o bună izolare și pentru a minimiza cuplarea zgomotului. Suprafața totală a cipului de testare este de aproximativ [18] **2.4 mm² inclusiv** protecția ESD a Pad-urilor. **CP** și filtrul **RC** ocupă cca. **0.75 mm²**, generatorul silențios **PTAT** și generatoarele de curent, inclusiv celula ΔV_{BE} ocupă aproximativ. **0.75 mm²**. Restul de **0.75 mm²** este ocupat de protecția pad-ului ESD și șanțul suplimentar de izolare.

4.3 Evaluarea Zener-TC2 încapsulat în plastic

Echipamentele (cu excepția unei noi plăci PCB), metoda și procedurile utilizate pentru TC2 au fost identice cu cele utilizate și descrise pentru TC1 în Capitolul 3.4. Singura diferență a fost pachetul LFQSP IC selectat pentru TC2 pentru a putea găzdui o amprentă mai mare a plachetei și un număr mai mare de PAD-uri de lipire necesare. Diagrama de PAD-uri pentru TC2 dezvoltat inițial și imaginea pachetului de circuit integrat asociate sunt prezentate în Figura 4.11.

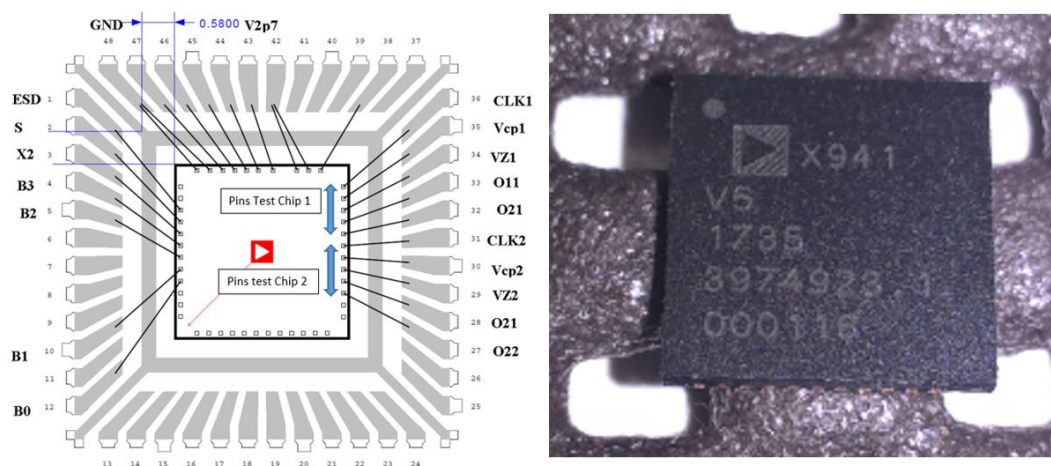


Figura 4.11 Diagrama de lipire Zener-TC2 și vizualizarea pachetului de circuit integrat LFCSP

Abordarea modulară a fost utilizată în proiectarea TC2 pentru a reduce timpul de dezvoltare a experimentelor ulterioare și pentru a ajuta la identificarea defecțiunilor și a erorilor din circuit. Prin urmare, contribuția individuală a blocurilor a fost disponibilă pentru o analiză detaliată în conformitate cu Capitolul 4.3.1.

Toate blocurile majore au fost decuplate pentru a facilita o tehnică de depanare și dezvoltare rapidă "lego-like". PADuri de acces, marcate cu verde, accesibile de pe PCB extern sunt prezentate în Figura 4.12 (din punct de vedere schematic) și, respectiv, Figura 4.13 (din punct de vedere a layout-ului).

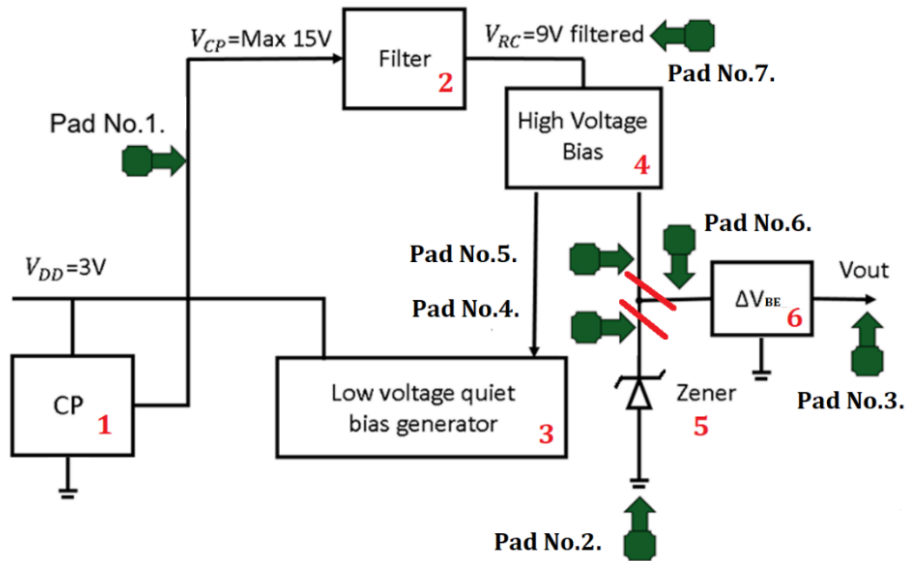


Figura 4.12 Diagrama Zener-TC2 cu locația PAD-uri disponibile pentru a permite modularitatea designului și dezvoltari de circuit viitoare facile

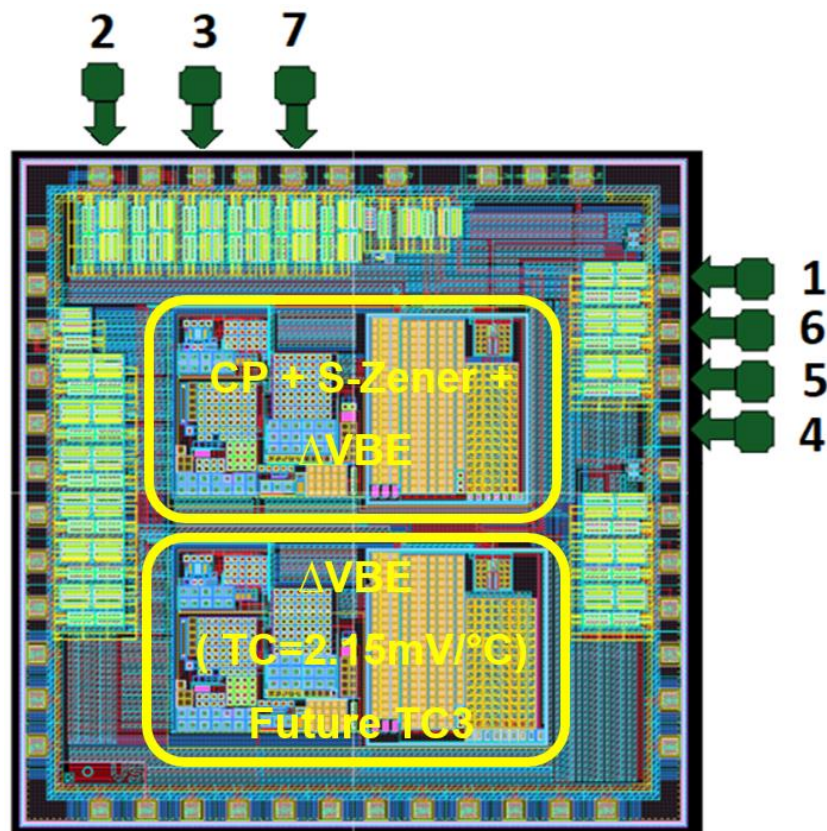


Figura 4.13 Zener-TC2 vedere plachetă cu PAD-uri disponibile care să permită modularitate de proiectare și TC3 ΔV_{BE} corecții viitoare

Această abordare modulară a fost esențială pentru dezvoltarea rapidă a viitoarelor prototipuri, cu implicații financiare reduse și timpi de dezvoltare scurți.

Chapter 5

B-Zener de înaltă performanță

5.1 Arhitectură Zener-TC3 de înaltă performanță bazată pe diodă B-Zener

După cum s-a menționat anterior în Capitolul 2, procesul Bi-CMOS ADI de $0.6\mu\text{m}$ a fost alegerea evidentă pentru implementarea fizică a cipurilor noastre de testare **TC1** și **TC2**, procesul având la dispoziție toate componentele necesare, inclusiv dioda S-Zener. Pe baza analizei detaliate din Capitolul 2, a devenit evident că dioda Zener nativă pentru procesul Bi-CMOS de $0.6\mu\text{m}$ selectat a fost un S-Zener (de suprafață) și nu dioda B-Zener îngropată de înaltă performanță. Înlocuirea **S-Zener** cu un **B-Zener** de înaltă performanță și asamblarea celor două plachete de siliciu în același pachet sunt alegerile evidente aici. Pe baza investigației noastre ample din Capitolul 2, incluzând atât variantele de diode necompensate **S-Zener**, cât și **cele B-Zener**, a fost identificat curentul optim de polarizare **PTAT**, rezultând o neliniaritate minimă indusă în tensiunea de ieșire de referință. Selectarea oricărui alt curent de polarizare va introduce în mod implicit o componentă neoptimă mai mare decât neliniaritatea minimă având ca efect nedorit degradarea performanțelor. Acest grad de libertate va necesita investigații suplimentare pentru a ne permite o performanță de zgomot meritorie a designului nostru. Curenții de polarizare sunt disponibili de la **25uA** la **500uA**, în incremente de **25uA**, pentru a analiza influența acestuia asupra nonlinearității, confirmând astfel modelul dezvoltat. Regiunea activă a noii diode B-Zener este semnificativ mai mare în comparație cu cea încorporată din **Zener_TC1**. Această creștere a suprafeței ar trebui să ofere o îmbunătățire a reducerii zgomotului în conformitate cu valorile teoretice [19]. Pentru aplicațiile în care zgomotul global este specificația cheie, singura soluție posibilă este selectarea unui curent de polarizare adecvat. Acest curent de polarizare non-optimal va introduce o neliniaritate mai mare decât valoarea minimă în tensiunea noastră de ieșire conform **Capitolului 2**. Având la dispoziție atât modelul matematic, cât și noua tehnică

de compensare (prezentată în **Capitolul 6**), se decuplează valoarea polarizării de coeficienții de temperatură obținuți de circuit. Avem acum abilitatea de a compensa neliniaritatea introdusă de curentul de polarizare utilizat, satisfacând în acest fel specificațiile cheie de proiectare impuse circuitului [20].

5.2 Măsurători de evaluare TC3 împachetat plastic

Având la dispoziție toate elementele de construcție necesare pre-fabricate din **Zener_TC2**, implementarea noului **Zener_TC3** a fost relativ rapidă și a fost finalizată fără dificultăți tehnice deosebite. Ambalarea împreună a celor două plachete de siliciu (dioda Zener îngropată și ΔV_{BE} incluzând circuitele de ajustare digitală) împachetate în plastic (Shrink Small Outline **150mil body QSOP** conform Figura 5.1.) a fost finalizată într-un timp foarte scurt și cu costuri minime.

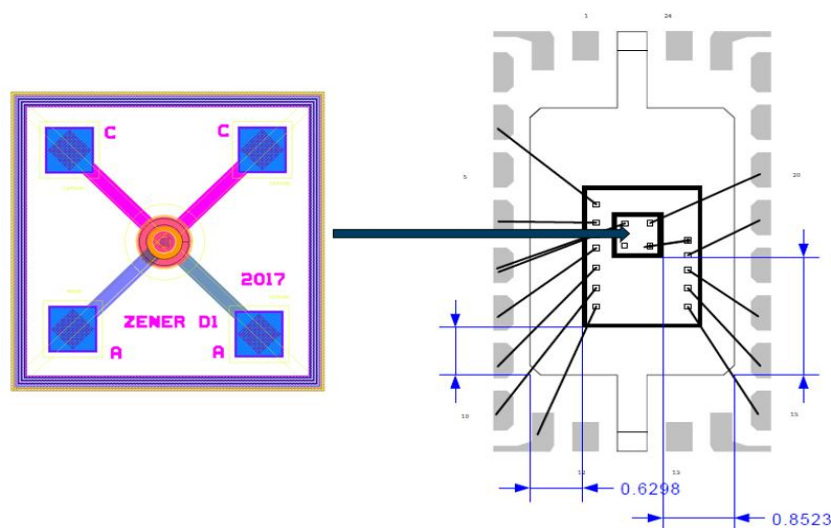


Figura 5.1 Zener-TC3 150mil QSOP detalii de încapsulare

Măsurătorile pentru referințe de tensiune **Zener_TC3** au fost efectuate la V_{ref} **25 °C** pentru **100** de circuite alese aleator după o ajustare digitală optimă individuală. O histogramă asociată cu aceste **100** de dispozitive măsurate este prezentată în Figura 5.3. Pe baza acestor măsurători s-a calculat o deviație standard la **25 °C** de **4.2 mV** și o valoare medie de **6.14V** pentru toate cele 100 de circuite integrate măsurate, reprezentând o precizie inițială de **< 0.5%**, pentru o distribuție six sigma.

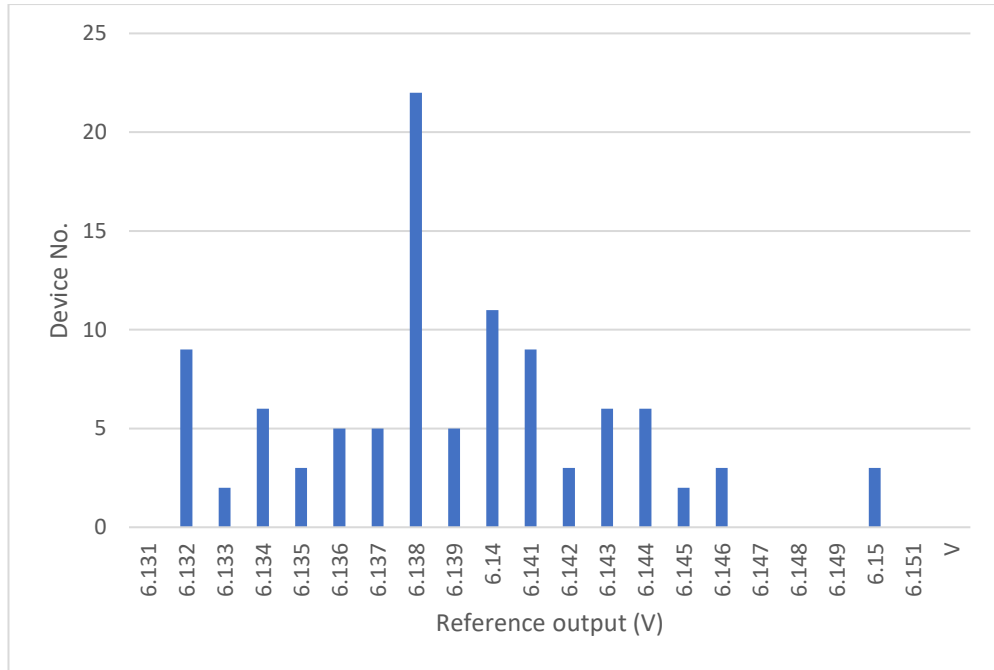


Figura 5.3 Deviația standard Zener-TC3 măsurată la 25°C de 4.18 mV și o valoare medie asociată de 6.141V

Măsurătorile pentru **Zener_TC3 TC** au fost efectuate de la **-40 °C la 125 °C** fără calibrarea valorii de ieșire, dar cu coduri individuale optime de ajustare. Tensiunea de referință compensată B-Zener vs. temperatură, pe baza unui eșantion de **50 QSOP IC** încapsulate măsurate în baie de ulei este prezentată în Figura 5.4.

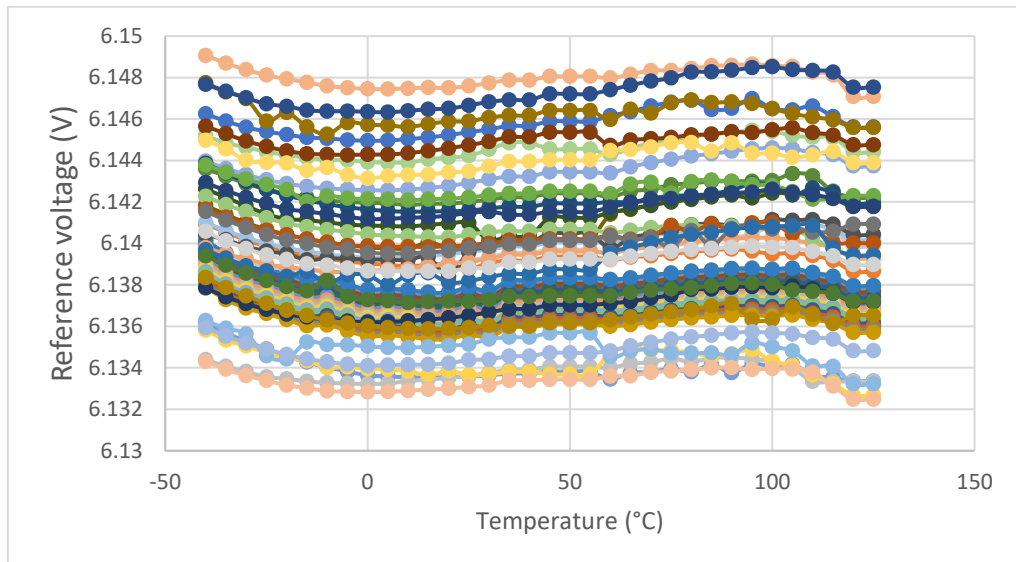


Figura 5.4 Variația tensiunii de referință Zener-TC3 măsurată pentru intervalul industrial complet (-40°C până la 125°C) de temperatură

Pe baza acestor măsurători, a fost calculată neliniaritatea asociată cu noua arhitectură propusă, bazată pe B-Zener. Aceste valori sunt prezentate în Figura 5.5.

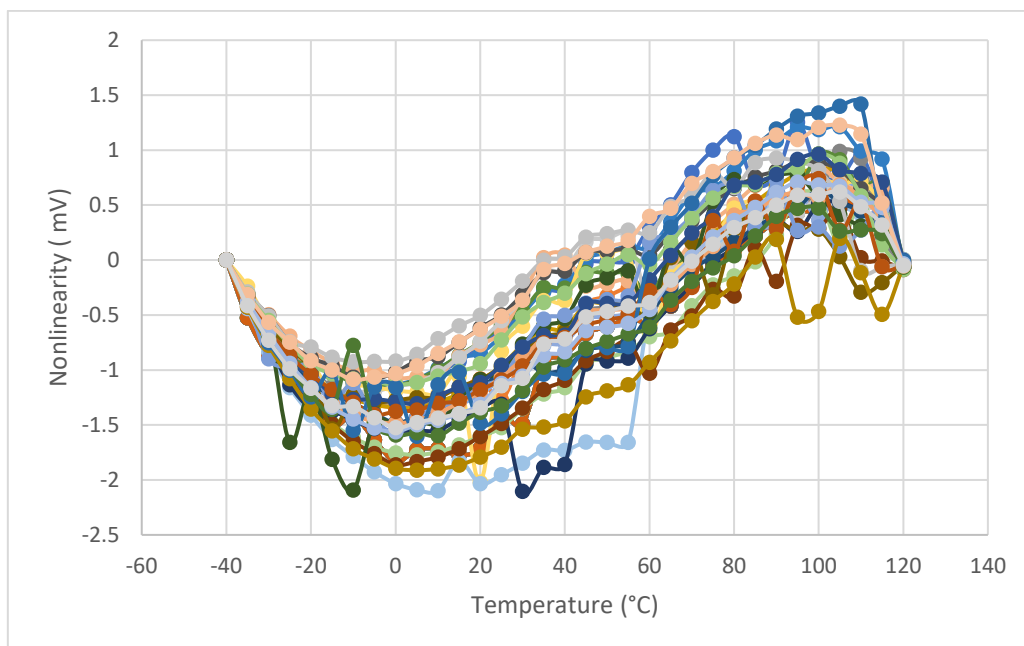


Figura 5.5 Zener-TC3 B-Zener neliniaritate măsurată vs temperatură

Folosind metoda cutiei standard din industrie pentru calcularea coeficienților de temperatură (TC), pentru toate cele **50** de dispozitive măsurate (încapsulate QSOP), a fost calculat un **TC min-max de 1.34 – 3.99ppm/°C**. Histograma TC asociată acestor măsurători este prezentată în Figura 5.7.

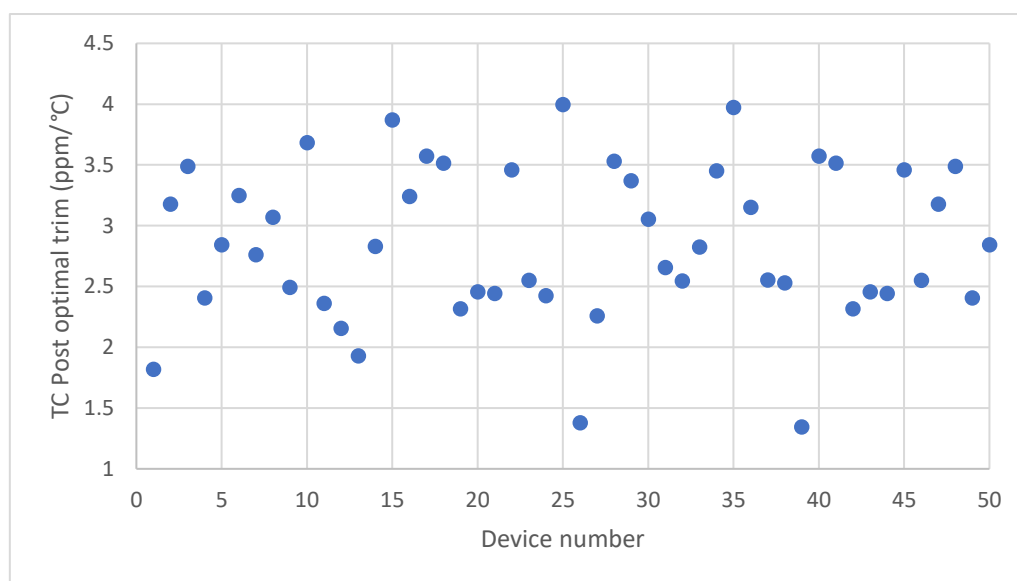


Figura 5.7 Zener-TC3 TC (bazate pe 50 de dispozitive aleatorii) pentru intervalul industrial de temperatură

Măsurătorile inițiale de siliciu **SHR** au fost efectuate pe **30** de circuite integrate încapsulate în plastic **QSOP Zener_TC3**. Pe baza acestor măsurători a fost calculată o **medie = 170uV** și o abatere standard de **$\sigma = 88uV$** . Valorile **Min-Max ale SHR** au fost **(50uV- 330uV)**, cu o variabilitate de **280uV**. Histograma drift asociată este prezentată în Figura 5.9. O abatere redusă a fost observată față de Zener_TC1 datorită diodei inovatoare B-Zener de înaltă performanță utilizată în Zener_TC3 cip de testare IC.

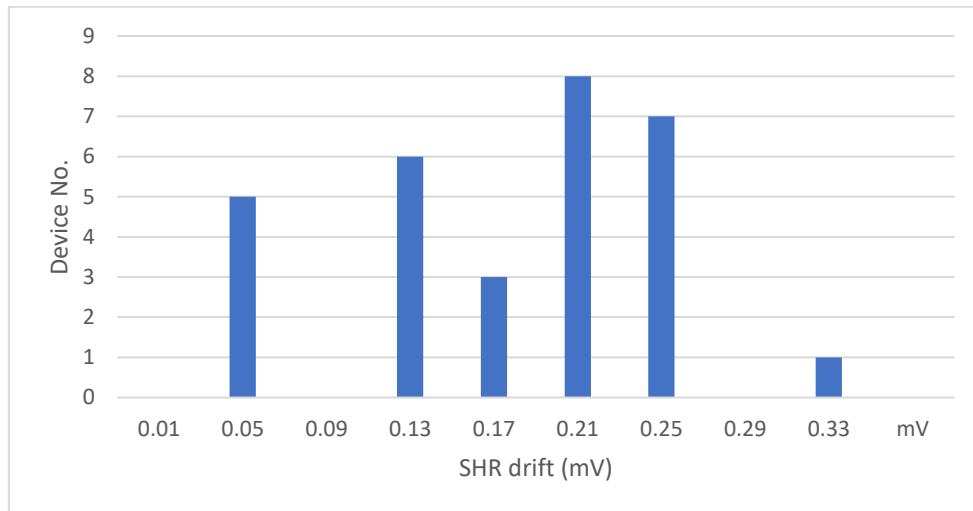


Figura 5.9 Zener-TC3 măsurat B-Zener compensate Re-Flow drift

Această abatere măsurată reprezintă o reducere de peste **+75%** în comparație cu designul inițial **Zener_TC1** propus [6].

Chapter 6

Corectarea nonlinearității unei tensiuni bază-emitor (BJT)

6.2 Implementarea de bază a circuitului de corecție

Un circuit în conformitate cu teoria prezentată în Capitolul 6.1, bazat pe [16], [9], capabil să reducă atât împrăștierea tensiunii bază – emitor, cât și neliniaritatea asociată cu aceasta a unui tranzistor bipolar a fost dezvoltat ulterior, așa cum este prezentat în Figura 6.5.

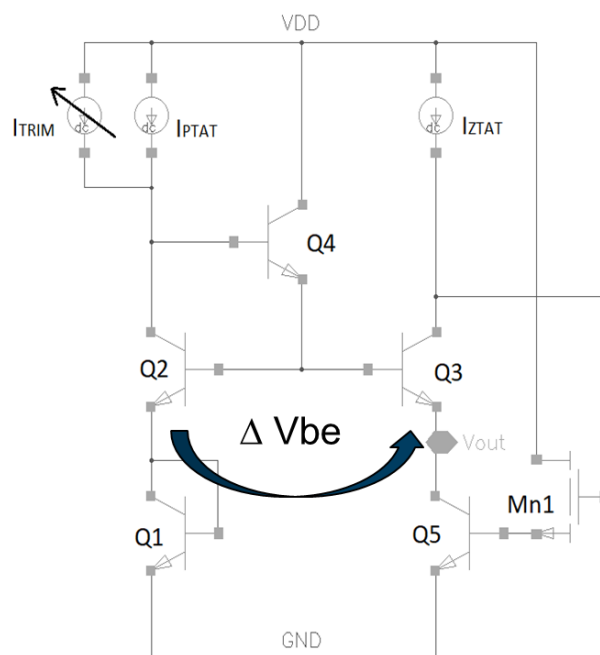


Figura 6.5 Noul principiu de bază propus privind compensarea nonlinearității

Circuitul din Figura 6.5. se bazează pe o diodă conectată BJT, **Q1** și o pereche de BJTs cu bază comună, polarizate diferit, **Q2** cu curent **PTAT** și **Q3** cu curent **ZTAT**. Rolul

(cunoscut sub numele de **Q4** beta helper) [21], [9], este de a furniza curenții de bază ai **Q2** și **Q3**. Tranzistorul MOS MN1 și tranzistorii bipolari **Q3**, **Q5** acționează împreună ca amplificator și producând la nodul de ieșire o tensiune identică cu V_{BE} a **Q1** plus diferența de tensiune bază - emitor al lui **Q3** și **Q2**. Ca urmare, tensiunea de ieșire este:

$$V_{out} = V_{BEQ1} + V_{BEQ2} - V_{BEQ3} \quad (6.14)$$

Neliniaritatea tensiunii de ieșire este exprimată prin:

$$V_{out-nonlin} = -\frac{kT}{q}(XTI - 1)\ln\frac{T}{T_0} + \frac{kT}{q}\ln\frac{T}{T_0} = -\frac{kT}{q}(XTI - 2)\ln\frac{T}{T_0} \quad (6.15)$$

De obicei, factorul XTI este de ordinul 3 până la 4 [22] și ca atare, neliniaritatea tensiunii de ieșire trebuie redusă în continuare. Dacă această celulă este urmată de o celulă similară (fără dispozitiv conectat la diodă, Q1) în care un prim tranzistor va fi polarizat cu curenț ΔV_{be} **PTAT** și un al doilea tranzistor polarizat cu curenț **ZTAT**, neliniaritate noii tensiuni de ieșire este redusă mai mult. Dispozitivul NMOS NM1 și BJT Q5 au mai multe funcționalități. În primul rând, la emitorul tranzistorului Q3 se generează diferența de tensiune direct dependentă de densitatea curentului colector al celor două tranzistoare bipolare. În al doilea rând, ele limitează efectul Early. Raportul de aspect (W/L) al NMOS MN1 va fi ales ca atare, astfel încât să se urmărească reciproc pentru a minimiza abaterile legate de efectul Early. În cele din urmă, cu un număr de trei sau patru celule ΔV_{BE} înseriate (în funcție de raporturile de densitate a curentului colector Q2 la Q3), neliniaritatea tensiunii de ieșire este redusă aproape de zero. Această neliniaritate poate fi apoi corectată după cum este necesar, prin ajustarea curentului **ZTAT** (în consecință, puțin mai mult **PTAT** sau puțin mai mult **CTAT**). Variabilitatea tensiunii bază - emitor poate fi apoi compensată de convertorul digital-analogic **PTAT ITRIM1**, așa cum se arată în Figura 6.

Termenul neliniar al unei tensiuni ΔV_{BE} al cărei dispozitiv **LCD** este polarizat cu un curenț **ZTAT**, are un semn opus celui al unei tensiuni V_{BE} și o magnitudine de o tensiune termică, așa cum este prezentat în Figure 6.8.

$$V_{out} = V_{BEQ1} + V_{BEQ2} - V_{BEQ3} \quad (6.16)$$

Circuitul propus va reduce dependența de temperatură a $V_{BE}(T)$ în două rânduri:

1. Reducerea împrăstierii $V_{BE}(T)$

2. Reducerea neliniarității $V_{BE}(T)$ folosind un nou circuit de compensare (numit ΔV_{BE}).

6.3 Senzor de temperatură de înaltă performanță

Un proiect complet independent, în conformitate cu principiile descrise în Figura 6., a fost dezvoltat, simulat și este gata pentru a fi fabricat. Ariile identice ale dispozitivelor BJT sunt utilizate pentru BJTs cu o bază comună (Q2, Q3 și așa mai departe). Curenții de polarizare PTAT și ZTAT sunt utilizați pentru a forța acei curenți colectori în două BJTs potrivite. Ca urmare, fiecare celulă ΔV_{BE} oferă aproximativ 1mV de reducere a neliniarității. Pentru un bipolar la care $V_{BE}(T)$ prezintă o neliniaritate de aproximativ 4mV, patru celule ΔV_{BE} sunt necesare pentru corecție, după cum se arată în Figura 6.8. Prin această metodă, neliniaritatea de la ieșirea circuitului (simulată) este redusă la max $\pm 600\text{nV}$ sau o reducere de 3200 ori.

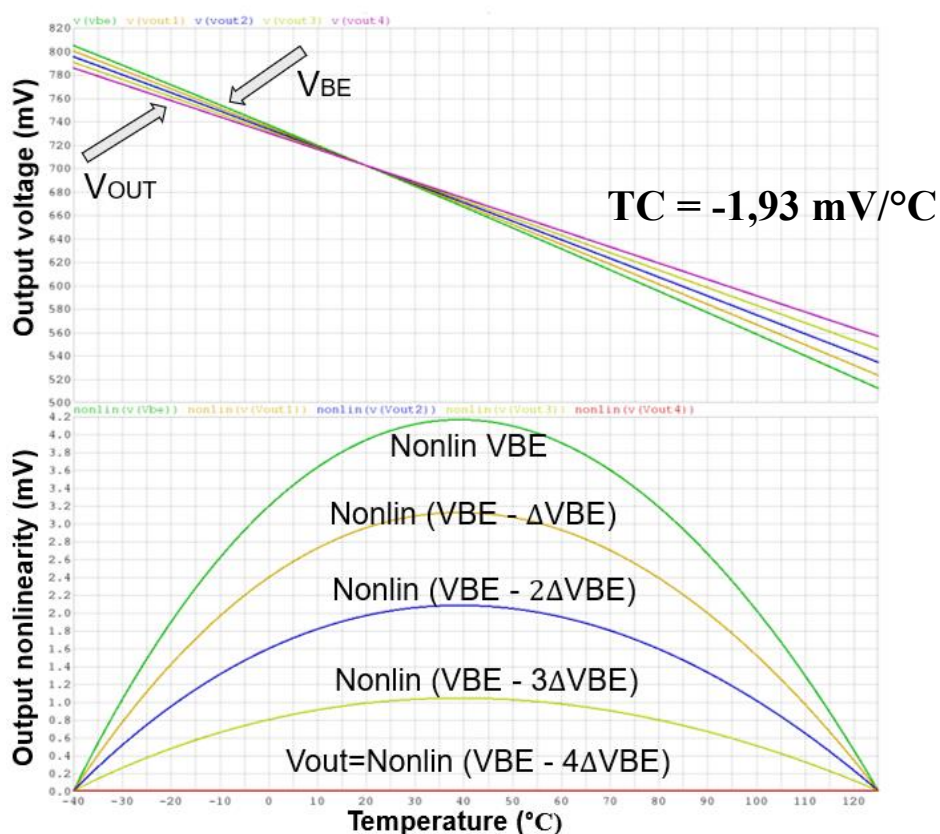


Figura 6.8 Componenta de non-neliniaritate a V_{BE} , compensată de patru celule ΔV_{BE}

6.6 Avantajele tehnicii de compensare

Acest design investighează o metodă inovatoare de corectare a unei dependențe de temperatură a unei tensiuni bază - emitor a unui tranzistor bipolar, prin reducerea atât a împrăștierii tensiunii bază - emitor, cât și a variației temperaturii neliniarității sale folosind designul inovator al celulelor ΔV_{BE} . Având o sensibilitate bună ($-1.93\text{mV}/^\circ\text{C}$) și eliminând neliniaritatea dependentă de temperatură, circuitul îndeplinește criteriile unui senzor de temperatură de înaltă performanță.

Principalele avantaje ale noului circuit propus sunt:

- Sensibilitate ridicată la variația temperaturii de **-1.93mV/°C**.
- Precizia senzorului **<0.2° C** în intervalul de temperatură de la -40°C la 125°C.
- Precizia senzorului **<0.168° C** în intervalul de temperatură de la 0°C la 85°C.
- Arhitectura fără rezistențe pentru celula de bază.
- Impedanță de ieșire scăzută [16],[9].
- Metodă simplă și eficientă de ajustare digitală pentru a compensa împrăștieria V_{BE} .
- Metodă simplă și eficientă de ajustare digitală pentru a compensa neliniaritatea prin utilizarea celulelor ΔV_{BE} .
- Deoarece raportul de zonă al BJT este 1:1, nu este nevoie de compensarea curenților de polarizare la temperaturi mari de lucru.
- Zgomot mai mic comparativ cu [16],[9] datorită reducerii numărului de celule ΔV_{BE} (4 vs. 6).
- Suprafață mică de siliciu **~ 1.5 mm²** pentru cipul de testare complet.
- Ajustare digitală într-un singur punct - va oferi o precizie adecvată pentru a îndeplini criteriile de performanță de neliniaritate necesare.

Chapter 7

Concluzii

Obiectivul principal al acestei teze este de a îmbunătăți Figura de Merit (FoM) legată de putere a celor mai stabile, "State of the Art" referințe de tensiune, bazate pe diode Zener fabricate pe plachetă de siliciu. Această cercetare a acoperit ambele aspecte ale dependenței de temperatură a diodelor Zener: modele teoretice bazate pe măsurători și perspective practice, luând în considerare arhitectura și circuitul împreună cu fabricarea fizică a dispozitivului, fluxul complet de fabricație și evaluarea IC încapsulate în plastic. În urma arhitecturilor de compensare propuse inițial de Dr. Ștefan Marinca **US9323275B2**[23], adaptate și optimizate nevoilor noastre specifice de circuit, o referință de tensiune a fost dezvoltată, independentă de pachet, bazată pe siliciu **neîncălzit**, cu cost redus și având un **TC** de valori mici cu o singură cifră pe întreaga gamă industrială de temperatură (**-55°C până la 125°C**). De asemenea, a fost dezvoltat un circuit de ajustare digitală, atât pentru componentele liniare, cât și pentru cele neliniare prezente în tensiunea de referință, care să ne permită atingerea performanțelor impuse în obiectivele de cercetare.

Investigarea și atenuarea tuturor celorlalte influențe termice a IC încapsulate în plastic legate de **SHR**, **LTD** și **histerezis**, care au un impact direct asupra performanței finale dependentă de temperatură, au fost de deosebit de importante pentru această teză. Reducerea stresului indus de pachet al noului circuit dezvoltat încapsulat în plastic în primul rând, prin rezistența diodei B-Zener și în al doilea rând prin raportul-metric al celului ΔV_{BE} dezvoltată (mai puțin susceptibilă la stres mecanic/electric), deschide noi căi originale pentru cercetări suplimentare privind obținerea unui coeficient de temperatură $<1\text{ppm}/^\circ\text{C}$ pentru o referință de tensiune pe bază de siliciu neîncălzită.

Împreună cu cercetarea circuitelor, în această teză a fost dezvoltat un model numeric original de dependență de temperatură bazată pe măsurători pentru o diodă B-Zener. Acest model a dus la o corelație optimă între simulare și rezultatul măsurat pe siliciu. Motivată de necesitatea de a compensa termenul neliniar al variației de temperatură

nativă a diodei Zener necompensate termic, un nou brevet american (**Cerere APD6917US01 Ianuarie 2020 și WOS: 000538328000046**), a fost completat pe baza acestui principiu inovator. Această nouă arhitectură de compensare a fost dezvoltată prin utilizarea unei soluții de prototip avansat, cu îmbunătățiri spectaculoase de liniarizare (ordine de magnitudine) în comparație cu valorile inițiale de intrare. Tehnicile de corecție a neliniarității similare pot fi aplicate tensiunii de ieșire necompensate a diodei **B-Zener** încorporată în celula ΔV_{BE} în sine. Teza a prezentat atât mijloacele, cât și metoda de compensare pentru termenii de ordinul 1 și 2, asociați cu dependența de temperatură a diodelor Zener. O familie de înaltă performanță de referințe de tensiune **bazate pe Zener neîncălzite** a fost dezvoltată cu succes în această teză.

7.1 Contribuții originale și discutarea rezultatelor

Tot materialul prezentat în Capitolul 2, Chapter 3, Capitolul 4, Capitolul 5 și Capitolul 6 reprezintă opera originală a autorului, sub îndrumarea prof. dr. Mircea Bodea și a prof. dr. Stefan Marinca. Această lucrare include dezvoltarea arhitecturii fiecărei variante de celule, proiectarea detaliată a circuitelor și implementarea fizică, precum și interpretarea rezultatelor măsurate pe plachetă de siliciu. Contribuția inițială a altor autori a fost pe deplin menționată și recunoscută în mod corespunzător.

Contribuția originală a autorului prezentată în aceasta teză poate fi rezumată după cum urmează, în ordine cronologică:

(OC1) Inițial a fost dezvoltat un model numeric de dependență de temperatură bazat pe măsurare atât pentru **S-Zener**, cât și pentru diodele **B-Zener** (bazate pe componente neîncălzite fabricate pe siliciu). Acest lucru ne permite să selectăm un curent optim de polarizare Zener cu o implicare directă în obținerea unei neliniarități minime indusă în tensiunea de ieșire, îmbunătățind în același timp corelația dintre simulare și rezultatele siliciului.

(OC2) Pe baza **(OC1)**, a fost dezvoltat un nou principiu de compensare pentru un substrat de siliciu neîncălzit bazat pe dioda Zener. Aceasta nouă arhitectură a fost dezvoltată ca un spinoff al arhitecturii de circuit existente (Dr. Ștefan Marinca **US9323275B2**[23]). Un circuit a fost proiectat în conformitate cu principiul de mai sus, simulat SPICE și implementat fizic într-un proces

standard de fabricație 0.6um Bi-CMOS. Mai multe plachete de siliciu (pachet PLCC) încapsulate în plastic, complet asamblate (**30 circuite**) au fost supuse la un ciclu complet de evaluare de prototip. Performanțele măsurate ale **Zener-TC1** sunt **TC** scăzut pentru toate circuitele integrate măsurate, variind între **1ppm/°C <TC< 6.5ppm/°C** (pentru toate cele 30 de dispozitive, pe întreaga gamă de temperaturi industriale de **-55°C până la 125°C**), ajustare digitală facilă și eficientă a coeficientului de temperatură (**TC**) și amprenta mică de siliciu (**~1sqmm**). Stresul indus de pachet a fost măsurat ca având **SHR < 400ppm**, datorită naturii rațio-metrică a circuitului de compensare ΔV_{BE} . Pe baza acestei cercetări dezvoltate în (OC2), o lucrare intitulată "*Low Drift Zener-Based Voltage Reference*" a fost prezentată pentru evaluare și a primit aprecieri pozitive la cea de-a 26th Irish Signals and Systems Conference (ISSC), Ireland, 2015, **WOS: 000380490400034**.

(OC3) Ulterior, a fost dezvoltată o îmbunătățire a (OC2). Această arhitectură nouă, numită **TC2**, beneficiază de o cerință redusă de tensiune de alimentare de **Minim = 2.7V**, în modul normal de funcționare, menținând în același timp toate celelalte specificații ale **TC1** neafectate. O pompă de sarcină front-end a fost utilizată pentru a reduce cerințele tensiunii de alimentare, în timp ce tehnici avansate de proiectare au fost aplicate pentru a reduce cuplarea zgomotului CP la referința de ieșire. Un alt punct meritoriu al circuitului **TC2** este abordarea modulară "**Lego Like**" care ne permite să efectuăm o evaluare individuală a contribuțiilor componentelor de ieșire în valoarea de referință globală. A fost proiectat un circuit complet în conformitate cu principiul de mai sus, SPICE simulat și implementat fizic într-un proces standard de fabricație. Mai multe (**50 de componente**) asamblate **TC2 LFCSP** încapsulate în plastic au fost prezentate la un ciclu complet de evaluare prototip. Pe baza acestora, dioda **S-Zener** în sine a fost identificată ca un factor limitativ major al performanței globale a circuitului. Pe baza acestei noi îmbunătățiri a arhitecturii dezvoltate în (OC3), o lucrare intitulată "*An Embedded Charge Pump for a Zener-Based Voltage Reference Compensated Using a Delta VBE Stack*", a fost prezentată și a obținut feedback pozitiv la cea 24th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES), Poland, 2017. Lucrarea a primit calificativul de "**Outstanding Paper Award**" la Conferința de mai sus, **WOS: 000426980600039**.

(OC4) O îmbunătățire a soluției de arhitectură originală TC2 (prezentată în (OC3)) a fost dezvoltată ulterior. Pentru a atenua performanța limitată a lui **S-Zener**, a fost propusă o arhitectură **nouă TC3**, incluzând o diodă **B-Zener** de înaltă performanță. Mai multe dispozitive (**100 QSOP**) co-încapsulate B-Zener și circuite de compensare asociate au fost supuse unui ciclu complet de evaluare prototip. Performanțele **TC3** includ o reducere a variației **TC** de **1ppm/°C** $<TC < 4ppm/°C$ (în intervalul de temperatură **de la -55°C la 125°C**) și o abatere **de re-flow a SHR < 50ppm** (echivalentul unei îmbunătățiri de **+75%**) în comparație cu **circuitele integrate TC1 originale**. Pe baza acestui concept inedit de compensare dezvoltat în această teză, o lucrare intitulată "*A Zener-Based Voltage Reference Design Compensated Using a Delta VBE Stack*" a fost prezentată la „25th International Conference on Mixed Design of Integrated Circuits and System (MIXDES), Poland 2018. Lucrarea a primit calificativul de "**Outstanding Paper Award**" la Conferința de mai sus. **WOS:000480458200018**.

(OC5) Un senzor analogic de temperatură de înaltă performanță a fost dezvoltat ulterior. Pe baza unui concept nou de compensare (în curs de brevetare), a fost propusă o metodă inovatoare de corecție a neliniarității VBE. Această arhitectură nouă propusă se află într-un stadiu de prototip avansat, fiind supusă unui design complet detaliat al circuitelor, simulare SPICE, analiza dispozitivelor și așteaptă fabricarea. Performanțele senzorului de temperatură pentru noul circuit simulat la nivel de dispozitiv, post-extracția componentelor parazite sunt: o sensibilitate ridicată de $\Delta V/\Delta T = -1.93mV/°C$ și o eroare de neliniaritate de maxim **0.04°C** pentru **-40°C până la 125°C**. Prin reducerea intervalului de temperatură la **0°C la 85°C**, această neliniaritate corespunde unei erori maxime măsurate la **0.008°C**. Pe baza acestui concept inedit de compensare s-a dezvoltat o lucrare intitulată "*Reducing the Bipolar Junction Transistor VBE Non-Linearity*", a fost prezentată la 26th International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES), Poland 2019. Lucrarea a primit calificativul de "**Outstanding Paper Award**" la Conferința de mai sus, **WOS: 000538328000046**.

(OC6) Pe baza **(OC5)**, o metodă nouă de corecție a fost încorporată în **(OC4)**. Circuitul de compensare liniar (flip ΔVBE) propus în **(OC2)** poate fi îmbunătățit pentru a facilita corecția termenului de neliniaritate a designului de

referință bazat pe Zener în același mod ca în (OC5). Această implementare a circuitului nou (denumit **TC4**) va permite decuplarea non-linearității din tensiunea de ieșire de curentul de polarizare asociat cu dioda Zener. Această arhitectură TC4 inedită face obiectul unor cercetări ulterioare.

Un tabel de comparații de performanță între arhitecturile dezvoltate (detaliate în tabelul I), sunt prezentate mai jos în tabelul VI.

TABLE V. Zener_TC1, TC2, TC3 și TC4 performanțe cheie

ID-ul dispozitivului	Zener_TC1	Zener_TC2	Zener_TC3	Zener_TC4
Vdd alimentare (V)	6.5	3	7.5	7.5
Vout (V)	4.8	4.8	6.15	6.15
Curent polarizare (mA)	0.1	0.4	0.15	5.1
TC (ppm/°C)	De la 1 la 6.5	De la 1 la 6.5	De la 1 la 4	<2
Acuratețea inițială	1%	1%	0.50%	0.50%
SHR (ppm)	~ 400	~ 400	<50	<50
Zgomot uVp-p 0.1-10Hz	30	50	~ 10	~ 1
FoM (Zgomot * Idd * Vdd) (mVW)⁻¹	51	16	88	26
Principiul de referință	S-Zener + ΔV_{BE}	CP+S-Zener + ΔV_{BE}	B-Zener + ΔV_{BE}	B- Zener + ΔV_{BE} +nonlin adj.

Atunci când comparăm aceste performanțe cu arhitecturile consacrate (atât TCUBZ, cât și BGA prezentate în tabelul I), putem identifica punctele forte ale arhitecturii propuse care pot oferi cele mai bune soluții din ambele lumi: cerințe de alimentare cu energie redusă specifice referințelor de tensiune de tip bandgap și TC, LTD și SHR extrem de scăzute specifice referințelor de tip B-Zener. Un extras din tabelul I, cu cea mai bună comparație a performanței arhitecturii specifice din clasă, este prezentat în tabelul VII.

TABLE VI. Performanțe de arhitecturi consacrate

Principiul de referință	BGA	TCUBZ	TUCBZ
Stadiul actual al tehnicii	ADR45XX	LTZ1000	TC1 - TC4
Precizie inițială	±0.02%	4%	1% - 0.5%
TC ppm/°C	~ 4	<1	De la 1 la 4
SHR ppm	100+	Înalt	<40
Deriva pe termen lung (LTD)	+50ppm/1Kh.	~ 2 ppm/1Kh	Scăzut ppm/1Kh
Zgomot de ieșire (0.1-10 Hz) uVp-p	2	1	1
FoM (Zgomot*Idd*Vdd) (mVW)⁻¹	166	0.952	De la 16 la 88
Tensiune de intrare (V)	De la 3 la 15	Min 10	De la 3 la 15
Tensiune de ieșire (V)	2.048 până la 5	Min 7	4.8 /6.15
Curent quiescent:	1mA+	5mA (Zener) Încalzitor 300mA	0.1 până la 5.1 mA
Componente externe	Niciunul	Pcb complet necesar	Niciunul
Gama de temperatură	-40°C la +125°C	-55°C la +125°C	-40°C la +125 °C
Pachetul IC	MSOP 8	TO-5 Metal	Plastic
Cost pe unitate	2.45 USD	~ 50 USD	USD scăzut

După cum este subliniat în tabelul VI, **FoM** auto-creată pe baza factorilor (Zgomot * Tensiune alimentare * Consum curent), a plasat circuitele integrate **TC1 - TC4** în vecinătatea dispozitivului **ADR45XX** (Analog Devices), bazat pe arhitectura Dr. Ștefan Marinca [24], care este foarte apreciat, dar având parametri mai buni asociați cu **TC**, **SHR** și **LTD** și ordine de mărime comparate cu **LTZ1000** (Zener cu substrat încălzit), datorită cerințelor ridicate de energie ale celui de-al doilea, menținând în același timp performanțe comparabile de zgomot și temperatură.

7.2 Lista lucrărilor originale

- (OW1) “Best Paper Award”, Dragos Dobrescu, Viorel Bucur, Lidia Dobrescu
 “8 Bit Pre-Setable Digital to Analog Converter Design” ICSTCC: Proceedings
 of the 22-nd International Semiconductor Conference, CAS’99, Sinaia,
 Romania, vol.1, pg. 73-76, INDEX IEEE.

- (OW2) Viorel Bucur “Bandgap based 10 Bit DAC IC with Slope & Offset Correction Capabilities” Master of Engineering, VLSI Systems – Year 2006, University of Limerick.
- (OW3) Marinca, S and **Bucur, V**, *Low Drift Zener-Based Voltage Reference*, Conference: 2015 26th Irish Signals and Systems Conference (ISSC) , Web of Science Categories: Computer Science, Artificial Intelligence; Computer Science, Interdisciplinary Applications; Engineering, Electrical & Electronic, Accession Number: **WOS: 000380490400034**, ISBN: 978-1-4673-6974-9, Publisher: IEEE.
- (OW4) “**Outstanding Paper Award**”, **Bucur, V**; Banarie, G; Bodea, M, *An Embedded Charge Pump for a Zener-Based. Voltage Reference Compensated Using a Delta V-BE Stack*, Conference: 2017 24th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES), pp.215-219, Web of Science Categories: Computer Science, Artificial Intelligence; Computer Science, Interdisciplinary Applications; Engineering, Electrical & Electronic, Accession Number: **WOS: 000426980600039**, ISBN:978-8-3635-7812-1.
- (OW5) Marinca, S; Banarie, G; **Bucur, V**, Bodea, M, *A +/- 2m degrees C Linearity Silicon Temperature Sensor*, Conference:2017 International Symposium on Signals, Circuits and Systems (ISSCS), Web of Science Categories: Computer Science, Artificial Intelligence; Computer Science, Interdisciplinary Applications; Engineering, Electrical & Electronic, Accession Number:
WOS: 000425211500086, ISBN: 978-1-5386-0674-2, Publisher: IEEE.
- (OW6) “**Outstanding Paper Award**”, **Bucur, V**; Banarie, G; Bodea, M, *A Zener-Based Voltage Reference Design Compensated Using a Delta V-BE Stack*, Conference: 2018 25th International Conference on Mixed Design of Integrated Circuits and System (MIXDES), pp.116-120, Web of Science Categories: Computer Science, Artificial Intelligence; Computer Science, Interdisciplinary Applications; Engineering, Electrical & Electronic, Accession Number: **WOS: 000480458200018**, ISBN: 978-8-3635-7814-5, Publisher: IEEE.
- (OW7) Banarie, G; McDonagh, D; **V, Bucur**; Bodea, M, *A BJT Bi-CMOS Temperature Sensor with a Two-Point Calibrated Inaccuracy of 0.1 degrees C (3 sigma) from -40 to 125 degrees C*, Conference 2018: 29th Irish Signals and

Systems Conference (ISSC), Web of Science Categories: Computer Science, Artificial Intelligence; Computer Science, Interdisciplinary Applications; Engineering, Electrical & Electronic, Accession Number: **WOS: 000462519500022**, ISBN:978-1-5386-6046-1, Publisher: IEEE.

(OW8) “Outstanding Paper Award”, Bucur, V; Banarie, G; Bodea, M, *Reducing the Bipolar Junction Transistor V_{BE} Non-Linearity*, Conference 2019: 26th International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES), pp.256-259, Web of Science Categories: Computer Science, Artificial Intelligence; Computer Science, Interdisciplinary Applications; Engineering, Electrical & Electronic, Accession Number: **WOS: 000538328000046**, ISBN: 978-83-63578-16-92, Publisher: IEEE.

(OW9) Viorel Bucur Patent Application APD6917US01 “A Circuit for Generating a Temperature Dependent Output” Filed January 2020.

7.3 Cercetări viitoare

Venerabilul tranzistor bipolar are peste 74 de ani [25]. După tot acest timp de cercetare și dezvoltare, arta pură a designului circuitelor analogice continuă să descopere domenii inovatoare de îmbunătățire prin o mai bună înțelegere a principiilor și inventarea unor noi modalități de atenuare a deficiențelor dispozitivului în sine [26]. Cu cele mai recente evoluții în fabricarea siliciului, procesarea semnalului și calculul digital, este mai puțin nevoie de o abordare analogică "Pură" de circuit, dar va exista întotdeauna o cerere pentru referințe de tensiune de performanță ultra-înaltă și arhitecturi de măsurare a temperaturii implementate în domeniul exclusiv analogic.

O analiză aprofundată a fizicii solidului a dispozitivului Zener trebuie efectuată, pentru a determina dacă modelul numeric de dependență de temperatură prezentat în Capitolul 2, bazat pe modelele SPICE standard din industrie analizate, a fost optimal ales. După determinarea aproximării matematice optime, un eșantion mai mare de circuite integrate încapsulate în plastic trebuie să fie supus unui ciclu complet de evaluare prototip. Pe baza acestor noi date, bazate pe un număr mare de eșantioane, se va atinge un grad mai mare de încredere și se va putea crea o "**Fișă tehnică**" a produsului, disponibilă ca referință. Toate măsurile de precauție necesare cunoscute au

fost luate atât în timpul etapei de proiectare, cât și în etapa de implementare fizică. Marje de siguranță suficiente au fost încorporate în toate aspectele designului pentru a maximiza șansele de îndeplinire a obiectivelor de proiectare.

Un circuit nou (**Zener_TC4**) bazat pe Zener_TC3 deja proiectat, ar trebui să fie supus unui ciclu complet de evaluare a prototipului. "**Specificațiile cheie**" pentru noul **Zener_TC4** vor fi cele ale performanței maxime a zgomotului, combinate cu un TC ultra-scăzut. Așa cum este prezentat în **Capitolul 2**, curentul de polarizare exclusiv pentru dioda B-Zener va necesita ~ **5mA** pentru a obține valori de zgomot comparabile cu cele furnizate de **LTZ1000/ADR1000**, [3], [4]. Toate modelele numerice necesare, arhitecturi, proiectarea circuitelor și blocuri de siliciu sunt disponibile la momentul actual, pentru a proiecta și fabrica un circuit capabil să furnizeze o tensiune de referință, bazat pe diode B-Zener de ultimă generație cu substrat ne-încălzit.

Pentru o reducere suplimentară a stresului indus de pachet, o structură piramidală SIP încapsulat poate fi implementată, oferind imunitate maximă la stresul indus, așa cum este descris în [27].

Această combinație piramidală pe 3 niveluri ar putea fi aranjată pentru reducerea mecanică optimă a stresului, după cum urmează:

- **Plachetă 1**
 - B-Zener - imunitate la stres, stabilitate, și un tampon mecanic pentru placheta 2 și placheta 3.
- **Plachetă 2:**
 - CP - imunitate la zgomot a pompei de sarcină, eficiență îmbunătățită a CP și tampon pentru stresul indus de pachet la blocul Flip ΔVBE .
- **Plachetă 3**
 - Celulă Flip ΔVBE – beneficiind de protecție mecanică maximă.

Această structură piramidală ne va permite să maximizăm punctele forte ale fiecărui bloc funcțional, în timp ce celelalte blocuri acționează, de asemenea, ca un tampon mecanic de stres, protejând blocul cel mai critic și predispus la stres (circuitul Flip ΔVBE , așa cum este descris în capitolul 3).

Referințe selective

- [1] G.C.M.M. a. A.B. F. Fruett, "Minimizarea inexactității induse de stres mecanic în referințele tensiunii bandgap", *IEEE Journal of Solid-State Circuits*, vol. 38, nr. 7, pp. 1288-1291, 2003.
- [2] W. G. Eicke, "Commentaires sur l'utilisation des diodes de zener comme etalons de tension", *Comite' Consultatif d'Electricite'*, no. 11e Session, pp. 1874-1877, 1963.
- [3] A. Dispozitive, "Fișa tehnică LTZ1000", Dispozitive analogice, <https://www.analog.com/en/products/ltz1000.html#product-overview>, 2021. [Online]. Disponibil: <https://www.analog.com/en/products/ltz1000.html#product-overview>.
- [4] R. Kaußler, "Richi's Lab Semiconductor ADI1000", Richard Kaußler, Schernfeld, <https://www.richis-lab.de/REF19.htm>, 2019.
- [5] G.B. S.M.M.B. Viorel Bucur, "An Embedded Charge Pump for a Zener-Based Voltage Reference Compensated Using a ΔV_{BE} Stack", în *MIXDES*, 2017.
- [6] V.B. Marinca Stefan, "Low Drift Zener-Based Voltage Reference", *Signals and Systems Conference (ISSC), 26th Irish*, 2015, WOS:000380490400034.
- [7] ROHM, "ROHM Spice Model Database", Japonia, 2015, <https://www.pspice.com/models/rohm>.
- [8] R. Semiconductor, "Zener PSpice Rohm model", ROHM Semiconductor, HK, 2015, https://fscdn.rohm.com/en/products/library/spice/discrete/diode/zener/cdz4_7b.zip.
- [9] V. Bucur, "Reducerea neliniarității tranzistorului de joncțiune bipolară VBE", în *Proiectarea mixtă a circuitelor și sistemelor integrate*, Polonia, 2019, WOS:000480458200018.
- [10] KW.M. David Johns, în *Analog integrated circuit design*, John Wiley & Sons, 1997, ISBN: 0-471-14448-7, p. 353.
- [11] S. Marinca, "Ultralow Noise, High Accuracy Voltage Reference, Analog Devices, Inc. datasheet ADR45XX", Analog Devices, 2012.
- [12] E. L. (LE), "Pentru producția de serie circuite adecvate de carduri de alimentare cu energie de joasă tensiune stabile la temperatură", KFK-218, ID KITopen: 270000958, DOI: 10.5445 / IR / 270000958, 1964.

- [13] D. A. J. K. W.M. Tony Chan Carusone, "Analog Integrated Circuit Design 2nd Edition", Wiley Global Education, 2011, pp. 310-311.
- [14] D. A. J. K. W.M. Tony Chan Carusone, "Analog Integrated Circuit Design" 2nd Edition", Wiley Global Education, 2011, ISBN-10: 0470770104, p. 319.
- [15] S. Marinca, "Joasă tensiune deriva de referință". Brevet SUA APD5029 , 11 2013.
- [16] S. Marinca, "Metodă și circuit pentru referință de joasă tensiune de putere și generator de curent polarizat". Statele Unite ale Americii de Brevete US8531169B2.
- [17] T. Instruments, "Dateet: REF102 Zener based 10-V Precision Voltage Reference",
https://www.ti.com/lit/ds/symlink/ref102.pdf?ts=1645044376116&ref_url=https%253A%252F%252Fwww.google.com%252F, 2022,.
- [18] D. Clein, "CMOS IC Layout: Concepts", în *Methodologies, and Tools*, Newnes, Newnes, 1999, ISBN - 978-0750671941, pp. 155-158, 170-172.
- [19] D.M. Binkley, "Tradeoffs and Optimization in Analog CMOS Design", John Wiley & Sons, Ltd , 2008, pp. 440-441.
- [20] K. Enslein, "Caracteristicile diodelor de joncțiune din siliciu ca dispozitive de referință de tensiune de precizie" , *IRE TRANS. ON INSTRUMENTATION*, îmbătrânire pentru a dovedi stabilitatea, vol. 1, nr. 6, pp. 105-118, 1957.
- [21] R. J. Widlar, "New developments in IC voltage regulators," *IEEE Journal of Solid-State Circuits*, Vols. vol. SC-6, no. 1, pp. 2-7, 1971.
- [22] Y. P. Tsvividis, "Analiza exactă a efectelor de temperatură în caracteristicile IC VBE cu aplicarea la sursele de referință bandgap" , *IEEE J. Solid-State Circuit*, nr. SC-15, pp. 1076-1084, 1980.
- [23] S. Marina, "Proportional cu circuitul de temperatură absolută". Usa Patent US9323275B2, 11 12 2013.
- [24] S. Marinca, "Metodă și circuit pentru referință de joasă tensiune de putere și generator de curent polarizat". Statele Unite ale Americii de Brevete US9218015B2, 09 iulie 2012 .
- [25] W. Shockley, "The Theory of P-N Junctions in Semiconductors and P-N Junction Transistors" , *Bell System Technical Journal*, vol. 28, no. 3, pp. 435-89., iulie 1949.
- [26] G.B. S.M. a.M.B. V. Bucur, "A Zener-Based Voltage Reference Design Compensated Using a ΔV_{BE} Stack", în *cadruul celei de-a 25-a Conferințe Internaționale "Mixed Design of Integrated Circuits and System" (MIXDES)*, 2018, pp. 116-120, 2018, WOS: 000480458200018.

- [27] E. G. F. Vasilis F. Pavlidis, "Manufacturing of 3-D Packaged Systems" , *Three-dimensional Integrated Circuit Design*, 2009.