



UNIVERSITATEA NAȚIONALĂ DE  
ȘTIINȚĂ ȘI TEHNOLOGIE  
POLITEHNICA  
BUCUREȘTI



Școala Doctorală de Electronică, Telecomunicații  
și Tehnologia Informației

Decizie nr. 207 din 21.09.2024

## REZUMAT

**Ing. Ines-Armina HUREZ**

---

CIRCUIT IZOLAT GALVANIC, PENTRU  
COMANDA DISPOZITIVELOR DE PUTERE

---

### COMISIA DE DOCTORAT

<b>Prof. Dr. Ing. Ion MARGHESCU</b> Univ. Politehnica din București	Președinte
<b>Prof. Dr. Ing. Gheorghe BREZEANU</b> Univ. Politehnica din București	Conducător de doctorat
<b>Conf. Dr. Ing. Marius NEAG</b> Univ. Tehnică din Cluj-Napoca	Referent
<b>Prof. Dr. Ing. Liviu GORAȘ</b> Univ. Tehnică Gheorghe Asachi din Iași	Referent
<b>Prof. Dr. Ing. Florin DRĂGHICI</b> Univ. Politehnica din București	Referent

**BUCUREȘTI 2024**

# Mulțumiri

Dezvoltarea acestei teze mi-a arătat că rezultatele bune apar mult mai ușor atunci când beneficiezi de sprijinul unor specialiști cu calități profesionale și umane deosebite.

Odată cu finalizarea programului de doctorat, vreau să mulțumesc în mod special coordonatorului meu, domnul Prof. Dr. Ing. Gheorghe Brezeanu, pentru îndrumarea permanentă și pentru efortul depus în motivarea și instruirea mea, atât pe întreaga perioadă de cercetare pentru teza de doctorat, cât și pe parcursul dezvoltării lucrărilor de disertație și de licență. Îi mulțumesc pentru o coordonare de 10 ani care a contribuit la formarea mea umană și profesională.

Un munte de recunoștință îl îndrept către Dr. Ing. Vlad Anghel, căruia îi mulțumesc pentru sprijinul tehnic și moral acordat constant pe parcursul a 7 ani lungi de colaborare, și pentru contribuția lui în dezvoltarea mea ca om. Doresc să îi mulțumesc în mod deosebit pentru răbdarea continuă acordată în ciuda încăpățânării mele, pentru toate lecțiile de viață pe care mi le-a oferit de-a lungul timpului, dar mai ales pentru încrederea pe care mi-a acordat-o pe toată perioada studiilor.

Tot în categoria recunoștinței deosebite, vreau să le mulțumesc și colegilor mei, Ing. Kinam Song, Ing. Andrei Enache și Ing. Florin Vlădoianu, pentru cunoștințele împărtășite care au contribuit la formarea mea profesională, pentru părerile tehnice oferite și pentru colaborarea la dezvoltarea lucrărilor științifice.

Adresez cuvinte de mulțumire comisiei de îndrumare, Prof. Dr. Ing Florin Drăghici, Conf. Dr. Ing. Gheorghe Pristavu, și Dr. Ing. Pavel Brînzoi, pentru timpul acordat, și pentru sfaturile oferite pe toată perioada de studii care au condus la îmbunătățirea rezultatelor și a lucrării.

Aduc mulțumiri membrilor comisiei de doctorat, Conf. Dr. Ing Marius Neag, Prof. Dr. Ing. Liviu Goraș, și din nou, Prof. Dr. Ing. Florin Drăghici, pentru acceptul dumnealor de a face parte din comisia de susținere publică și de a recenza această teză. Mulțumesc, de asemenea, domnului Prof. Dr. Ing. Ion Marghescu, președintele comisiei de doctorat.

În final, vreau să le mulțumesc celor dragi și să le dedic lor această teză. Mulțumesc mamei mele pentru iubirea necondiționată oferită, pentru înțelegerea și suportul moral și material acordate de-a lungul vieții, care au contribuit la dezvoltarea mea umană. Tatălui meu îi voi mulțumi mereu pentru curiozitatea însuflețită din primii ani de viață, care mi-a îndrumat pașii către acest domeniu. Le mulțumesc fratelui și nepoatei mele, precum și bunicii mele, pentru încurajările oferite. Îi mulțumesc Larisei pentru susținerea constantă care m-a ajutat să trec cu mai multă ușurință peste toate momentele dificile. Nu în ultimul rând, îi mulțumesc lui Andu pentru răbdarea și dragostea oferite și pentru că m-a sprijinit din toate punctele de vedere.

# Cuprins

Capitolul 1 Introducere .....	1
Capitolul 2 Dispozitive de Putere .....	2
Capitolul 3 Circuite de Comandă.....	3
Capitolul 4 Tehnică Robustă de Comunicare a Datelor.....	4
4.1 Schema bloc a circuitului propus .....	4
4.2 Implementarea circuitelor de protecție.....	6
4.2.1 Circuit de protecție la scăderea tensiunii de alimentare .....	6
4.2.2 Circuit de protecție la supra-curent .....	7
4.2.3 Circuit de protecție la comutație parazită .....	8
4.2.4 Circuit de protecție la deconectarea terminalului <i>VEEI</i> .....	9
4.2.5 Circuit de protecție la supra-temperatură .....	10
4.3 Transmisia Informației .....	11
4.3.1 Codarea și decodarea semnalelor de eroare.....	11
4.3.2 Transmiterea semnalelor.....	12
4.3.3 Imunitatea la semnale de mod comun .....	13
Capitolul 5 Rezultate Experimentale .....	15
5.1 Mediul de Verificare .....	15
5.2 Verificarea Circuitelor de Protecție.....	15
5.2.1 Protecția la scăderea tensiunii de alimentare .....	15
5.2.2 Protecția la supra-curent .....	17
5.2.3 Protecția la comutația parazită.....	18
5.2.4 Protecția la deconectarea terminalului <i>VEEI</i> .....	19
5.2.5 Protecția la supra-temperatură .....	19
5.3 Verificarea Imunității la Semnale de Mod Comun .....	21
5.4 Comparație cu circuite comercializate .....	22
Capitolul 6 Concluzii .....	24
6.1 Rezultate obținute.....	24
6.2 Contribuții originale .....	27
6.3 Lista lucrărilor originale.....	29
6.4 Perspective de dezvoltare ulterioară.....	30
Bibliografie .....	31



# Capitolul 1

## Introducere

În ultimele decenii, o colaborare globală între guverne și cercetători are drept scop reducerea dependenței de combustibilii fosili și înlocuirea acestora cu soluții de energie alternativă. Conversia energetică este posibilă folosind dispozitive semiconductoare de putere cu mecanisme de control avansate, care monitorizează parametrii de ieșire și de intrare, și controlează comutatoarele de putere în funcție de aceștia.

În prezent, tranzistorul bipolar cu poartă izolată (*“Insulated Gate Bipolar Transistor”* – IGBT) este cel mai răspândit dispozitiv realizat în siliciu. Controlul acestuia este realizat prin intermediul unui circuit de comandă care amplifică semnalul de control generat de microprocesor la nivelele de curenți și tensiuni necesare pentru încărcarea și descărcarea capacității de intrare a comutatorului. O altă funcție esențială a circuitului de comandă este separarea domeniului de joasă tensiune al microprocesorului de domeniul de tensiuni înalte în care operează IGBT-ul.

În funcționarea normală a sistemului format de microprocesor, circuit de comandă și IGBT, pot apărea diferite erori care să conducă la depășirea parametrilor limită ai componentelor din lanțul de conversie energetică.

Scopul acestei lucrări este dezvoltarea și implementarea unui circuit izolat galvanic, pentru comanda dispozitivelor de putere cu comunicare robustă a datelor prin bariera de izolare. Transmiterea robustă a informației de la blocul de intrare către circuitul de ieșire, și invers, este asigurată prin proiectarea și implementarea unui set extins de blocuri de protecție ce previn funcționarea necorespunzătoare a circuitului de comandă și a comutatorului de putere. Transferul robust al informației este asigurat și prin intermediul a trei arhitecturi noi propuse care optimizează calea de transmisie prin codarea, respectiv decodarea, semnalelor de eroare și prin îmbunătățirea imunității la semnale de mod comun.

# Capitolul 2

## Dispozitive de Putere

Un IGBT este folosit drept comutator în aplicațiile de putere [1]-[3]. Astfel, acesta operează în două domenii de funcționare, și anume, blocare sau saturație. Drept urmare, termenul de conducție pentru IGBT face referire la regiunea de saturație. La comutația în conducție a dispozitivului de putere apare un vârf de curent,  $I_{C,MAX}$ , exprimat în (2.1) și dependent de curentul prin sarcină,  $I_L$ , sarcina stocată în dioda de autoinducție,  $Q_{RR}$ , și panta de variație în timp a curentului de colector,  $dI_C/dt$  [3][4]. Similar, în procesul de blocare apare un vârf de tensiune,  $V_{CE,MAX}$ , descris în (2.2) și determinat de tensiunea de alimentare a sarcinii,  $V_{VCC}$ , valoarea sarcinii inductive,  $L_S$ , și panta  $dI_C/dt$  [3][4].

$$I_{C,MAX} = I_L + I_{RR} = I_L + \sqrt{Q_{RR} \frac{dI_C}{dt}} \quad (2.1)$$

$$V_{CE,MAX} = V_{VCC} - L_S \frac{dI_C}{dt} \quad (2.2)$$

Panta de variație în timp a curentului de colector,  $dI_C/dt$ , depinde de curentul  $I_G$  dat de circuitul de comandă pentru încărcare și descărcarea capacității de intrare a IGBT-ului.  $I_G$  este controlat prin intermediul rezistenței interne a circuitului de comandă,  $R_G$ .

IGBT-ul este menținut în aria sigură de funcționare prin reducerea pantei de variație a curentului de colector pe perioada proceselor tranzitorii de comutație. Acest efect este realizat prin intermediul unei rezistențe externe,  $R_{EXT}$ , conectată în serie cu rezistența parazită a circuitului de comandă  $R_G$ . Dezavantajul constă în creșterea timpului de comutație, și implicit, al pierderilor de putere.

Un IGBT prezintă pierderi de putere dominante în timpul procesului tranzitoriu de comutație [1]-[3]. Pentru a asigura pierderi minime de putere în momentul comutației trebuie utilizat un circuit de comandă cu  $R_G$  cât mai redus. Totuși, modificarea rampei  $dI_C/dt$  influențează de asemenea  $I_{C,MAX}$  și  $V_{CE,MAX}$ . Dacă  $dI_C/dt$  are valori suficient de ridicate, IGBT-ul iese din aria sigură de funcționare și se distruge termic.

Astfel, comanda unui IGBT implică un compromis între supracreșterea pentru  $V_{CE}$  și  $I_C$  în comutație și pierderile de putere.

În aplicațiile tipice pentru IGBT-uri, există situații care pot conduce la apariția unor erori ce pot determina modificarea valorilor parametrilor menționați anterior [3]. Măsura în care acești parametri sunt influențați poate conduce la operarea comutatorului în afara ariei sigure de funcționare. De aceea, circuitele de comandă pentru dispozitive de putere conțin blocuri de protecție care detectează și previn funcționarea necorespunzătoare a dispozitivului de putere.

# Capitolul 3

## Circuite de Comandă

Într-un sistem electronic, între microprocesor și dispozitivul de putere se utilizează un circuit de comandă care amplifică semnalul de control către nivele de tensiune și curenți necesari pentru comanda comutatorului. Astfel, un circuit de comandă comunică atât cu domeniul de tensiuni joase ale microprocesorului, cât și cu regiunea de tensiuni înalte în care operează comutatorul. Drept urmare, o altă funcție esențială a acestor circuite este de separare electrică a celor două domenii de operare [3][5]-[8].

Structura de bază a unui circuit de comandă este ilustrată în Figura 3.1. Blocul de intrare al circuitului de comandă, sau blocul primar, prelucrează semnalul de control  $IN$  prin intermediul unui detector de nivel cu histerezis [9][10]. Circuitul secundar, sau blocul de ieșire, al circuitului de comandă este referențiat la terminalul de emitor al comutatorului comandat. În cadrul acestui bloc, semnalul de intrare este amplificat la nivelul necesar pentru comanda IGBT-ului [9][10]. Circuitul de interfață asigură separarea electrică a celor două domenii de tensiune cu care comunică circuitul de comandă. Acest lucru permite referențierea blocurilor individuale la un potențial diferit față de cel al masei. Circuitul de interfață asigură și transferul semnalelor utile între cele două blocuri componente [5][11][12].

Majoritatea circuitelor de comandă actuale existente pe piață includ de asemenea o cale de comunicare inversă prin care se transmit diferite stări ale dispozitivului de putere [5]-[8]. Călea de comunicare inversă constă într-un bloc de protecție integrat în cadrul circuitului de ieșire ce monitorizează starea IGBT-ului. Acesta previne operarea dispozitivului de putere în afara ariei de funcționare sigură și generează un semnal de eroare în momentul detecției condițiilor eronate. Circuitul de interfață transferă semnalul către blocul primar unde este prelucrat în cadrul unui circuit de Control și comunicat microprocesorului prin intermediul terminalului  $FLT$ .

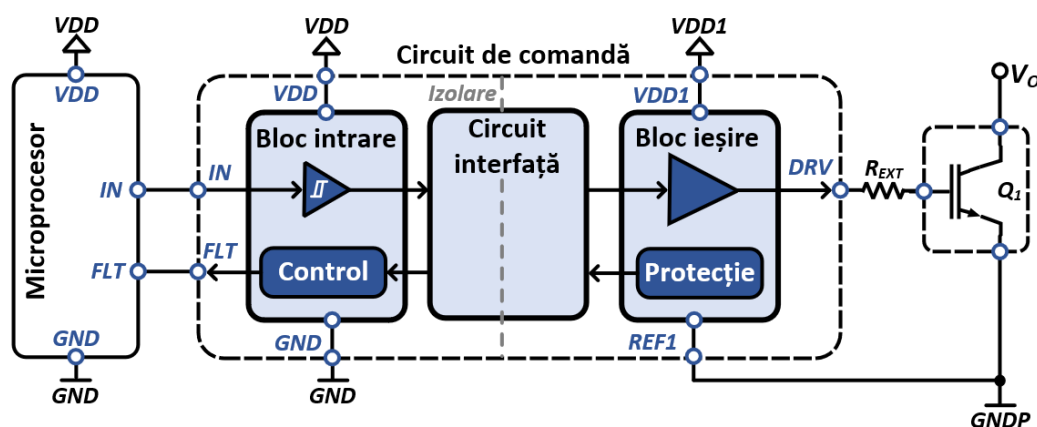


Figura 3.1 Structura unui circuit de comandă cu bloc de protecție

# Capitolul 4

## Tehnică de Comunicarea Robustă a Datelor

### 4.1 Schema bloc a circuitului propus

Capitolul de față propune un circuit izolat galvanic, pentru comanda dispozitivelor de putere cu comunicare robustă a datelor prin bariera de izolare. Structura circuitului este prezentată în Figura 4.1, unde separarea electrică a blocurilor componente este realizată prin intermediul a trei transformatoare integrate. Circuitul de comandă propus include trei căi de transmisie formate cu cele trei transformatoare, împreună cu câte un circuit de transmisie, TX, și unul de recepție, RX: o cale directă (CD în Figura 4.1) care transferă semnalul de control de la microprocesor, și două căi inverse prin care sunt comunicate defectele de funcționare (CI-F), respectiv informația de temperatură a IGBT-ului (CI-T).

Circuitul de ieșire este alimentat atât la o tensiune pozitivă,  $VDDI$ , cât și la o tensiune negativă,  $VEEI$ , ambele referențiate la potențialul  $REFI$ . Terminalul de comandă,  $DRV$ , variază între aceste nivele iar alți trei pini,  $DST$ ,  $CL$ , și  $TS$ , monitorizează condițiile de operare ale IGBT-ului.

Blocul de intrare conține pe lângă pinul de alimentare,  $VDD$ , și cel de control,  $IN$ , un terminal pentru resetarea întregului circuit,  $\overline{RST}$ , și patru pini de raportare către microprocesor. Trei dintre aceștia,  $RDY$ ,  $\overline{DFLT}$ , și  $\overline{TFLT}$ , comunică semnale de eroare, în timp ce  $TPWM$  raportează continuu temperatura IGBT-ului.

Transmiterea robustă a informației este asigurată în primul rând prin implementarea unui set extins de circuite de protecție pentru IGBT și pentru blocurile componente. IGBT-ul este protejat la supra-curent (DESAT), comutație parazită (AMC), și supra-temperatură (MT și ST-D). Pentru blocul de ieșire sunt monitorizate supra-temperatura (ST-C), scăderea tensiunii de alimentare pozitivă  $VDDI$  (UVLO-S) și deconectarea terminalului de alimentare negativă  $VEEI$  (FL-VEE), în timp ce blocul de intrare este protejat la scăderea tensiunii de alimentare  $VDD$  (UVLO-P). O serie de circuite logice, DRV LOGIC, FLT LOGIC și IN LOGIC, sunt configurate pentru procesarea semnalelor de eroare.

A doua etapă în dezvoltarea circuitului de comandă constă în optimizarea ariei prin codarea (CD) semnalelor de eroare în blocul de ieșire, și decodarea (DCD) acestora în cadrul blocului de intrare. Astfel, o singură cale de transmisie inversă este utilizată (CI-F în Figura 4.1a. și Figura 4.1b) pentru a comunica defectele de funcționare ale IGBT-ului și ale circuitului de ieșire. În plus, imunitatea la semnale de mod comun este îmbunătățită cu ajutorul unei arhitecturi noi propuse, implementată în blocul TX-B.



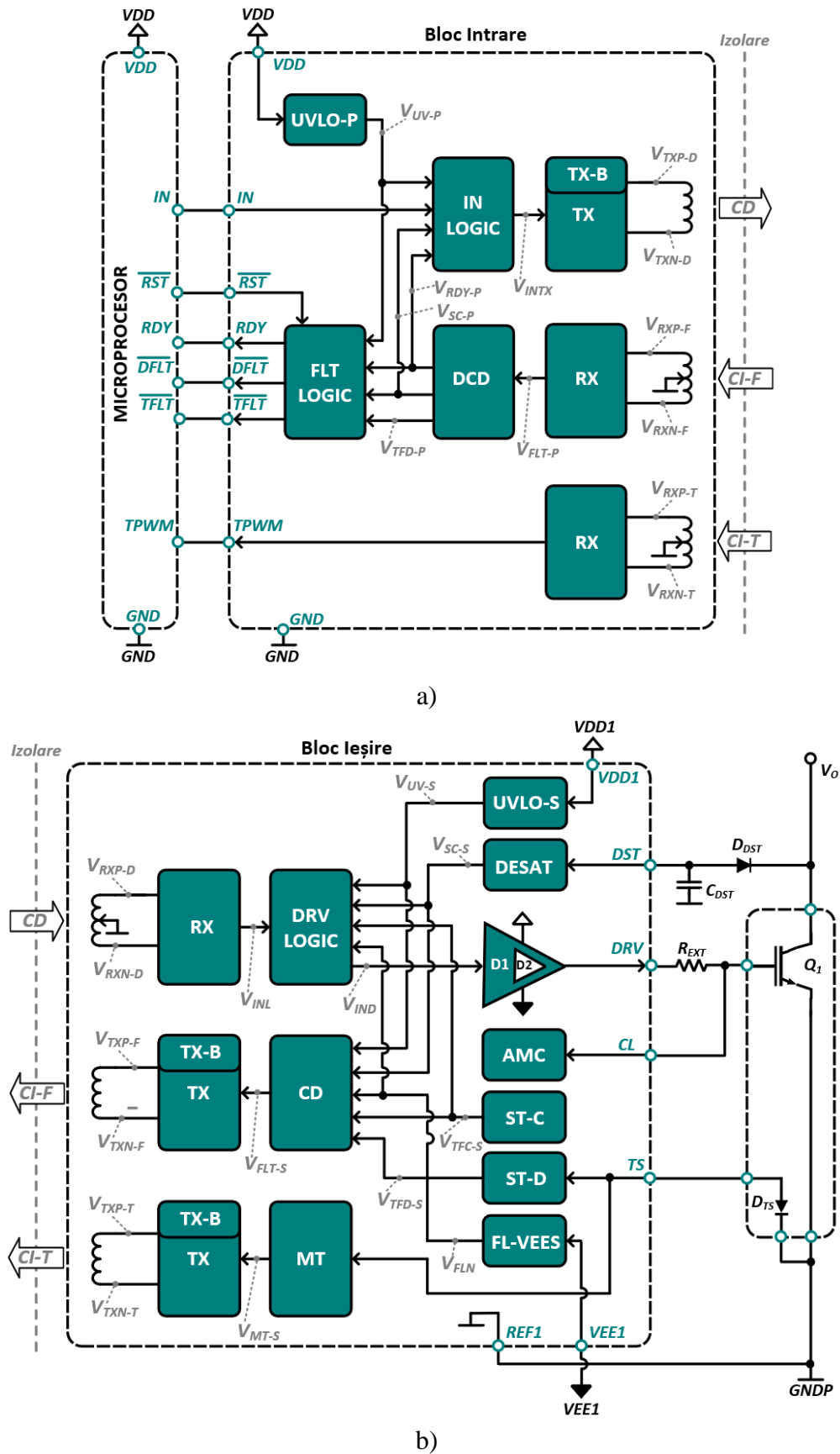


Figura 4.1 Blocurile componente ale circuitului de comandă propus a) primar b) secundar

## 4.2 Implementarea circuitelor de protecție

### 4.2.1 Circuit de protecție la scăderea tensiunii de alimentare

Scăderea tensiunii de alimentare pozitivă a blocului secundar,  $V_{VDD1}$ , este detectată prin intermediul arhitecturii din Figura 4.2. Operarea unui comutator de putere cu o tensiune de comandă insuficientă conduce la creșterea tensiunii  $V_{CE}$  și a pierderilor de conducție [3][7].  $V_{VDD1}$  nu poate fi monitorizată direct datorită tensiunilor înalte necesare. Drept urmare, tensiunea de alimentare este redusă prin intermediul divizorului rezistiv format din  $R_{SNS1}$  și  $R_{SNS2}$ .  $C_1$  compară tensiunea de alimentare divizată,  $V_{SNS}$ , cu o tensiune de referință,  $V_{UVS-R}$ , dependentă de starea comparatorului. Ca o măsură de protecție suplimentară la potențiale fluctuații, semnalul de la ieșirea comparatorului este trecut printr-un filtru de zgomot (Figura 4.2).

Semnalul de ieșire al circuitului de comandă,  $DRV$ , urmărește fluctuațiile tensiunii de alimentare până când aceasta scade sub pragul  $V_{UVLOS-OFF}$ . În cadrul blocului de ieșire, semnalul  $UV-S$  este transmis întâi către blocul DRV LOGIC unde resetează un circuit de memorare atunci când  $V_{SNS} < V_{UVS-R}$  pentru o perioadă de timp mai lungă decât  $t_F$ . Drept urmare,  $V_{DRV}$  este comandat către  $V_{VEE1}$  cu ajutorul blocului de comandă cu impedanță scăzută,  $D_1$ . Mai mult decât atât, informația despre scăderea tensiunii de alimentare pozitivă este comunicată către blocul de intrare prin calea CI-F, iar  $RDY$  este setat în "0" logic. Circuitul de comandă revine în funcționare normală atunci când tensiunea de alimentare  $V_{VDD1}$  crește peste pragul  $V_{UVLOS-ON}$ .

Circuitele de comandă existente pe piață includ în mod uzual și un bloc de monitorizare a tensiunii de alimentare a circuitului primar [9][10]. Această protecție este necesară pentru a asigura transmiterea robustă a semnalului de comandă prin bariera de izolare galvanică și comunicarea corectă a defectelor către microprocesor. Detecția scăderii tensiunii  $V_{DD}$  din Figura 4.3 este realizată prin intermediul unui comparator cu histerezis intern. Circuitul de comandă dezvoltat funcționează la tensiuni de alimentare joase, între 3.3 V și 5 V. Răspunsul circuitului de comandă la scăderea tensiunii  $V_{DD}$  este identic cu cel descris pentru scăderea tensiunii  $V_{VDD1}$ .

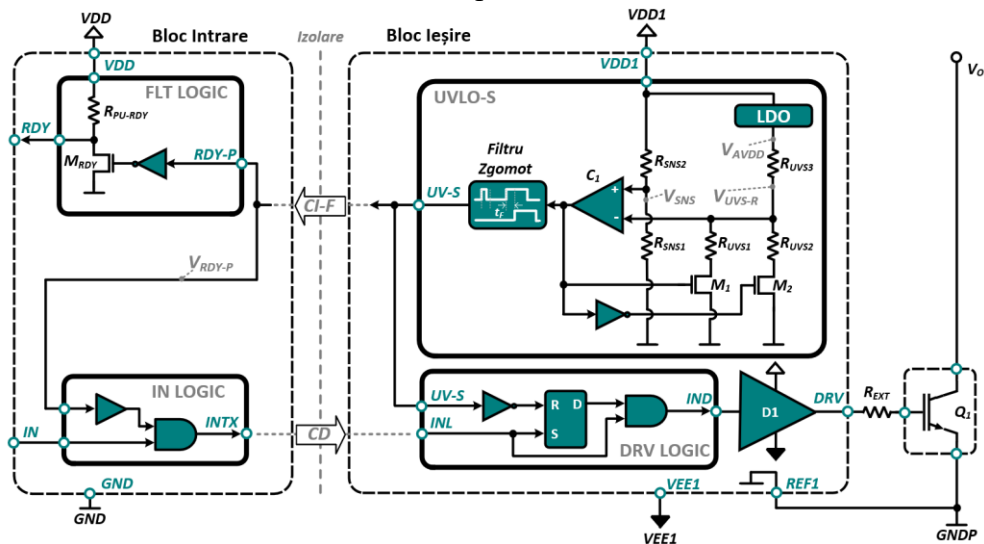


Figura 4.2 Circuitul pentru detecția și comunicarea scăderii tensiunii  $V_{VDD1}$

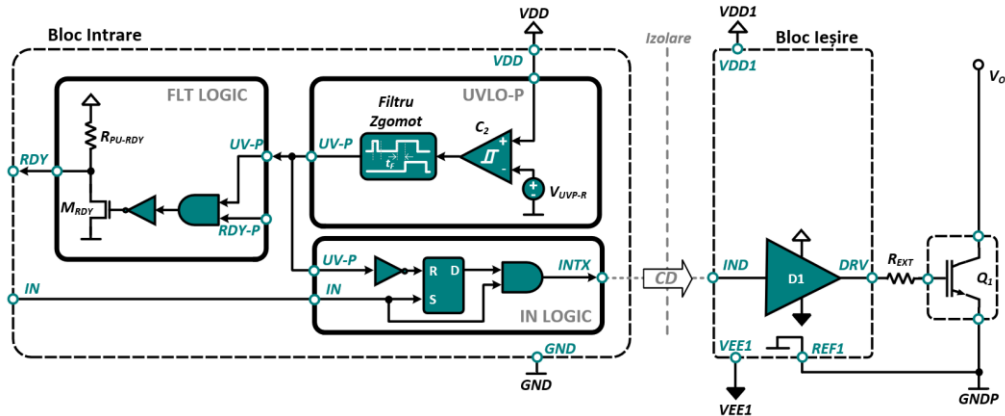


Figura 4.3 Circuitul pentru detecția și comunicarea scăderii tensiunii VDD

## 4.2.2 Circuit de protecție la supra-curent

Creșterea curentului  $I_C$  pentru o tensiune de poartă constantă determină creșterea tensiunii  $V_{CE}$ . Astfel, IGBT-ul iese din regiunea de saturație și funcționează în regiunea activă. Drept urmare, fenomenul de scurtcircuitare a sarcinii este cunoscut și sub denumirea de desaturare a dispozitivului de putere. Un IGBT poate funcționa în aceste condiții fără a se distruge termic pentru o perioadă cuprinsă între  $6 \mu s$  și  $10 \mu s$  [3][13].

Soluția de protecție împotriva scurtcircuitării sarcinii este prezentată în Figura 4.4 și se bazează pe monitorizarea căderii de tensiune pe dispozitivul de putere [3][5][6]. Comutatorul  $M_{IDST}$  este introdus pentru a dezactiva sursa de curent  $I_{DST}$  atunci când semnalul de comandă  $IND$  este inactiv. În plus, tensiunea  $V_{DST}$  este redusă cu ajutorul divizorului rezistiv format din  $R_{DST1}$  și  $R_{DST2}$ . Acest lucru este necesar pentru a proteja intrările comparatorului  $C_3$  de valorile ridicate care pot apărea la potențialul  $DST$ . Monitorizarea căderii de tensiune pe IGBT începe atunci când  $D_{DST}$  este polarizată direct:

$$V_{DST} = V_F + V_{CE,SAT} \quad (4.1)$$

La apariția unui scurtcircuit al sarcinii, tensiunea  $V_O$  crește semnificativ și conduce la polarizarea inversă a diodei  $D_{DST}$ ,  $I_{DST}$  continuă să încarce  $C_{DST}$ , iar  $C_3$  comută [3] după perioada de timp  $t_{DST}$  necesară pentru  $V_{DST-D}$  să atingă valoarea de prag  $V_{SC}$ :

$$t_{DST} = \frac{C_{DST}}{I_{DST}} \left( \frac{R_{DST1} + R_{DST2}}{R_{DST1}} V_{SC} - V_F - V_{CE,SAT} \right) \quad (4.2)$$

Ca urmare a comutației comparatorului,  $C_3$  activează un cronometru (Figura 4.4) care menține semnalul  $SC-S$  activ pentru un interval fix de timp denumit "timp de comunicare". În această perioadă se comandă blocarea dispozitivului de putere în cadrul blocului  $DRV$  LOGIC. IGBT-ul este blocat prin intermediul unei căi de impedanță mare,  $D_2$  în Figura 4.4, comparativ cu calea utilizată pentru blocarea în funcționarea normală. Defectul de desaturare este transmis către blocul primar în intervalul de comunicare prin calea  $CI-F$ , unde pinul  $\overline{DFLT}$  este forțat în "0" logic. Condiția de desaturare este înregistrată în circuitul de memorare și pinul  $\overline{DFLT}$  rămâne „0” logic până la detecția unui front pozitiv al semnalului  $\overline{RST}$ . În plus, IGBT-ul intră în conducție doar după înregistrarea unui front pozitiv al semnalului  $V_{IN} = V_{INL}$ .

Circuit izolat galvanic, pentru comanda dispozitivelor de putere

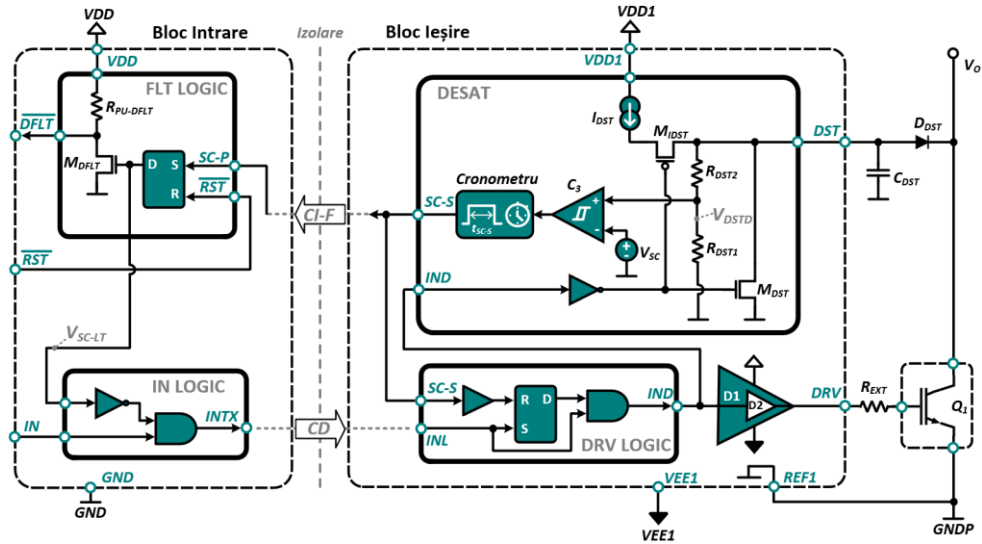


Figura 4.4 Circuitul pentru detecția și comunicarea supra-curentului

### 4.2.3 Circuit de protecție la comutație parazită

Un astfel de circuit este prezentat în Figura 4.5 și este cunoscut în literatura de specialitate după denumirea în limba engleză *Active Miller Clamp – AMC*. Tensiunea de poartă a dispozitivului de putere este monitorizată prin intermediul pinului  $CL$ . Un circuit de adaptare, IAU în Figura 4.5, limitează excursia tensiunii  $V_{CL}$  într-o gamă adecvată tehnologiei, necesară pentru protecția dispozitivelor interne [14]. Comparatorul  $C_4$  comută atunci când IGBT-ul este blocat și  $V_{DRV}$  coboară sub un prag notat  $V_{CL-THR}$ . Atunci când sunt îndeplinite aceste condiții, starea este înregistrată într-un circuit de memorare care comandă deschiderea tranzistorului  $M_{CL}$ . Acesta oferă o cale de impedanță joasă pentru descărcarea curentului  $I_{CG}$ .

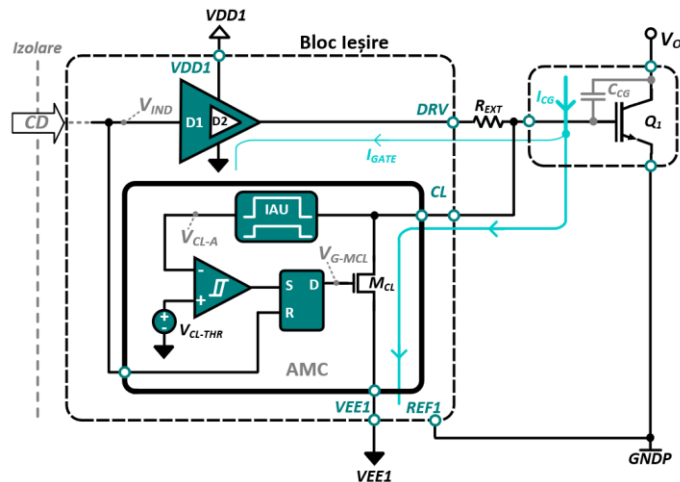


Figura 4.5 Circuitul pentru protecția la comutația parazită

#### 4.2.4 Circuit de protecție la deconectarea terminalului VEE1

O nouă funcție de protecție este propusă în cadrul acestei lucrări [15]. Figura 4.6 prezintă un circuit care monitorizează tensiunea de alimentare negativă. Arhitectura propusă urmărește tensiunea  $V_{VEE1}$  și transmite un semnal de eroare către microprocesor în cazul în care terminalul  $VEE1$  este flotant. Noutatea acestei funcții de protecție constă în posibilitatea conectării pinului la o sursă de alimentare negativă, sau la potențialul de referință al blocului secundar,  $V_{REF1}$ . În aceste condiții, sursa de curent  $I_{B-F2}$  polarizează direct dioda  $D_{F2}$  care oferă tensiunea de referință a comparatorului,  $V_{F-INP}$ :

$$V_{F-INP} = V_{DF2} \quad (4.3)$$

Intrarea inversoare a comparatorului  $C_5$ ,  $V_{F-INN}$ , monitorizează terminalul  $VEE1$  prin intermediul căderii de tensiune pe rezistența  $R_{F1}$ .  $V_{F-INN}$  este trasă sub nivelul de referință  $V_{REF1}$  atunci când circuitul este alimentat cu o tensiune negativă. Astfel, dioda  $D_{F1}$  este polarizată direct și limitează excursia nodului  $V_{F-INN}$  în jurul valorii de  $-0.7$  V. În același timp,  $D_{F1}$  injectează un curent,  $I_{DF1}$ , prin rezistența  $R_{F1}$  pentru a stabili punctul static de funcționare. Se obține astfel valoarea tensiunii  $V_{F-INN}$ :

$$V_{F-INN} = V_{RN} = (I_{DF1} + I_{B-F1})R_{F1} + V_{VEE1} \quad (4.4)$$

În condițiile descrise anterior, semnalul  $FLN$  este activ pentru a semnaliza polarizarea corespunzătoare a terminalului  $VEE1$ , iar  $RDY$  este activat.

În cazul în care terminalul  $VEE1$  nu este conectat corespunzător (defect al plăcii, defect al circuitului, fir de conexiune rupt etc.), tensiunea de alimentare negativă crește și este limitată la o cădere de tensiune pe dioda  $D_{ESD}$ ,  $V_{F-DESD}$ , peste nivelul de referință.  $V_{F-INP}$  este dată de căderea de tensiune pe dioda  $D_{F2}$  pentru a compensa variația în temperatură a tensiunii  $V_{VEE1}$  atunci când pinul nu este conectat. În același timp, intrarea inversoare a comparatorului urmărește tensiunea  $V_{VEE1}$ . În aceste condiții, semnalul de la ieșirea comparatorului devine inactiv. Drept consecință, semnalul de comandă este întrerupt iar  $RDY$  este tras către masă pentru a comunica eroarea extern. Circuitul revine din această condiție atunci când terminalul  $VEE1$  este conectat la nivelul de referință  $REF1$  sau la o sursă de tensiune negativă.

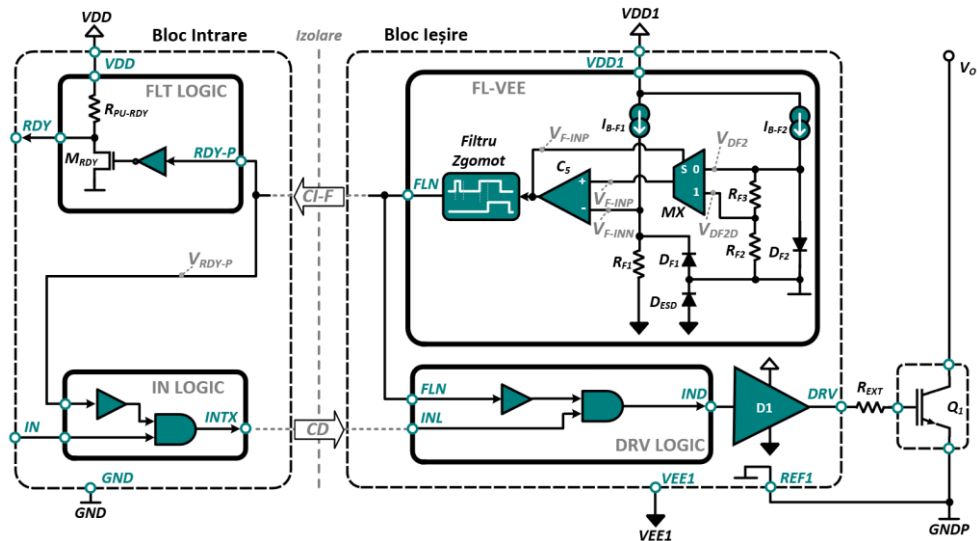


Figura 4.6 Circuitul pentru protecția la deconectarea terminalului VEE1

## 4.2.5 Circuit de protecție la supra-temperatură

Circuitul de detecție a condiției de supra-temperatură a blocului de ieșire este prezentat în Figura 4.7. Un comparator cu histerezis,  $C_6$ , monitorizează o tensiune internă,  $V_{F-DCTS}$ , și își modifică starea atunci când tensiunea coboară sub un prag prestabilit,  $V_{C-TSR}$ . Arhitectura din Figura 4.7 include un senzor de temperatură [16] implementat cu ajutorul diodei  $D_{C-TS}$ . Condiția de supra-temperatură a blocului de ieșire este raportată pe  $R_{DY}$ , iar semnalul de comandă este dezactivat.

Circuitul de comandă propus include arhitectura din Figura 4.8 pentru a măsura temperatura comutatorului [17]. Schema propusă este compatibilă cu dispozitive de putere inteligente care integrează un senzor de temperatură în capsula lor. Acesta este reprezentat în Figura 4.8 cu ajutorul diodei  $D_{TS}$ . Sursa de curent  $I_{D-TS}$  polarizează senzorul extern conectat la pinul  $TS$ , iar căderea de tensiune este monitorizată de către două comparatoare.  $C_7$  compară  $V_{TS}$  cu un semnal periodic de tip dinte de fierăstrău,  $V_{OSC}$ , pentru a genera  $V_{MT-S}$ . Pe măsură ce temperatura dispozitivului de putere crește, căderea de tensiune pe dioda  $D_{TS}$ ,  $V_{D-TS}$  scade, iar durata impulsului semnalului  $MT-S$  crește.  $MT-S$  este transmis pe o cale inversă dedicată,  $CI-T$  în Figura 4.8, către blocul primar pentru a comunica continuu temperatura dispozitivului de putere.

Detecția condiției de supra-temperatură este realizată suplimentar și de comparatorul  $C_8$  din Figura 4.8. Ieșirea acestuia este "1" logic atunci când  $V_{TS}$  scade sub pragul de referință  $V_{D-TSR}$  corespunzător unei temperaturi anume. Astfel, semnalul  $V_{ST-D}$  este codat și transferat pe calea  $CI-D$  către blocul primar pentru a comunica eroarea prin intermediul pinului  $\overline{TFLT}$ . Această redundanță a informației de temperatură a IGBT-ului crește gradul de siguranță a sistemului și asigură comunicarea condiției eronate, chiar și în cazul în care una din căile de transfer este deteriorată [17].

Circuitul de comandă propus include o arhitectură nouă care dezactivează funcția de detecție a supra-temperaturii IGBT-ului atunci când terminalul  $TS$  este flotant [17]. Atunci când terminalul  $TS$  este conectat la un senzor de temperatură extern,  $M_{TS-F}$  este în regim liniar. Curentul prin acesta este comparat cu un curent constant  $I_{R-TS}$ . În cazul în care pinul  $TS$  este flotant,  $V_{TS}$  este tras către  $V_{AVDD}$  prin intermediul rezistenței  $R_{L-TS}$ . Astfel, tensiunea sursă-poartă a tranzistorului  $M_{TS-F}$  scade, iar  $I_{F-TS}$  devine nul. Drept consecință,  $V_{TS-EN}$  este "1" logic și dezactivează sursa de curent  $I_{TS}$ .

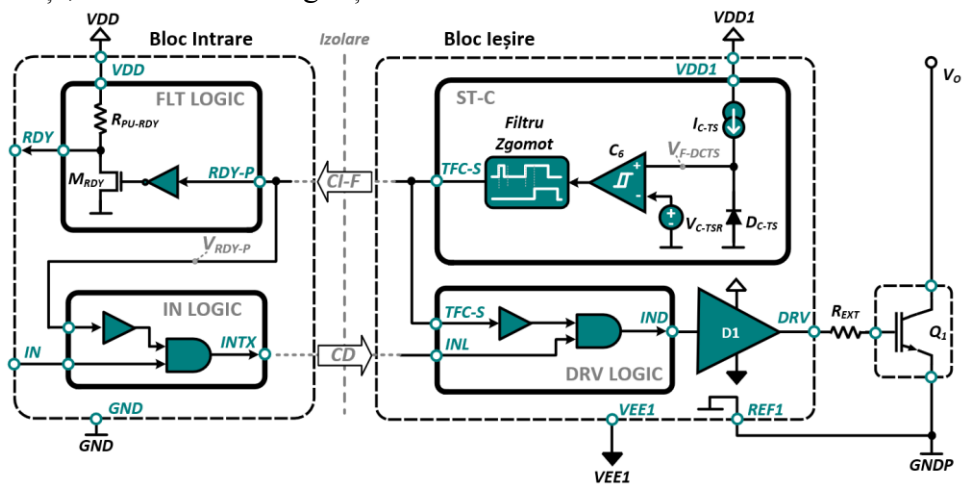


Figura 4.7 Circuitul pentru protecția la supra-temperatura circuitului de comandă



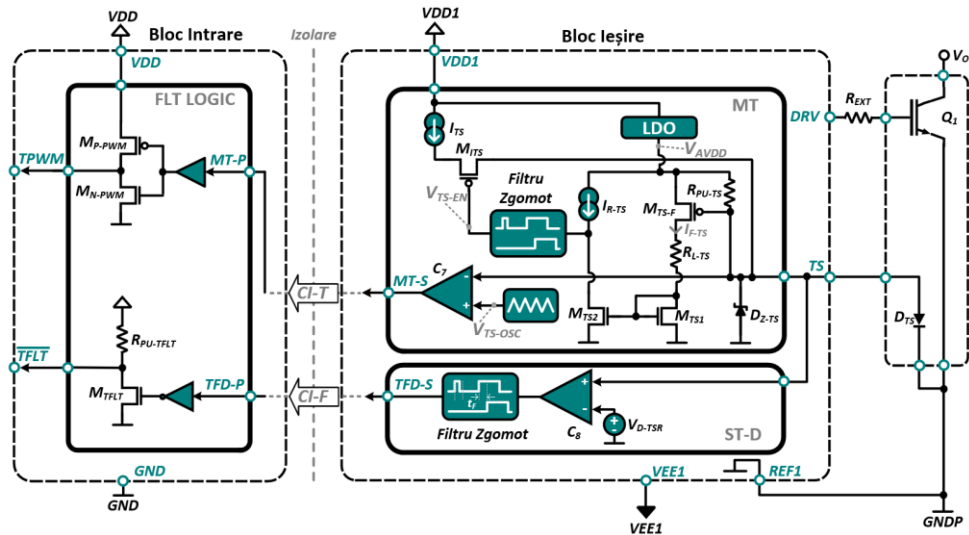


Figura 4.8 Circuitul pentru protecția la supra-temperatura dispozitivului de putere

## 4.3 Transmisia Informației

### 4.3.1 Codarea și decodarea semnalelor de eroare

Pentru optimizarea ariei circuitului, defectele detectate pe blocul secundar sunt transmise către circuitul primar folosind o singură cale inversă de comunicare, CI-F. În scopul diferențierii semnalelor de eroare de pe calea CI-D, acestea sunt mai întâi codate cu ajutorul unui bloc nou propus, CD din Figura 4.9, și apoi comunicate prin bariera de izolare galvanică. În cadrul blocului primar are loc un proces de decodare realizat de circuitul DCD din Figura 4.9 [17].

Blocul de codare combină erorile de funcționare ale circuitului de ieșire. Astfel, semnalul  $UV-S$  este procesat împreună cu semnalele  $FLN$  și  $TFC-S$ . Blocul CD-R generează un semnal periodic de perioadă  $t_{PR}$  și lățime  $t_{PWR}$  atunci când circuitul de ieșire funcționează optim. Acesta este transmis prin bariera de izolare către circuitul primar. La decodarea semnalului periodic, blocul DCD-R activează  $RDY-P$ . Detecția unei condiții eronate a blocului de ieșire întrerupe generarea semnalului periodic. În lipsa a trei pulsuri consecutive, blocul DCD-R setează semnalul  $RDY-P$  în “0” logic.

Condiția de supra-temperatură a IGBT-ului, semnalizată prin dezactivarea semnalului  $TFD-S$ , conduce la generarea unui semnal periodic cu o frecvență de 10 ori mai mare în comparație cu frecvența pulsurilor de funcționare normală. Cele două semnale periodice sunt suprapuse și transmise prin calea de izolare CI-F. În blocul de intrare, circuitul DCD-T detectează apariția semnalului de frecvență înaltă și setează semnalul  $TFD-P$  în “0” logic.

Detecția condiției de supra-curent a IGBT-ului conduce la generarea unui singur puls la ieșirea blocului CD-D cu o durată de 7 ori mai mare în comparație cu durata semnalului de funcționare normală. Transmiterea pulsului care semnalizează condiția de supra-curent este prioritizată prin calea de izolare. Circuitul de decodare DCD-D măsoară lățimea semnalului transmis și forțează semnalul  $SC-P$  în “0” logic pentru a semnaliza eroarea întâlnită.

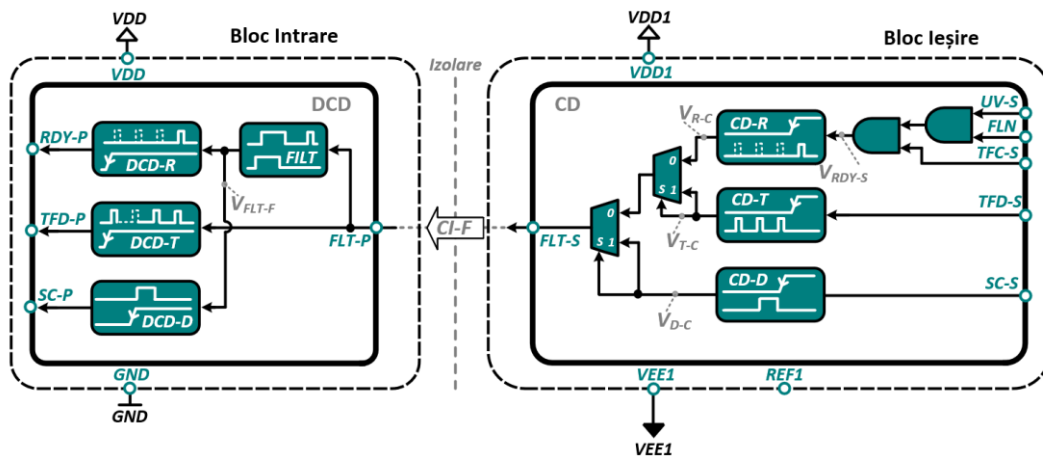


Figura 4.9 Circuitele de codare și decodare a semnalelor de eroare

### 4.3.2 Transmiterea semnalelor

Circuitul de comandă propus utilizează un oscilator bazat pe tehnica de transmisie On-Off Keying pentru a transfera semnalele utile prin bariera de izolare galvanică. Circuitul de transmisie este prezentat în Figura 4.10 și constă într-un oscilator LC cu rezistență negativă [18]. Semnalul de la intrarea oscilatorului este modulat în amplitudine, iar spectrul său este translatat la o frecvență mai înaltă. Circuitul utilizează înfășurarea primară  $L_P$  a transformatorului integrat pentru a crea un oscilator LC împreună cu condensatorul  $C_{TX}$ . În momentul în care semnalul de comandă devine activ, comutatorul  $M_{N3}$  este deschis pentru a activa sursa de curent  $I_{TX}$ . Astfel, nodurile  $V_{TXP-D}$  și  $V_{TXN-D}$  încep să scadă. O debalansare este creată între cele două ramuri, necesară pentru a amorsa oscilatorul.

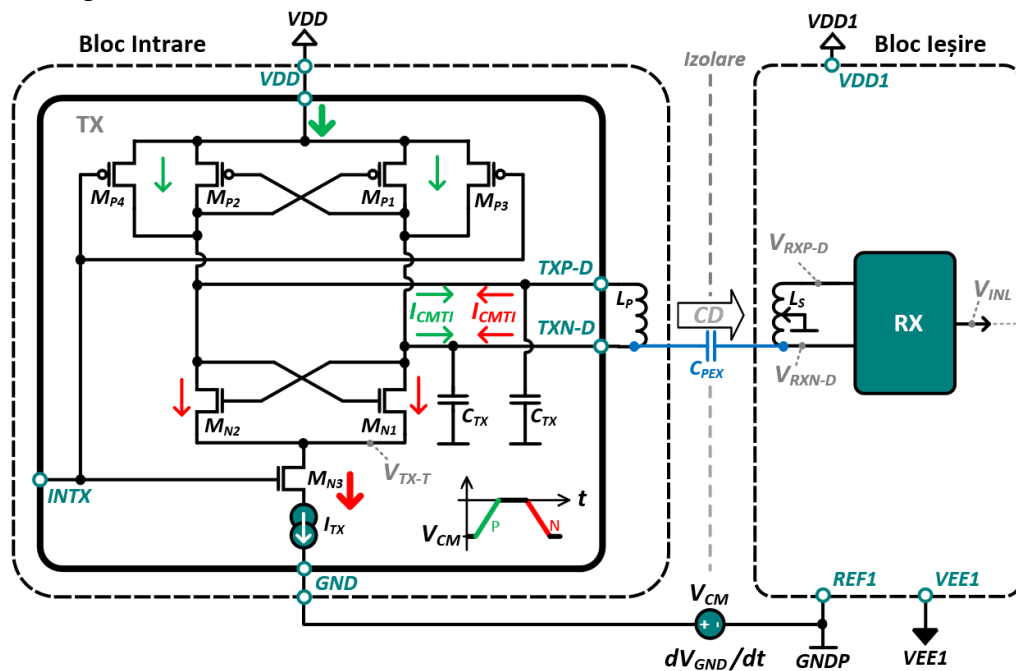


Figura 4.10 Arhitectura circuitului de transmisie



### 4.3.3 Imunitatea la semnale de mod comun

O caracteristică critică a circuitelor de comandă izolate galvanic este reprezentată de imunitatea la semnale de mod comun, cunoscută în literatură după denumirea în limba engleză “*Common Mode Transient Immunity*” – CMTI. Rampa maximă  $dV_{REFx}/dt$  până la care semnalul de ieșire  $DRV$  nu este afectat definește imunitatea la zgomot sau performanțele CMTI ale circuitului de comandă [19][20]. Metoda de testare în literatura de specialitate presupune varierea nodului  $GND$  între  $GNDP$  și  $-VCC$ , având un efect similar fluctuării nodului  $REFx$  de la  $GNDP$  la  $VCC$  [20]. În acest caz, amplitudinea semnalului de mod comun este notată  $V_{CM}$  [21].

Figura 4.10 prezintă metoda de testare a imunității la zgomot și detaliază efectele fluctuării referinței  $GND$  asupra circuitului de transmisie propus. Se definesc astfel două tipuri de evenimente CMT: un eveniment pozitiv (panta verde în Figura 4.10) în care  $GND$  crește de la valoarea  $-V_{VCC}$  raportată la potențialul  $REF1$  cu o anumită pantă  $dV_{GND}/dt$ , și o condiție CMT negativă (panta roșie în Figura 4.10) caracterizată de scăderea potențialului de masă  $GND$  relativ la punctul de referință al blocului de ieșire. Un curent,  $I_{CMTI}$ , apare la nodurile de ieșire ale oscilatorului:

$$I_{CMTI} = C_{PEX} \frac{dV_{GND}}{dt} \quad (4.5)$$

unde  $C_{PEX}$  reprezintă capacitatea parazită dintre înfășurările transformatorului.

În situația în care intrarea oscilatorului este activă și un eveniment CMT negativ este aplicat,  $V_{TXP-D}$  și  $V_{TXP-N}$  cresc în funcție de valoarea curentului injectat. Pentru valori ridicate ale  $I_{CMTI}$ , nodurile de ieșire ale oscilatorului ajung în punctul în care oscilațiile dispar. Drept urmare,  $V_{INL}$  devine inactiv, iar semnalul de comandă este transmis eronat către ieșire pe durata condiției CMT.

Îmbunătățirea imunității la semnale de mod comun este realizată cu ajutorul configurației noi din Figura 4.11 [22][23]. Acest circuit conține trei blocuri componente. CMT-MON monitorizează semnalele de ieșire ale oscilatorului,  $V_{TXP-D}$  și  $V_{TXP-N}$  și activează comutatorul  $M_{N6}$  atunci când acestea depășesc valoarea tensiunii de alimentare  $V_{VDD}$ . CMT-DL înregistrează starea pentru un interval fix, iar CMT-CD activează o cale suplimentară de curent,  $I_{TX-B}$ , pentru a descărca  $I_{CMTI}$  în timpul unei condiții CMT negative și  $INTX$  activ. Astfel,  $TXP-D$  și  $TXN-D$  continuă să oscileze, iar semnalul de comandă  $V_{INL}$  nu mai înregistrează o stare falsă de “0” logic. Circuitul adițional FP la ieșirea blocului RX filtrează orice comutație a semnalului  $V_{IN-L}$  cu o durată mai scurtă de  $t_{IN-F}$ .

Figura 4.12 prezintă o diagramă Shmoo care evidențiază imunitatea la zgomot a circuitului propus în funcție de amplitudinea semnalului de mod comun și panta de variație în timp a acestuia. Valorile pentru timpul de filtrare al semnalului de comandă și curentul suplimentar introdus de sursa  $I_{TX-B}$  au fost alese pentru a minimiza impactul asupra timpului de propagare și a curentului total consumat. Blocul de transmisie implementat este capabil să descarce un curent suplimentar de 5 mA fără a afecta oscilațiile, indicat în zona A. Setarea parametrului  $t_{IN-F}$  la 20 ns filtrează orice dezactivare falsă a semnalului de comandă pentru evenimente CMT a căror durată este mai scurtă decât această valoare în zona B din Figura 4.12.

Pantele adresate de către circuitul propus în Figura 4.11 sunt incluse în zona C din Figura 4.12. Pentru a acoperi toate rampele incluse în zona C, sursa de curent  $I_{TX-B}$  trebuie setată la 18 mA (corespunzătoare rampei  $dV_{GND}/dt = 70 \text{ kV}/\mu\text{s}$ ). În plus, elementele  $C_{TX-B}$  și  $R_{TX-B}$  sunt dimensionate astfel încât  $I_{TX-B}$  să fie activată pentru o perioadă  $t_{TX-B}$  de 200 ns. Acest interval asigură menținerea oscilațiilor la ieșirea circuitului de transmisie pentru toate pantele urmărite, luând în considerare variațiile de temperatură și de proces.

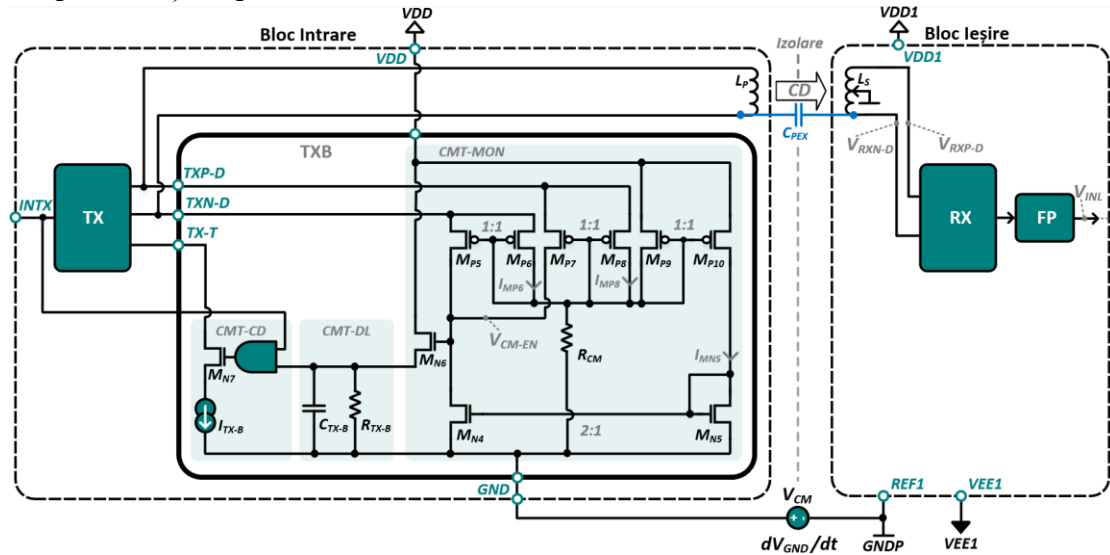


Figura 4.11 Circuitul propus pentru îmbunătățire a performanțelor CMT

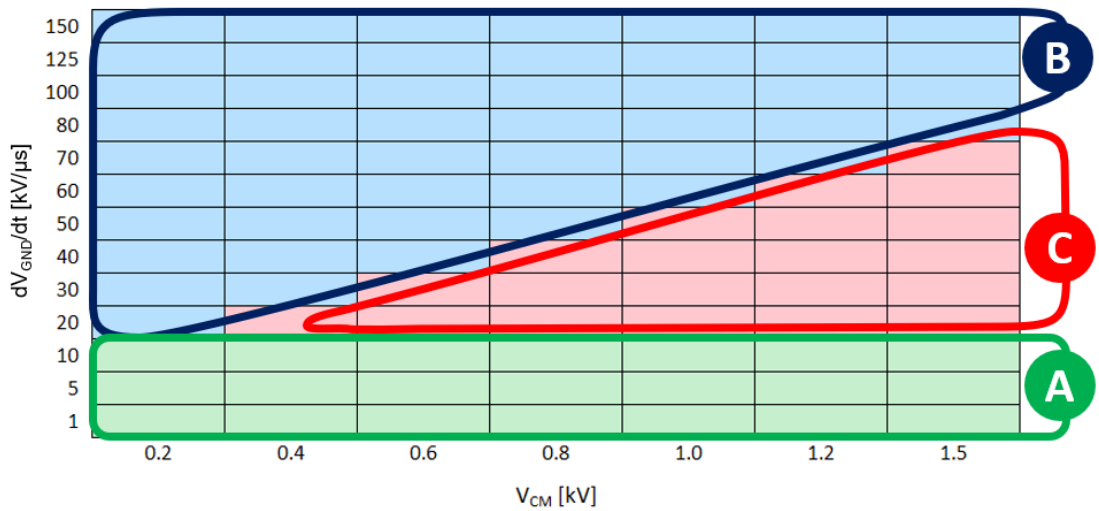


Figura 4.12 Diagramă Shmoor care evidențiază imunitatea la rampe CMT negative a circuitului de transmisie

# Capitolul 5

## Rezultate Experimentale

### 5.1 Mediul de Verificare

Circuitul de comandă din Figura 4.1 a fost implementat și simulat în mediul Cadence Virtuoso, folosind modele BSIM3v3 pentru tranzistoare aparținând unei tehnologii de  $0.25 \mu\text{m}$  și 5 V. Figura 5.1 prezintă o captură de ecran din mediul Cadence Virtuoso. Fiecare terminal din Figura 5.1 este conectat intern către blocul corespunzător prin intermediul a două rezistențe și o inductanță. Acestea sunt utilizate pentru a modela elementele parazite de încapsulare. Astfel, cele două rezistențe însumate au o valoare de  $67.2 \text{ m}\Omega$ , iar inductanța parazită este  $2 \text{ nH}$ .

Odată confirmată funcționarea urmărită a circuitului de comandă, dezvoltarea proiectului este continuată cu implementarea în siliciu și validarea experimentală. Drept urmare, circuitele rezultate au fost împachetate în capsule de plastic SOIC16.

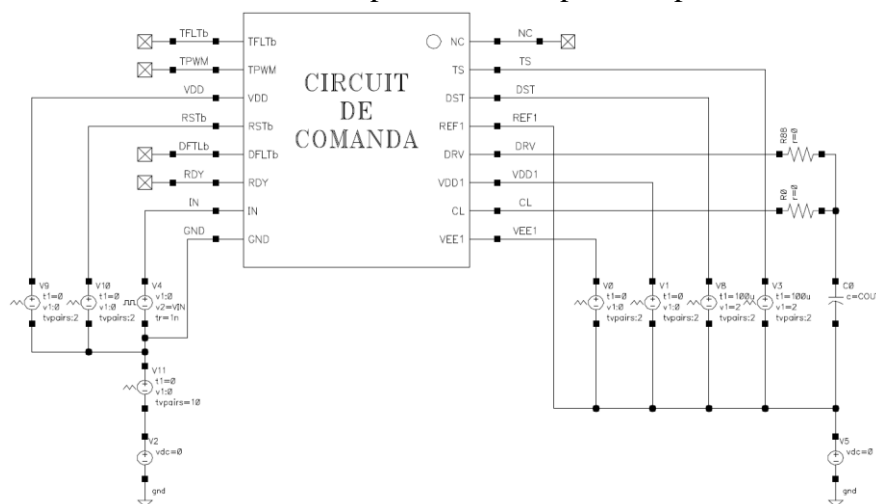


Figura 5.1 Schema de simulare a circuitului de comandă propus

### 5.2 Verificarea Circuitelor de Protecție

#### 5.2.1 Protecția la scăderea tensiunii de alimentare

Pentru această verificare au fost folosite următoarele condiții:  $V_{VDD} = V_{RST} = 5 \text{ V}$ ,  $V_{DST} = 0 \text{ V}$ ,  $V_{VEE1} = -8 \text{ V}$ , în timp ce pinul  $TS$  este flotant iar pe  $DRV$  este conectat la o sarcină capacitivă de  $100 \text{ nF}$ . Pe intrare este aplicat un semnal dreptunghiular de frecvență  $20 \text{ kHz}$  și factor de umplere  $50\%$ , iar  $V_{DD1}$  este variată între  $15 \text{ V}$  și  $10 \text{ V}$ .

Figura 5.2a prezintă rezultatele simulate atunci când  $V_{DD1}$  scade sub pragul de proiectare de  $12 \text{ V}$ . Cât timp  $V_{DD1} > V_{UVLOS-OFF}$ , semnalul  $UV-S$  este "1" logic. Drept urmare, un semnal periodic este transmis către blocul primar pentru a comunica funcționarea normală a circuitului de comandă și a seta tensiunea  $V_{RDY}$  la  $5 \text{ V}$ .

Pentru  $V_{DD1} < 12\text{ V}$ , semnalul  $UV-S$  devine “0” logic,  $V_{DRV}$  nu mai urmărește semnalul de intrare și comută negativ. În plus, se oprește generarea semnalului periodic  $V_{FLT-S}$  și  $RDY$  este setat în „0” logic în lipsa a trei pulsuri consecutive. O secvență inversă verifică comportamentul circuitului de comandă la creșterea tensiunii  $V_{DD1}$  peste pragul de proiectare de 13 V în Figura 5.2b. Rezultatele simulărilor sunt validate și prin verificări experimentale după implementarea circuitului de comandă în siliciu. Capturile de osciloscop pentru scăderea, respectiv creșterea tensiunii  $V_{DD1}$  sunt prezentate în Figura 5.3a și Figura 5.3b. Validarea circuitului de protecție la scăderea tensiunii  $V_{DD1}$  este completată cu date statistice asupra parametrilor de interes, obținute în urma testării a 70 de circuite la trei temperaturi diferite. Rezultatele experimentale sunt incluse în Tabel 5.1 și confirmă încadrarea valorilor în limitele de proiectare.

Răspunsul circuitului de comandă la varierea tensiunii de alimentare a blocului primar este validat experimental, iar captura de osciloscop este prezentată în Figura 5.4. Circuitul este în funcționare normală atunci când  $V_{DD}$  depășește pragul de 2.8 V.  $V_{RDY}$  urmărește variația tensiunii  $V_{VDD}$  până la pragul de 2.65 V. Sub această valoare, se oprește propagarea semnalului  $V_{IN}$  către ieșire, în timp ce  $RDY$  este setat în “0” logic. Datele statistice pentru protecția la scăderea tensiunii  $V_{DD}$  au fost obținute folosind condițiile descrise anterior pentru a testa 70 de circuite, iar rezultatele obținute sunt în limitele impuse, așa cum reiese din Tabel 5.1.

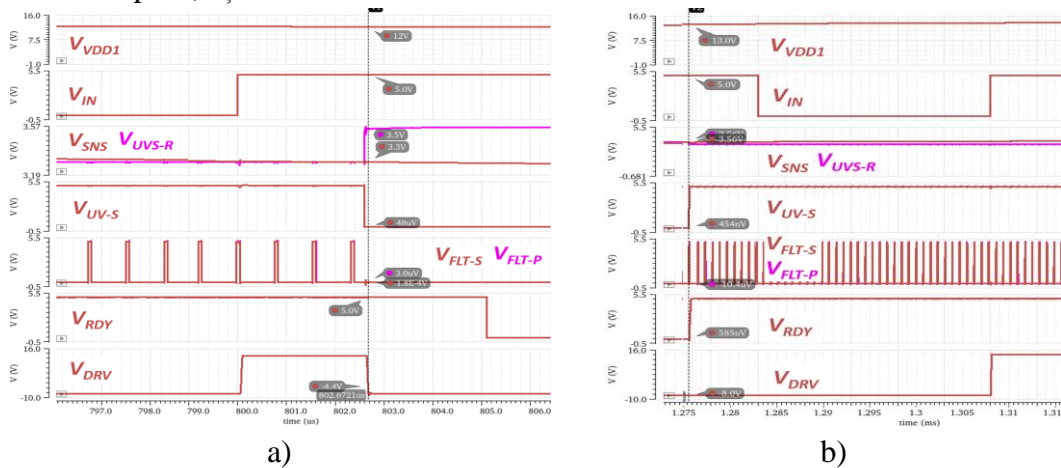


Figura 5.2 Rezultatele simulării pentru a) scăderea b) creșterea tensiunii  $V_{DD1}$

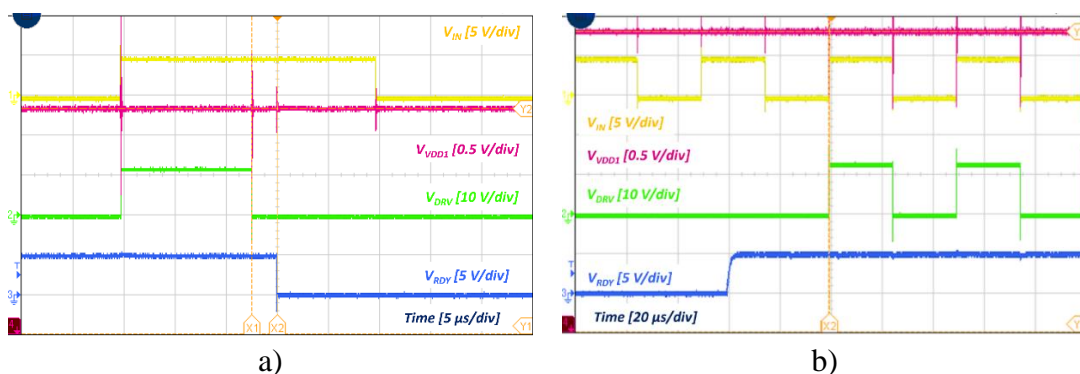


Figura 5.3 Captură de osciloscop cu răspunsul circuitului de comandă la a) scăderea b) creșterea tensiunii  $V_{DD1}$

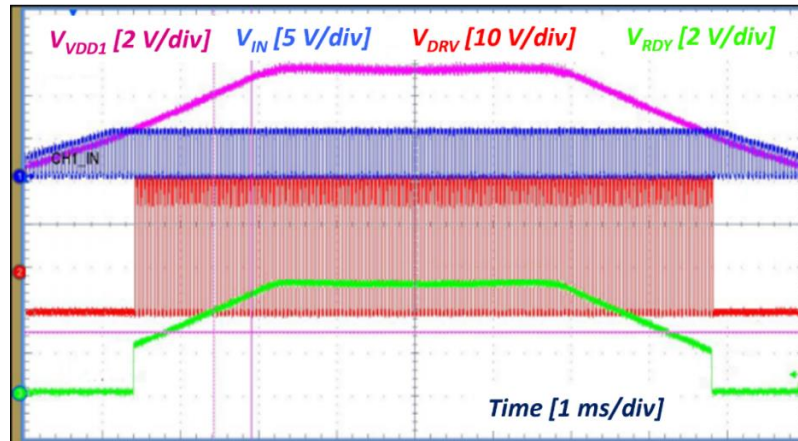


Figura 5.4 Captură de osciloscop - comportamentul la scăderea tensiunii VDD

## 5.2.2 Protecția la supra-curent

Verificarea circuitului de comandă propus a continuat cu simularea funcției de protecție la supra-curent. În Figura 5.5, tensiunea  $V_{DST}$  este variată de la 0 V până la 10 V atunci când  $IN$  este "1" logic. Pentru  $V_{DST} = 9$  V,  $V_{DST-D}$  atinge valoarea de referință  $V_{SC} = 3$  V. Astfel, semnalul  $SC-S$  este activat pentru o durată de 5  $\mu$ s. Drept urmare, tensiunea de ieșire  $V_{DRV}$  comută negativ prin intermediul circuitului de comandă D2, lucru evidențiat prin panta lentă de comutație. În momentul în care semnalul  $SC-S$  comută pozitiv, un puls lat este generat și transmis pe calea inversă CI-F. Odată detectat acest puls, semnalul  $\overline{DFLT}$  comută negativ pentru a semnala condiția întâlnită. Rezultatele experimentale din Figura 5.6 relevă un comportament identic.

Revenirea la funcționarea normală după detectarea condiției de supra-curent este validată experimental în Figura 5.6 și necesită transmiterea unui puls negativ pe pinul  $\overline{RST}$ . Pinul  $\overline{DFLT}$  este resetat odată cu detectarea unui front pozitiv transmis pe pinul  $\overline{RST}$ , în timp semnalul de ieșire necesită și transmiterea unui front pozitiv pe IN. Rezultatele experimentale din Tabel 5.1 includ și variația de proces pentru  $V_{DST}$  și  $I_{DST}$  bazată pe testarea a 70 de circuite la 3 temperaturi diferite. Astfel, se asigură încadrarea valorilor obținute în intervalele de proiectare.

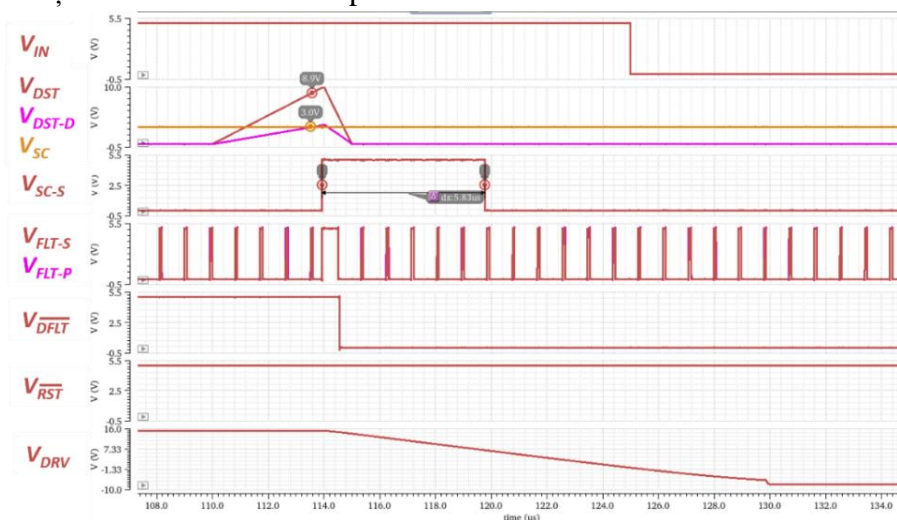


Figura 5.5 Rezultatele simulării pentru transmiterea defectului de supra-curent

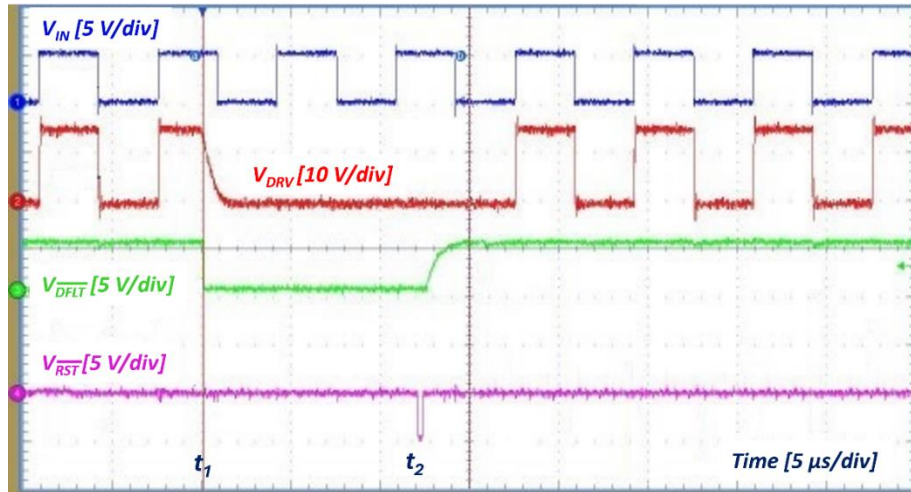


Figura 5.6 Răspunsul circuitului de comandă la condiția de supra-curent

### 5.2.3 Protecția la comutația parazită

Protecția la comutația parazită este simulată conectând terminalul  $CL$  împreună cu semnalul de ieșire  $DRV$ , la o sarcină capacitivă de  $1 \mu\text{F}$ . Formele de undă rezultate în urma simulărilor sunt prezentate în Figura 5.7a, iar rezultatele experimentale sunt incluse în Figura 5.7b. Tensiunea  $V_{VEE1}$  este  $-8 \text{ V}$ , în timp ce  $V_{VDD1}$  este  $15$ , iar blocul primar este alimentat la  $V_{VDD} = 5 \text{ V}$ . În același timp,  $V_{RST} = 5 \text{ V}$  și  $TS$  este flotant.

În aceste condiții, tranzistorul NMOS din circuitul AMC este activat iar tensiunea poartă-sursă a acestuia,  $V_{G-MCL}$  în Figura 5.7, are valoarea  $5 \text{ V}$  raportat la tensiunea negativă,  $V_{VEE1}$ . La creșterea tensiunii  $V_{DST}$  peste valoarea de prag,  $V_{CL}$  comută negativ lent, iar  $V_{CL-A}$  îi urmărește variația atunci când  $V_{CL}$  scade sub  $4.6 \text{ V}$  raportat la  $V_{VEE1}$ . Odată ce îndeplinită condiția  $V_{CL} - V_{VEE1} < V_{CL-THR}$ , tranzistorul  $M_{CL}$  este activat și descarcă sarcina conectată la terminalul  $CL$ . Datele statistice din Tabel 5.1 obținute prin măsurarea a 70 de circuite la 3 temperaturi arată încadrarea parametrului  $V_{CL-THR}$  în limitele de proiectare.

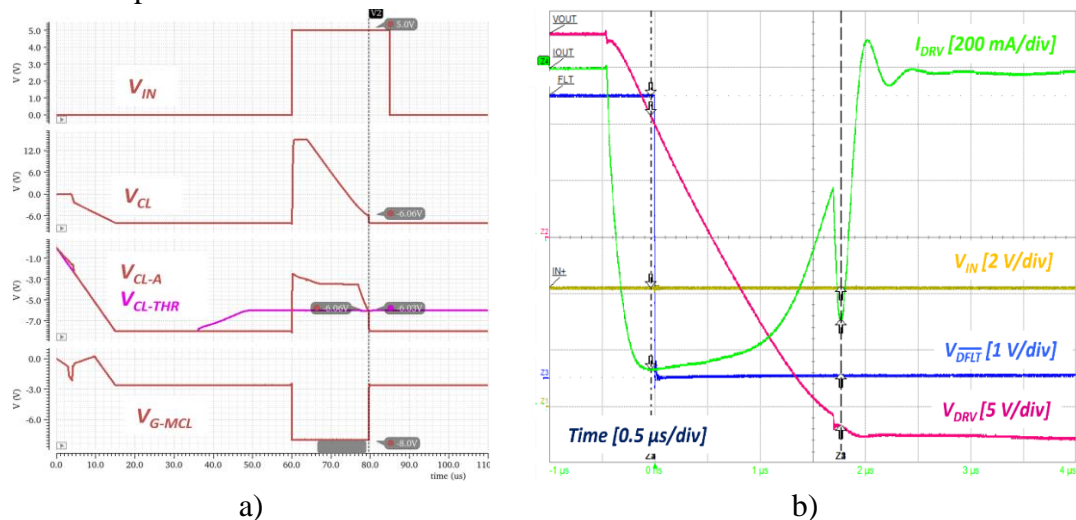


Figura 5.7 Rezultatele a) simulării b) testării pentru protecția la comutația parazită



### 5.2.4 Protecția la deconectarea terminalului *VEE1*

Circuitul de protecție la deconectarea terminalului *VEE1* a fost simulată folosind următoarele condiții:  $V_{VDD} = V_{RST} = 5\text{ V}$ ,  $V_{VDD1} = 15\text{ V}$ ,  $V_{DST} = 0\text{ V}$ , pinul *TS* flotant, iar pe  $V_{IN}$  este aplicat un semnal dreptunghiular de frecvență 20 kHz, amplitudine 5 V și factor de umplere 50%. Formele de undă obținute sunt incluse în Figura 5.8. La momentul de timp 210  $\mu\text{s}$ , pinul *VEE1* devine flotant.  $V_{VEE1}$  începe să crească și este limitată de dioda  $D_{ESD}$  la valoarea 575 mV. În aceste condiții,  $V_{F-INN}$  crește peste tensiunea de referință. În consecință, semnalul *FLN* comută negativ, *RDY* devine “0” logic, iar tensiunea  $V_{DRV}$  nu mai urmărește intrarea. Raportarea condiției este validată și experimental în Figura 5.9a unde  $V_{VEE1}$  este variată lent între -1.5 V și 1 V.

În Figura 5.8, atunci când terminalul *VEE1* este reconectat la sursa de tensiune de -8 V,  $V_{F-INN}$  scade imediat la -713 mV. Drept urmare, *FLN* devine “1” logic pentru a permite comunicarea pulsurilor periodice către blocul de intrare, și *RDY* comută pozitiv. Răspunsul circuitului de comandă este confirmat și experimental în Figura 5.9b.

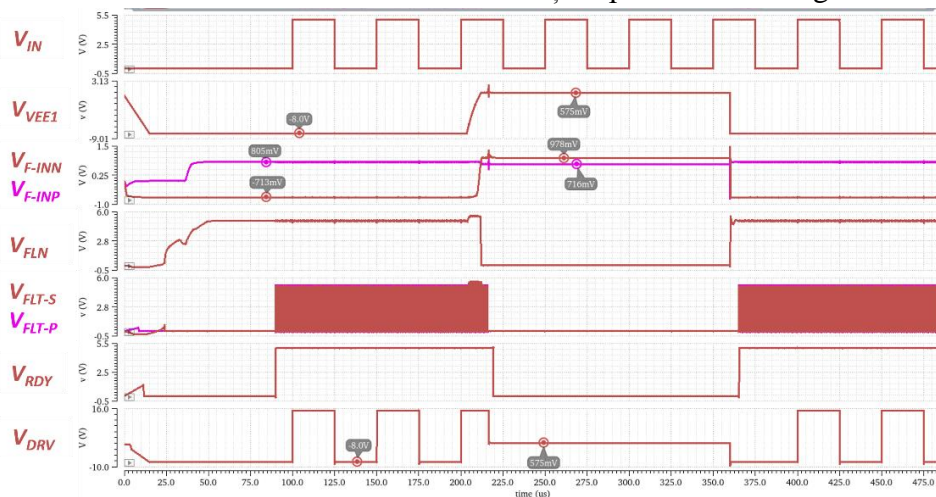


Figura 5.8 Rezultatele simulării pentru *VEE1* flotant

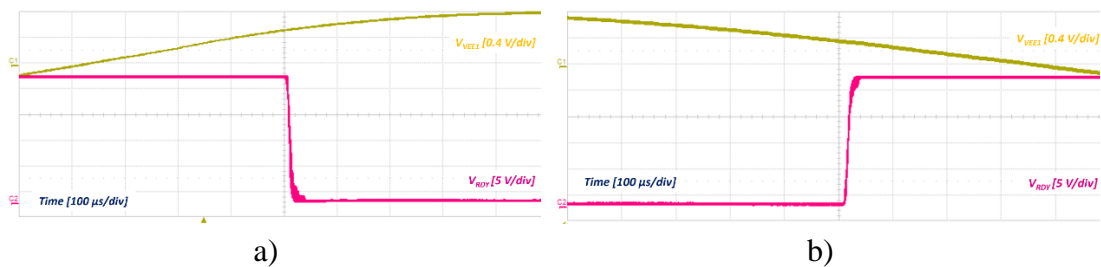


Figura 5.9 Captură de osciloscop cu răspunsul circuitului de comandă la a) creșterea b) scăderea tensiunii  $V_{VEE1}$

### 5.2.5 Protecția la supra-temperatură

Blocul din Figura 4.7 pentru protecția la supra-temperatura blocului de ieșire a fost validat experimental prin măsurarea a 5 circuite folosind o sursă de temperatură Temptronic ATS-545. Circuitul de comandă a raportat o eroare prin intermediul pinului *RDY* atunci când temperatura medie a depășit 181 °C. La variația inversă, circuitul de comandă reia funcționarea normală la 155 °C.

Circuitul de protecție la supra-temperatura dispozitivului de putere a fost validat prin simulări și măsurători. Condițiile utilizate sunt:  $V_{VEE1} = -8\text{ V}$ ,  $V_{VDD1} = 15\text{ V}$ ,  $V_{VDD} = V_{RST} = 5\text{ V}$  și  $V_{DST} = 0\text{ V}$ . Pe pinul  $IN$  este aplicat un semnal periodic dreptunghiular de frecvență  $20\text{ kHz}$ , amplitudine  $5\text{ V}$  și factor de umplere  $50\%$ . În Figura 5.10 și Figura 5.11, atunci când  $V_{TS}$  scade sub  $1.68\text{ V}$ , blocul secundar transmite un semnal periodic îngust de frecvență înaltă către circuitul de intrare pentru a raporta condiția de supra-temperatură a dispozitivului de putere. Simultan cu pulsurile înguste, sunt transmise și pulsurile mai late asociate operării normale a blocului de ieșire. Odată detectate pulsurile de frecvență înaltă, semnalul  $\overline{TFLT}$  comută negativ pentru a raporta extern eroarea întâlnită, fără a afecta transmiterea semnalului de control.

Rezultatele experimentale din Figura 5.11 arată comportamentul semnalului  $TPWM$  la scăderea tensiunii  $V_{TS}$ . Astfel, factorul de umplere crește pe măsură ce tensiunea scade. În plus, valoarea factorului de umplere este validată în Figura 5.12 unde se obține  $50\%$  pentru  $V_{TS} = 2.875\text{ V}$ . Datele statistice din Tabel 5.1 obținute prin testarea a 70 de circuite la temperatura  $25^\circ\text{ C}$  arată încadrarea în limitele urmărite.

Arhitectura nouă care dezactivează funcția de detecție a supra-temperaturii IGBT-ului atunci când terminalul  $TS$  este flotant a fost verificată experimental în Figura 5.13. În aceste condiții,  $V_{TS}$  este limitată la  $5\text{ V}$  iar  $TPWM$  rămâne "0" logic. În plus, starea pinului  $\overline{TFLT}$  nu este afectată, iar semnalul de ieșire urmărește semnalul aplicat pe intrare.

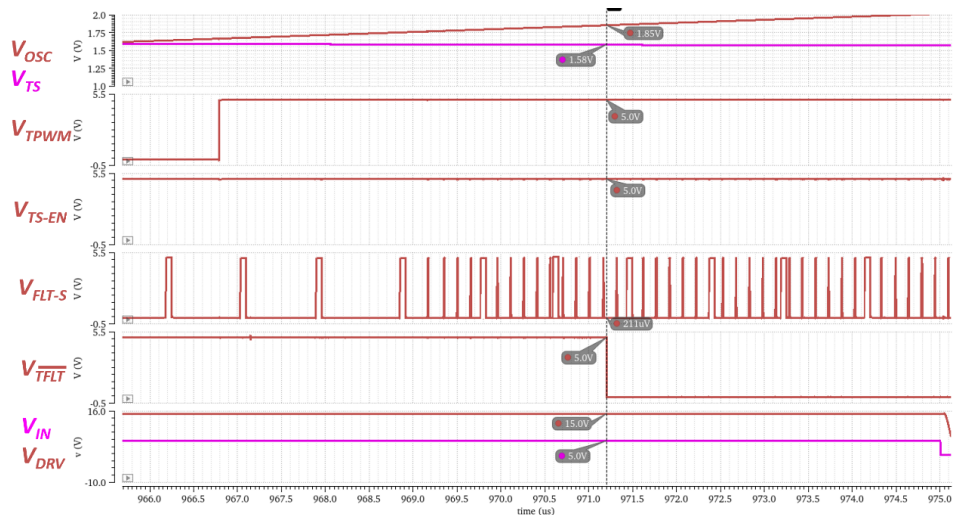


Figura 5.10 Rezultatele simulării pentru transmiterea semnalului de eroare  $\overline{TFLT}$

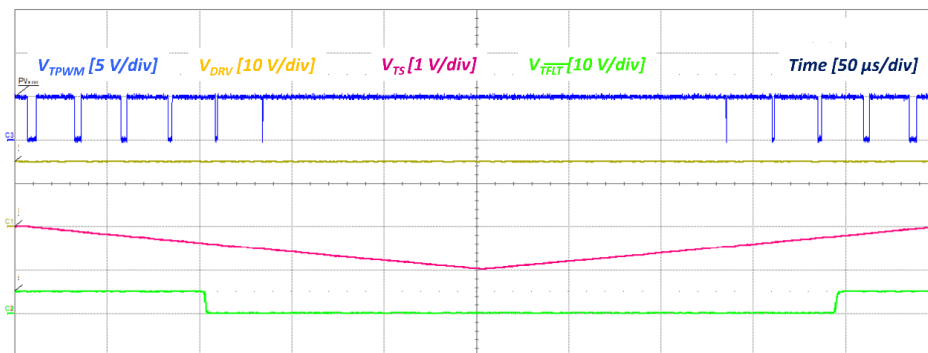


Figura 5.11 Captură de osciloscop pentru  $V_{TS}$  variat



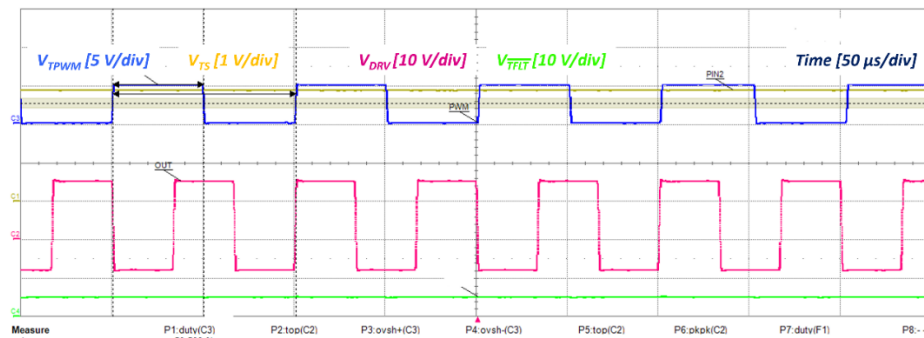
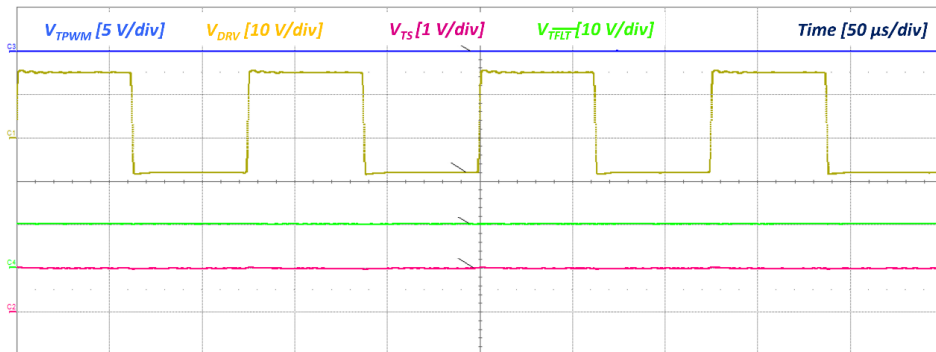

 Figura 5.12 Captură de osciloscop pentru  $V_{TS} = 2.875 \text{ V}$ 


Figura 5.13 Captură de osciloscop pentru TS flotant

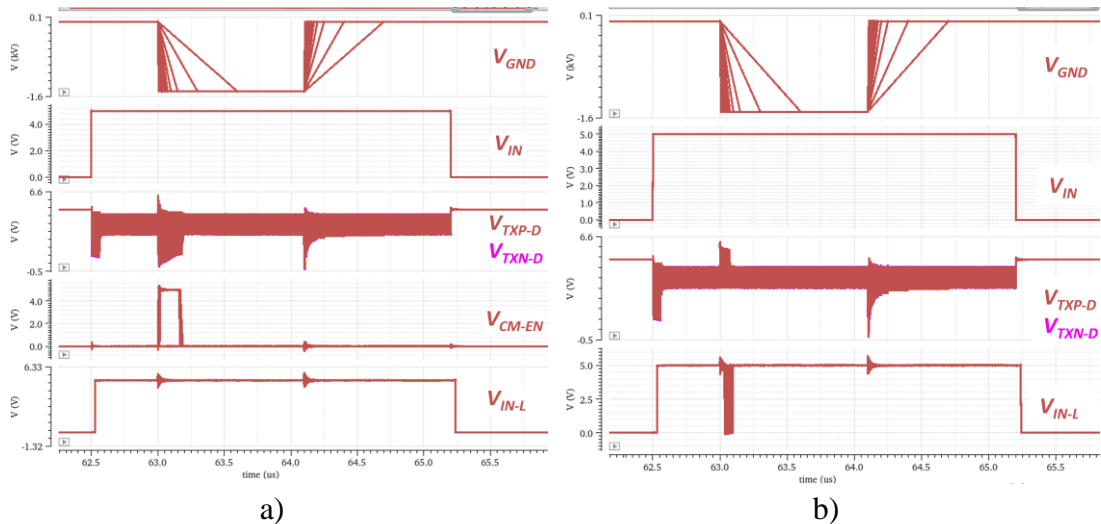
### 5.3 Verificarea Imunității la Semnale de Mod Comun

În Figura 5.14a este urmărit răspunsul circuitului de comandă la varierea potențialului de masă  $GND$  atunci când blocurile de îmbunătățire a performanțelor CMT, TX-B și FP, sunt activate. În acest scop, tensiunea  $GND$  a fost fluctuată de la 0 V până la  $-1500 \text{ V}$  raportat la potențialul  $REF1$  al circuitului de ieșire, pentru  $V_{IN}$  activ. S-au folosit pante  $dV_{GND}/dt$  cuprinse între  $1 \text{ kV}/\mu\text{s}$  și  $150 \text{ kV}/\mu\text{s}$  pentru trei procese tehnologice diferite și trei puncte de temperatură de la  $-40 \text{ }^\circ\text{C}$  la  $125 \text{ }^\circ\text{C}$ .

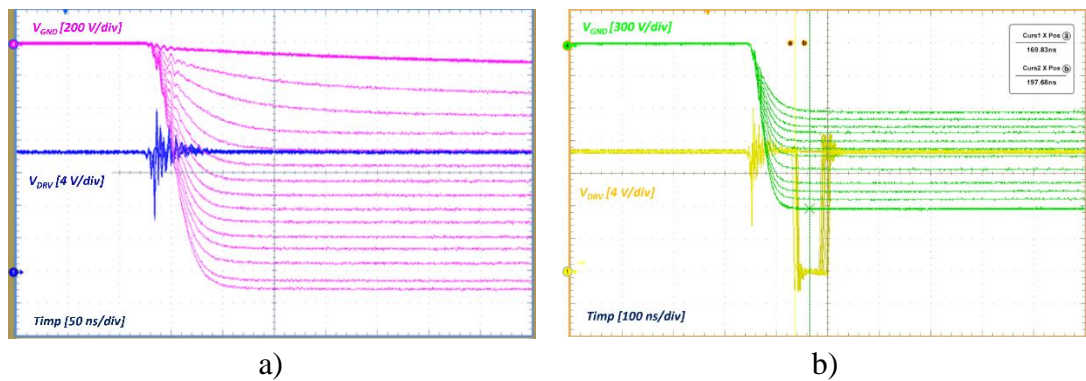
În cazul unui eveniment CMT negativ apărut atunci când  $V_{IN}$  este activat, semnalul  $CM-EN$  devine “1” logic timp de 200 ns pentru a activa sursa de curent suplimentară  $I_{TX-B}$  din Figura 4.11.  $V_{IN-L}$  își menține starea pentru toate condițiile simulate. Figura 5.14b prezintă rezultatele obținute în cazul dezactivării blocurilor TX-B și FP. În acest caz, evenimentul CMT negativ apărut pentru  $V_{IN} = 5 \text{ V}$  conduce la oprirea oscilațiilor la ieșirea circuitului de transmisie datorită curentului  $I_{CMTI}$  injectat. Drept urmare, semnalul de control înregistrează o comutație negativă falsă.

Măsurătorile experimentale au fost realizate pe 5 circuite, la temperatura ambientală. Terminalul  $GND$  a fost variat raportat la potențialul  $REF1$  al circuitului de ieșire, folosind amplitudini de la  $-200 \text{ V}$  până la  $-1500 \text{ V}$ , într-un interval de timp cuprins între 10 ns și 60 ns, rezultând pante  $dV_{GND}/dt$  de la  $3 \text{ kV}/\mu\text{s}$  până la  $150 \text{ kV}/\mu\text{s}$ . Pentru măsurătorile obținute în Figura 5.15a, blocurile TX-B și FB sunt activate, iar semnalul  $DRV$  își păstrează starea “1” logic pentru toate condițiile testate. Au fost realizate măsurători comparative pentru un circuit de comandă cu blocurile TX-B și FP dezactivate. Captura de osciloscop din Figura 5.15b arată că semnalul de ieșire comută negativ fals pentru diferite pante  $dV_{GND}/dt$ .

Circuit izolat galvanic, pentru comanda dispozitivelor de putere



**Figura 5.14** Rezultatele simulării pentru imunitatea de mod comun cu TX-B și FP  
a) activate b) dezactivate



**Figura 5.15** Răspunsul  $V_{DRV}$  la CMTI folosind amplitudini de la -200 V până la -1500 V și un interval de timp de 30 ns cu TXB și FP a) activate b) dezactivate

## 5.4 Comparație cu circuite comercializate

Performanțele circuitului de comandă propus din 4.1 sunt comparate cu patru familii de circuite de comandă de actualitate [9][10][24]-[26], iar rezultatele sunt sintetizate în Tabel 5.1. Valorile măsurate pentru parametrii funcțiilor de protecție sunt comparabile, chiar superioare, circuitelor analizate. În plus, circuitul propus este singurul care include o gamă extinsă de funcții de protecție pentru IGBT și pentru blocurile componente. Mai mult decât atât, funcția de protecție la deconectarea terminalului de alimentare negativă nu se regăsește în niciun circuit de comandă disponibil pe piața semiconductoră. Imunitatea la semnale de mod comun prezintă rezultate comparabile sau superioare față de majoritatea circuitelor analizate.

**Tabel 5.1** Tabel comparativ cu circuite de comandă comercializate.

Parametru/ Funcție	Simbol	Circuit propus			UCC21750			1ED3322MC12N			STGAP4S			BM60052AFV-C		
		LSL	Medie	USL	LSL	Medie	USL	LSL	Medie	USL	LSL	Medie	USL	LSL	Medie	USL
$V_{UVLOS-OFF}$	V	11.7	12	12.3	9.9	11.8	12.3	11.9	12.6	-	11.3	12	12.6	10.9	11.5	12.1
$V_{UVLOS-ON}$	V	12.7	13	13.3	12	12.8	13.3	-	13.6	14.2	11.3	12	12.6	10.9	11.5	12.1
$V_{UVLOS-HYST}$	V	0.8	1	1.2	-	0.8	-	0.6	0.9	-	0.7	1	1.3	0.8	1.2	1.6
$V_{UVLOP-OFF}$	V	2.4	2.65	2.9	2.35	2.5	2.65	2.5	-	-	2.67	2.85	2.98	3.2	3.4	3.6
$V_{UVLOP-ON}$	V	2.6	2.8	3.0	2.55	2.7	2.85	-	-	3.1	2.7	2.9	3.04	-	-	-
$V_{UVLOP-HYST}$	mV	100	150	200	-	200	-	100	200	-	45	55	65	70	100	130
$V_{DST}$	V	8.7*	9	9.3*	8.5	9.15	9.8	8.5	9	9.5	8.3	9	9.4	6	6.4	6.8
$I_{DST}$	$\mu A$	440*	500	560*	430	500	570	438	510	582	460	500	540	300	335	370
Dezactivare lentă	-		√			√			√			√			√	
$V_{CL-THR}$	V	1.84*	2	2.16*	1.5	2	2.5	1.6	2.1	2.4	1.7	2	2.3	1.8	2	2.2
VEE1 flotant	-		√			X			X			X			X	
$V_{TS} - DC_{TPWM} = 10\%$	V		4			4.5			X			X			1.35**	
$V_{TS} - DC_{TPWM} = 50\%$	V		2.88			2.5			X			X			2.59**	
$V_{TS} - DC_{TPWM} = 90\%$	V		1.75			0.5			X			X			3.84**	
$DC_{TPWM}$	%	48.2*	50	51.2*	48.5	50	51.5		X			X		47**	50**	53**
$f_{TPWM}$	kHz	7	10	13	380	400	420		X			X		8**	10**	14**
IGBT ST	-		√			X			X			X			X	
Circuit comandă ST	-		√			X			X			√			X	
$dV_{GND}/dt$	kV/ $\mu s$	150			150			300			100			100		

\* Valori calculate pe baza rezultatelor experimentale

\*\* Valori extrase din BM60059FV-C

# Capitolul 6

## Concluzii

### 6.1 Rezultate obținute

Această teză a fost dedicată analizei și proiectării unui circuit, pentru comanda IGBT-urilor. S-a urmărit dezvoltarea și implementarea unui mecanism de comunicare robustă a datelor prin bariera de izolare. Circuitul de comandă dezvoltat a inclus trei transformatoare integrate care realizează separarea electrică a domeniilor de tensiune și asigură transferul semnalului util între blocul de intrare și cel de ieșire. Transmiterea robustă a informației a fost asigurată în primul rând prin proiectarea și implementarea unui set extins de blocuri de protecție ce previn funcționarea necorespunzătoare a circuitului de comandă și a comutatorului de putere. În plus, două configurații noi au fost dezvoltate pentru a monitoriza pinul de alimentare negativă și pentru a adapta circuitul de comandă în aplicații cu IGBT-uri care nu sunt dotate cu senzor de temperatură. Alte două circuite noi propuse optimizează calea de transmisie din punct de vedere al ariei prin codarea, respectiv decodarea, semnalelor de eroare comunicate către microprocesor. În final, a fost dezvoltată o configurație originală care îmbunătățește imunitatea la semnale de mod comun pentru a menține integritatea datelor comunicate în medii zgomotoase. Circuitul de comandă dezvoltat a fost implementat într-o tehnologie BCD de  $0.25\ \mu\text{m}$  și  $5\ \text{V}$ , iar validarea arhitecturii a fost realizată cu ajutorul simulărilor și prin intermediul rezultatelor experimentale.

**Capitolul 2** a fost dedicat analizei performanțelor dispozitivelor de putere în contextul actual al industriei electronice. Studiul a fost concentrat asupra tranzistorului bipolar cu poartă izolată, acesta fiind cel mai răspândit comutator de putere realizat pe siliciu. S-au evidențiat structura transversală a unui IGBT și s-a oferit o descriere detaliată a caracteristicilor statice și a proceselor de comutație, însoțite de relațiile matematice aferente. Mai mult, s-a demonstrat că în procesele dinamice apar vârfuri de curent și de tensiune care conduc la operarea IGBT-ului în afara ariei sigure de funcționare. Drept urmare, sunt necesare circuite de protecție care să compenseze fenomenele nedorite.

**Capitolul 3** a debutat prin prezentarea structurii de bază a unui circuit de comandă pe baza căreia s-a evidențiat rolul blocurilor componente, de intrare și de ieșire, și funcțiile realizate de circuitul de interfață între acestea. În plus, au fost analizate o serie de arhitecturi descrise în literatura de specialitate și folosite pentru protecția circuitului de comandă și a dispozitivului de putere. Configurațiile studiate au inclus protecția blocului de ieșire la scăderea tensiunii de alimentare și protecția IGBT-ului la supra-curent, la comutație parazită și la supra-temperatură.

A doua parte a capitolului 3 a fost concentrată pe transmiterea informației în circuitele de comandă. S-au comparat diferite metode de separare electrică existente în literatura de specialitate, iar informația a fost sintetizată în cadrul unei diagrame radar. Astfel, au fost prezentate avantajele incontestabile oferite de izolarea galvanică față de soluțiile convenționale. Separarea electrică bazată pe cuplare inductivă s-a diferențiat prin valorilor ridicate ale imunității la semnale de mod comun, aceasta reprezentând un parametru critic al circuitelor de comandă pentru dispozitive de putere.

Drept urmare, analiza din capitolul 3 a fost ulterior concentrată asupra tehnicilor de transmisie utilizate în circuitele de comandă cu izolare galvanică prin cuplare inductivă. Comparația metodelor de comunicare a fost realizată în funcție de parametri cheie ai sistemelor de comandă și reprezentată grafic cu ajutorul unei diagrame radar. Tehnica de transmisie cu modulație în amplitudine satisface parametrul esențial urmărit pentru circuitele de comandă, și anume imunitatea la semnale de mod comun.

În **capitolul 4** a fost prezentată schema bloc a circuitului de comandă propus și a fost descrisă funcționarea acesteia. Arhitectura include trei căi de transmisie realizate cu transformatoarele integrate: o cale directă care transferă semnalul de control de la microprocesor, și două căi inverse prin care sunt comunicate defectele de funcționare, respectiv informația de temperatură a IGBT-ului. Funcționarea corectă a circuitului de comandă a fost asigurată prin îmbunătățirea circuitului de protecție la scăderea tensiunii de alimentare, unde au fost adăugate componente noi care permit monitorizarea tensiunii de alimentare folosind o tehnologie de 5 V și elimină pulsurile parțiale la revenirea în funcționare normală. Elemente asemănătoare au fost utilizate și pentru circuitele care previn funcționarea eronată a dispozitivului de putere, și anume, circuitul de protecție la supra-curent și circuitul de protecție la comutație parazită.

În același capitol sunt introduse două arhitecturi noi pentru verificarea condițiilor de funcționare ale comutatoarelor de putere. Din această categorie face parte circuitul de protecție la deconectarea terminalului de alimentare negativă. Blocul monitorizează pinul de alimentare negativă și transmite un semnal de eroare extern în momentul în care terminalul este flotant. Această funcție de protecție este specifică circuitului de comandă propus și nu apare în structura nici unuia din circuitele de comandă comercializate actual. Mai mult decât atât, blocul de protecție la supra-temperatura dispozitivului de putere include o structură originală, folosită pentru a adapta circuitul de comandă propus în aplicații cu IGBT-uri fără senzor de temperatură.

Pe lângă circuitele de protecție, în același capitol au fost detaliate blocurile noi dezvoltate pentru optimizarea căilor de transmisie. Două arhitecturi originale optimizează aria circuitului prin codarea, respectiv decodarea, semnalelor de eroare transferate prin bariera de izolare galvanică. Astfel, o singură cale de comunicare este folosită pentru a transmite cinci defecte ale circuitului de comandă sau ale IGBT-ului.

Capitolul 4 s-a încheiat cu informațiile despre proiectarea circuitului de transmisie. Un oscilator LC cu rezistență negativă folosește înfășurarea primară a transformatorului integrat corespunzător pentru a transmite informația prin bariera de izolare galvanică. S-au analizat metodele de testare a imunității de mod comun existente în literatura de specialitate și s-a studiat efectul variației potențialului de masă asupra configurației de oscilator proiectată. Astfel, s-a demonstrat sensibilitatea circuitului de transmitere la

evenimente CMT negative și semnal de intrare activ. Drept urmare, a fost propusă o arhitectură inovatoare care să prevină comutația negativă falsă a semnalului de control.

Performanțele circuitului de comandă propus au fost evaluate în **capitolul 5** prin intermediul simulărilor și a rezultatelor experimentale. Capitolul a debutat cu prezentarea schemei complete a sistemului de comandă dezvoltat în mediul Cadence Virtuoso folosind modele BSIM3v3. Odată validate, circuitele au fost fabricate într-o tehnologie BCD de 5 V și 0.25  $\mu\text{m}$ , și împachetate în capsule de plastic SOIC16.

Circuitele de protecție dezvoltate au fost verificate inițial cu ajutorul simulărilor, urmărind realizarea unei comparații funcționale cu formele de undă ideale. Astfel, s-a obținut un răspuns identic cu comportamentul ideal, atât pentru blocurile de protecție îmbunătățite, cât și pentru arhitecturile noi propuse. A doua parte a verificărilor a fost bazată pe rezultate experimentale, unde s-au urmărit răspunsurile semnalului de ieșire și a semnalelor de eroare. Măsurătorile realizate au relevat buna funcționare a circuitului de comandă dezvoltat, obținându-se un comportament identic cu cel simulat.

Tot în capitolul 5 au fost prezentate date statistice bazate pe rezultate experimentale ale parametrilor de proiectare pentru circuitele de protecție la scăderea tensiunii de alimentare ( $V_{UVLOS-ON}$ ,  $V_{UVLOS-OFF}$ ,  $V_{UVLOS-HYST}$ ,  $V_{UVLOP-ON}$ ,  $V_{UVLOP-OFF}$ ,  $V_{UVLOP-HYST}$ ), la supra-curent ( $V_{DST}$ ,  $I_{DST}$ ) și la comutația parazită ( $V_{CL-THR}$ ). Rezultatele au fost obținute în urma testării a 70 de circuite în gama de temperatură cuprinsă între  $-40\text{ }^{\circ}\text{C}$  și  $125\text{ }^{\circ}\text{C}$ . Pentru toți parametrii analizați s-a obținut o valoare mai mare decât 2 pentru capabilitatea procesului, CPK, asigurând astfel încadrarea variației în limitele de  $\pm 6\sigma$ . O analiză similară a fost realizată prin măsurători pentru parametrii circuitului de protecție la supra-temperatura dispozitivului de putere,  $DC_{TPWM}$  pentru  $V_{TS} = 2.875\text{ V}$  și  $f_{TPWM}$ . În acest caz au fost testate 70 de circuite la  $25\text{ }^{\circ}\text{C}$  și s-a obținut o valoare de 3.61 pentru CPK. În plus, a fost analizată variația în temperatură a parametrilor de interes prin testarea a 3 circuite la temperaturi între  $-40\text{ }^{\circ}\text{C}$  și  $125\text{ }^{\circ}\text{C}$ .

Ultima parte a capitolului 5 evaluează imunitatea la semnale de mod comun ale sistemului de comandă dezvoltat. Arhitecturile noi introduse pentru îmbunătățirea performanțelor CMT au fost testate pe 5 circuite măsurate la temperatura de  $25\text{ }^{\circ}\text{C}$ , folosind valori de tensiune ale potențialului de masă între  $-200\text{ V}$  și  $-1500\text{ V}$ , cu o durată de timp cuprinsă între 10 ns și 60 ns. Semnalul de ieșire nu a fost afectat în niciunul din cazurile analizate. Astfel, s-a obținut o imunitate la semnale de mod comun pentru pante până la  $150\text{ kV}/\mu\text{s}$ . Mai mult decât atât, eficiența arhitecturilor dezvoltate a fost confirmată prin realizarea unui set similar de teste pe un circuit de comandă în care circuitele pentru îmbunătățirea performanțelor CMT au fost dezactivate. În acest caz, semnalul de control a prezentat comutații negative false pentru pante de variație ale potențialului de masă cuprinse între  $20\text{ kV}/\mu\text{s}$  și  $70\text{ kV}/\mu\text{s}$ .

În final, tot în capitolul 5 este realizată o comparație între circuitul de comandă propus și patru familii de circuite de comandă comercializate pe piața de semiconductoare. Circuitul propus prezintă o variație de două ori mai mică pentru parametrii asociați funcției de protecție la scăderea tensiunii de alimentare  $V_{UVLOS-ON}$  și  $V_{UVLOS-OFF}$ . S-au obținut rezultate comparabile pentru parametrii circuitului de protecție la supra-curent,  $V_{DST}$  și  $I_{DST}$ , și ai blocului de protecție la comutația parazită,  $V_{CL-THR}$ . Imunitatea la semnale de mod comun prezintă valori comparabile sau superioare față

de trei din cele patru familii de circuite de comandă analizate. Circuitul de comandă dezvoltat se diferențiază prin integrarea unui set extins de blocuri de protecție pentru blocurile componente și pentru dispozitivul de putere. Arhitectura propusă include o funcție de protecție nouă, care monitorizează deconectarea terminalului de alimentare negativă. Mai mult decât atât, circuitul implementat este singurul care transmite informația de temperatură a IGBT-ului folosind două căi de transmisie diferite, asigurând astfel comunicarea condiției eronate și în cazul în care una din căile de transfer este deteriorată.

## 6.2 Contribuții originale

Lucrarea de față cuprinde o serie de elemente originale, prezentate în decursul perioadei de cercetare în diverse publicații. Acestea includ conferințe de specialitate, jurnale științifice și evenimente de profil. Sunt evidențiate următoarele aspecte cu caracter original:

- ✓ Sinteze din literatura de specialitate privind:
  - Evoluția dispozitivelor de putere și analiza performanțelor acestora în contextul actual al industriei electronice.
  - Particularitățile tranzistorului bipolar cu poartă izolată, care cuprind structura, caracteristici statice, comutația, și aria sigură de funcționare, însoțite de ecuații matematice aferente.
  - Tehnici actuale de protecție utilizate în circuitele de comandă pentru IGBT-uri, incluzând protecția la scăderea tensiunii de alimentare, protecția la supra-curent și la supra-temperatură, și protecția la comutație parazită.
  - Studiul comparativ al metodelor de separare electrică utilizate în circuitele de comandă pentru dispozitive de putere.
  - Studiul comparativ al tehnicilor de transmisie a informației în cadrul circuitelor de comandă cu izolare galvanică prin cuplare inductivă.
- ✓ Proiectarea unor arhitecturi îmbunătățite de circuite de protecție integrate în structura circuitului de comandă propus. Îmbunătățirile constau în adaptarea structurilor la tehnologia de 5 V, eliminarea pulsurilor parțiale la revenirea în funcționare normală și reducerea curentului consumat:
  - Proiectarea și simularea unor circuite pentru protecția la scăderea tensiunilor de alimentare a blocurilor componente [1],[2].
  - Implementarea și verificarea unei metode pentru protecția IGBT-ului la supra-curenți [1],[2].
  - Proiectarea și validarea unei arhitecturi pentru prevenirea comutației parazite a comutatorului de putere datorită curentului injectat de capacitatea Miller [1].

- Implementarea și simularea unor tehnici de protecție la supra-temperatura circuitului de comandă și la supra-temperatura IGBT-ului [3].
- ✓ Dezvoltarea și proiectarea unor arhitecturi noi pentru a asigura comunicarea robustă a datelor prin bariera de izolare galvanică:
  - Transmiterea informației de temperatură a IGBT-ului utilizând două căi de comunicare pentru a asigura redundanță în măsurarea acesteia [3].
  - Proiectarea și verificarea unei arhitecturi care dezactivează funcția de detecție a supra-temperaturii IGBT-ului atunci când terminalul este flotant. Această funcție oferă compatibilitate cu aplicații care folosesc un comutator de putere fără senzor de temperatură [3].
  - Implementarea și simularea unei configurații pentru protecția la deconectarea terminalului de alimentare negativă a circuitului de comandă [4].
  - Implementarea și verificarea unor arhitecturi de codare și decodare a semnalelor transmise prin bariera de izolare galvanică pentru optimizarea ariei circuitului [1][2][3].
  - Proiectarea și simularea unor metode de îmbunătățire a imunității la semnale de mod comun care mențin semnalul de comandă activ la apariția unui eveniment CMT negativ. Arhitectura dezvoltată a făcut obiectul unei lucrări prezentate la conferința IEEE 49th European Solid State Circuits Conference (ESSCIRC) [5].
- ✓ Implementarea circuitului de comandă pe baza arhitecturilor propuse într-o tehnologie BCD de 0.25  $\mu\text{m}$  și 5 V [1], [2], [4], [5].
- ✓ Validarea prin simulări și măsurători a funcționării corecte a circuitului de comandă propus și a blocurilor interne dezvoltate:
  - Validarea funcțională a metodelor de protecție îmbunătățite și compararea rezultatelor obținute cu simulările [1], [2].
  - Testarea a 70 de circuite în gama de temperatură cuprinsă între -40 °C și 125 °C și procesarea datelor statistice ale parametrilor de proiectare pentru circuitele de protecție la scăderea tensiunii de alimentare, protecție la supra-curenți și protecție la comutația parazită.
  - Validarea circuitului de protecție la supra-temperatura IGBT-ului prin măsurarea a 70 de circuite la 25 °C, precum și testarea a 3 circuite în gama de temperaturi de la -40 °C până la 125 °C.
  - Testarea noului circuit de dezactivare a funcției de monitorizare a supra-temperaturii IGBT-ului atunci când terminalul este flotant.
  - Validarea arhitecturii noi pentru protecția la deconectarea terminalului de alimentare negativă a circuitului de comandă [4].
  - Validarea noilor configurații de îmbunătățire a performanțelor CMT. S-au realizat măsurători la nivel de circuite încapsulate pentru tensiuni



cuprinse între 200 V și 1500 V și pante de variație în timp de la 3 kV/μs până la 150 kV/μs. Eficiența arhitecturilor dezvoltate a fost confirmată prin realizarea unui set similar de teste pe un circuit de comandă în care circuitele pentru îmbunătățirea imunității la zgomot sunt dezactivate [5].

- ✓ Comparația circuitului de comandă propus cu 4 familii de circuite de comandă pentru IGBT-uri comercializate pe piața semiconductoare.

### 6.3 Lista lucrărilor originale

- [1] **I. Hurez**, T. Chen, F. Vladoianu, V. Anghel, G. Brezeanu, “*Galvanically Isolated IGBT Gate Driver with Advanced Protections and A Fault Detection Reporting Method*,” in **Romanian Journal of Information Science and Technology (ROMJIST)**, Vol.22, no. 1, 2019, pp. 69-84, Q1 (2024), IF = 3.7, ISI, **WOS: 000469865900006**.
- [2] **I. Hurez**, T. Chen, F. Vladoianu, V. Anghel, G. Brezeanu, “*Message Recovered: A Robust Fault Detections and Reporting Method for Galvanically Isolated IGBT Gate Drivers*”, in **Proceedings of the International Semiconductor Conference (CAS)**, 10-12 Oct. 2018, Sinaia, Romania, pp. 205 – 208, ISI, **WOS: 000514386700040**, DOI 10.1109/SMICND.2018.8539764.
- [3] K. Song, **I. Hurez**, V. Anghel “*Gate Driver with Temperature Monitoring Features*”, Patent, **US11881857-B2**, Granted 23. Ian. 2024.
- [4] **I. Hurez**, K. Song, A. Enache, V. Anghel, G. Brezeanu “*To Float or Not To Float – Negative Supply Diagnostic for Gate Drivers*”, in **Proceedings of the International Semiconductor Conference (CAS)**, 12-14 Oct. 2022, Poiana Brasov, Romania, pp. 149 – 152, IEEE, DOI 10.1109/CAS56377.2022.9934311.
- [5] **I. Hurez**, V. Anghel, G. Brezeanu “*A Negative-Gm Oscillator with Common Mode Transient Immunity Enhancements for Galvanically Isolated Gate Drivers*” in **Proceedings of the IEEE 49th European Solid State Circuits Conference (ESSCIRC)**, 11-14 Sep. 2023, Lisbon, Portugal, pp. 245 – 248, IEEE, DOI 10.1109/ESSCIRC59616.2023.10268713.
- [6] F. Vladoianu, M. Strelec, **I. Hurez**, V. Anghel, G. Brezeanu “*Changing the Paradigm in Common Mode Transient Immunity (CMTI) Testing of Dual Channel Galvanically Isolated Gate Drivers*”, in **Proceedings of the International Semiconductor Conference (CAS)**, 6-8 Oct. 2021, Romania, pp. 125-128, ISI, **WOS: 000853482700024**, DOI 10.1109/CAS52836.2021.9604169.
- [7] **I. Hurez**, V. Anghel, F. Vladoianu, G. Brezeanu “*A Disruptive Technology – Improving Half-Bridge Gate Driver Performances Using Galvanic Isolation*”, in **Proceedings of the International Semiconductor Conference (CAS)**, 9-11 Oct. 2019, Sinaia, Romania, pp. 137-140, ISI, **WOS: 000514295300028**, DOI 10.1109/SMICND.2019.8923899.

- [8] F. Vladoianu, K. Song, **I. Hurez**, V. Anghel, G. Brezeanu “*A Tale of Two Circuits – Comparing Performances of Input Adapters As Interface Elements for High Voltage Applications*”, in **Proceedings of the International Semiconductor Conference (CAS)**, 7-9 Oct. 2020, Sinaia, Romania, pp. 119-122, ISI, **WOS: 000637264600027, DOI 10.1109/CAS50358.2020.9267973**.
- [9] A Dragan (Vasile), A. Negut, A. Enache, **I. Hurez**, V. Anghel, G. Brezeanu, “*In Focus: Data Hold Time for Temperature Sensors with High Speed I2C Interface*”, in **Proceedings of the International Semiconductor Conference (CAS)**, 11-13 Oct. 2023, Sinaia, Romania, pp. 111-114, IEEE, DOI: 10.1109/CAS59036.2023.10303655.
- [10] A. G. Banu, S. Stamate, V. Anghel, **I. Hurez**, S. Mihalache “*The Jack-of-all-Trades: a Multi-Function Pin for Dead-Time Control*”, acceptată pentru prezentare la **International Semiconductor Conference (CAS) 2024**.
- [11] S. Stamate, A.G. Banu, V. Anghel, **I. Hurez**, V. Bricicaru, F. Draghici “*Advanced Protection Functions for Smart IGBT Gate Drivers are Paving the Road to Damage-Free Systems*”, acceptată pentru prezentare la **International Semiconductor Conference (CAS) 2024**.

## 6.4 Perspective de dezvoltare ulterioară

Cercetarea viitoare va avea în vedere proiectarea și implementarea în siliciu a unor funcții de protecție specializate pentru circuite de comandă pentru tranzistoare MOS realizate în tehnologie de carbură de siliciu. Din această categorie face parte o funcție cunoscută în literatură după denumirea în limba engleză *Active Short Circuit*, în care dispozitivul de putere este activat pentru a crea un scurt-circuit la nivel de sistem care să descarce sarcina acumulată.

Mai mult decât atât, MOSFET-urile cu SiC necesită minimizarea timpului de reacție pentru protecția la supra-curent. În acest scop, protecția utilizează o rezistență externă conectată la un terminal auxiliar al dispozitivului de putere. O astfel de arhitectură permite obținerea unui timp de reacție mai mic de 1  $\mu$ s, iar rezultatele inițiale obținute au fost incluse într-o lucrare acceptată la conferința International Semiconductor Conference (CAS) 2024.

- S. Stamate, A.G. Banu, V. Anghel, **I. Hurez**, V. Bricicaru, F. Draghici “*Advanced Protection Functions for Smart IGBT Gate Drivers are Paving the Road to Damage-Free Systems*”, acceptată pentru prezentare la **International Semiconductor Conference (CAS) 2024**.

# Bibliografie

- [1] Jones, GT. 2021. “*Digital Active Gate Drives to Increase Power Semiconductor Performance.*” PhD thesis, University of Oxford [online] – disponibil martie 2024.
- [2] A.B Kebede, G.B. Worku “*Power Electronics Converter Application in Traction Power Supply System,*” in American Journal of Electrical Power and Energy Systems, August 2020, Vol. 9, No. 4, pp.67-73, doi: 10.11648/j.epes.20200904.12
- [3] A. Volke, M. Hornkamp, “*IGBT Modules – Technologies, Driver and Application,*”, 3rd ed., Infineon Technologies AG, 2017.
- [4] Yanick Lobsinger “*Closed-Loop IGBT Gate Driver and Current Balancing Concepts,*” Other, Dr. Sc. ETH Zurich, PhD Thesis, 2014, <http://www.pes.ee.ethz.ch/> [online] disponibil martie 2024.
- [5] **I. Hurez**, T. Chen, F. Vladoianu, V. Anghel, G. Brezeanu, “*Galvanically Isolated IGBT Gate Driver with Advanced Protections and A Fault Detection Reporting Method,*” in Romanian Journal of Information Science and Technology (ROMJIST), Vol.22, no. 1, 2019, pp. 69-84, ISI, WOS: 000469865900006.
- [6] **I. Hurez**, T. Chen, F. Vladoianu, V. Anghel, G. Brezeanu, “*Message Recovered: A Robust Fault Detections and Reporting Method for Galvanically Isolated IGBT Gate Drivers*”, in Proceedings of the International Semiconductor Conference (CAS), 10-12 Oct. 2018, Sinaia, Romania, pp. 205 – 208, ISI, WOS: 000514386700040, DOI 10.1109/SMICND.2018.8539764.
- [7] U. -M. Choi, F. Blaabjerg and K. -B. Lee, “*Study and Handling Methods of Power IGBT Module Failures in Power Electronic Converter Systems,*” in IEEE Transactions on Power Electronics, vol. 30, no. 5, pp. 2517-2533, May 2015, doi: 10.1109/TPEL.2014.2373390.
- [8] R. Herzer, “*Gate Driver Solutions for Modern Power Devices and Topologies,*” 2018 48th European Solid-State Device Research Conference (ESSDERC), Dresden, Germany, 2018, pp. 206-214, doi: 10.1109/ESSDERC.2018.8486909.
- [9] Foaie de catalog “*UCC21750 10-A Source/Sink Reinforced Isolated Single Channel Gate Driver for SiC/IGBT with Active Protection, Isolated Analog Sensing and High-CMTI,*” rev. Jan. 2023, Texas Instruments, [online] disponibil august 2024.
- [10] Foaie de catalog “*BM60059FV-C 1ch Gate Driver Providing Galvanic Isolation 2500Vrms Isolation Voltage,*” rev 003, Apr. 2018, ROHM Semiconductor [online] disponibil august 2024.
- [11] **I. Hurez**, V. Anghel, F. Vladoianu, G. Brezeanu “*A Disruptive Technology – Improving Half-Bridge Gate Driver Performances Using Galvanic Isolation,*”, in Proceedings of the International Semiconductor Conference (CAS), 9-11 Oct. 2019, Sinaia, Romania, pp. 137-140, ISI, WOS: 000514295300028, DOI 10.1109/SMICND.2019.8923899.
- [12] E. Ragonese, G. Palmisano, A. Parisi and N. Spina, “*Highly Integrated Galvanically Isolated Systems for Data/Power Transfer,*” 2019 26th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Genoa, Italy, 2019, pp. 518-521, doi: 10.1109/ICECS46596.2019.8965151.
- [13] S. Stamate, A.G. Banu, V. Anghel, **I. Hurez**, V. Bricicaru, F. Draghici “*Advanced Protection Functions for Smart IGBT Gate Drivers are Paving the Road to Damage-Free Systems,*”, acceptată pentru prezentare la International Semiconductor Conference (CAS) 2024.

- [14] F. Vladoianu, K. Song, **I. Hurez**, V. Anghel, G. Brezeanu “*A Tale of Two Circuits – Comparing Performances of Input Adapters As Interface Elements for High Voltage Applications*,” in Proceedings of the International Semiconductor Conference (CAS), 7-9 Oct. 2020, Sinaia, Romania, pp. 119-122, ISI, WOS: 000637264600027, DOI 10.1109/CAS50358.2020.9267973.
- [15] **I. Hurez**, K. Song, A. Enache, V. Anghel, G. Brezeanu “*To Float or Not To Float – Negative Supply Diagnostic for Gate Drivers*,” in Proceedings of the International Semiconductor Conference (CAS), 12-14 Oct. 2022, Poiana Brasov, Romania, pp. 149 – 152, IEEE, DOI 10.1109/CAS56377.2022.9934311.
- [16] A Dragan (Vasile), A. Negut, A. Enache, **I. Hurez**, V. Anghel, G. Brezeanu, “*In Focus: Data Hold Time for Temperature Sensors with High Speed I2C Interface*,” in Proceedings of the International Semiconductor Conference (CAS), 11-13 Oct. 2023, Sinaia, Romania, pp. 111-114, IEEE, DOI: 10.1109/CAS59036.2023.10303655.
- [17] K. Song, **I. Hurez**, V. Anghel “*Gate Driver with Temperature Monitoring Features*,” Patent, US11881857B2, Granted 23. Ian. 2024.
- [18] Ali Hajimiri, Thomas H. Lee “*The Design of Low Noise Oscillators*” Kluwer Academic Publishers, ed. 2003, eBook ISBN: 0-306-48199-5.
- [19] M. Javid, K. Ptacek, R. Burton and J. Kitchen, “*A 650 kV/ $\mu$ s Common-Mode Resilient CMOS Galvanically Isolated Communication System*,” in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 69, no. 2, pp. 587-598, Feb. 2022, doi: 10.1109/TCSI.2021.3124554.
- [20] F. Vladoianu, M. Strelec, **I. Hurez**, V. Anghel, G. Brezeanu “*Changing the Paradigm in Common Mode Transient Immunity (CMTI) Testing of Dual Channel Galvanically Isolated Gate Drivers*,” in Proceedings of the International Semiconductor Conference (CAS), 6-8 Oct. 2021, Romania, pp. 125-128, ISI, WOS: 000853482700024, DOI 10.1109/CAS52836.2021.9604169.
- [21] A. G. Banu, S. Stamate, V. Anghel, **I. Hurez**, S. Mihalache “*The Jack-of-all-Trades: a Multi-Function Pin for Dead-Time Control*,” acceptată pentru prezentare la International Semiconductor Conference (CAS) 2024.
- [22] T. Chen, J. W. Hall, F. Vladoianu, R. Gray “*Semiconductor Device and Method Therefor*,” US Patent US10785064B1, Granted Sep. 22, 2020.
- [23] **I. Hurez**, V. Anghel, G. Brezeanu “*A Negative-Gm Oscillator with Common Mode Transient Immunity Enhancements for Galvanically Isolated Gate Drivers*,” in Proceedings of the IEEE 49th European Solid State Circuits Conference (ESSCIRC), 11-14 Sep. 2023, Lisbon, Portugal, pp. 245 – 248, IEEE, DOI 10.1109/ESSCIRC59616.2023.10268713.
- [24] Foaie de catalog “*1ED332xMC12N (1ED-F3) Single-channel 5.7 kV (rms) isolated gate driver IC with DESAT and soft-of*,” Infineon Technologies, Rev. 1.03, April 2024 [online] disponibil august 2024.
- [25] Foaie de catalog „*STGAP4S Automotive advanced isolated gate driver for IGBTs and SiC MOSFETs*” STMicroelectronics, DS13833 - Rev 4 - March 2023 [online] disponibil august 2024.
- [26] Foaie de catalog „*BM60052AFV-C 1ch Gate Driver Providing Galvanic Isolation 2500Vrms Isolation Voltage*” TSZ02201-0818ACH00040-1-2, rev 002, Sep. 2019, ROHM Semiconductor [online] disponibil august 2024.