



**UNIVERSITATEA NAȚIONALĂ
DE ȘTIINȚĂ ȘI TEHNOLOGIE
POLITEHNICA BUCURERȘTI**



**Școala Doctorală de Electronică, Telecomunicații și
Tehnologia Informației**

Decizia Nr. 160 din 05-09-2024

**TEZĂ DE DOCTORAT
REZUMAT**

Florin-Silviu DUMITRU

**CONTRIBUȚII LA ANALIZA ȘI PROIECTAREA
MICROSTRUCTURILOR ELECTRONICE**

**CONTRIBUTIONS TO THE ANALYSIS AND DESIGN OF
ELECTRONIC MICROSTRUCTURES**

COMISIA DE DOCTORAT

Prof. Dr. Ing. Gheorghe BREZEANU
Universitatea Națională de Știință și
Tehnologie POLITEHNICA București

Președinte

Prof. Dr. Ing. Gheorghe ȘTEFAN
Universitatea Națională de Știință și
Tehnologie POLITEHNICA București

Conducător de doctorat

Prof. Dr. Ing. Claudius DAN
Universitatea Națională de Știință și
Tehnologie POLITEHNICA București

Referent

Prof. Dr. Ing. Aurel-Ștefan GONTEAN
Universitatea Politehnica din Timișoara

Referent

Assoc. Prof. Dr. Ing. Sorin Dan COȚOFANĂ
Delft University of Technology

Referent

BUCUREȘTI 2024

Cuprins

1	Introducere	1
1.1	Prezentarea domeniului tezei de doctorat	1
1.2	Scopul tezei de doctorat	3
1.3	Conținutul tezei de doctorat	3
2	Tehnologia Grafenului	5
2.1	Introducere	5
2.2	Proprietățile grafenului	5
2.2.1	Structura cristalină: 2D sau nu 2D	6
2.2.2	Proprietăți electronice	7
2.2.3	Proprietăți termice	9
2.3	Tehnologia avansată de fabricație	10
2.3.1	Sinteză de sus în jos	10
2.3.2	Sinteză de jos în sus	10
2.4	Topologii pentru convertoare de date	11
2.4.1	Convertoare Digital-Analogice	11
2.4.2	Convertoare Analog-Digitale	11
3	Convertor DAC pe 5 biți bazat pe nanopanglici de grafen	13
3.1	Introducere	14
3.2	Context	14
3.3	DAC bazat pe Nanopanglici de Grafen pentru greutatea sinaptice programabile	15
3.4	Rezultatele de simulare	16
3.4.1	DAC pe 5 biți bazat pe Nanopanglici de Grafen	16
3.4.2	Compararea implementărilor de convertor DAC bazate pe GNR și pe FinFET 7 nm	18
3.5	Concluzii	18
4	Rețea Neurală McCulloch-Pitts bazată pe Nanopanglici de Grafen	19
4.1	Introducere	20
4.2	Rețea Neurală McCulloch-Pitts bazată pe GNR	20

4.2.1	Elementul de sumare bazat pe GNR	20
4.2.2	Circuitul de funcție de activare bazat pe GNR	22
4.2.3	Implementarea neuronului bazat pe GNR	22
4.2.4	Rețea neurală bazată pe GNR	23
4.3	Rezultatele de simulare	23
4.4	Concluzii	24
5	Oscilator în inel cu limitarea curentului bazat pe nanopanglici de grafen și consum ultra-redus de putere	25
5.1	Introducere	26
5.2	Proiectarea unui oscilator în inel bazat pe GNR cu limitarea curentului	27
5.3	Rezultatele de simulare	27
5.4	Concluzii	28
6	Impactul segmentării asupra performanței DAC-urilor cu ieșire în curent	29
6.1	Introducere	30
6.2	Arhitecturi și caracteristici ale DAC-urilor	30
6.2.1	Arhitectura ponderată binar	30
6.2.2	Arhitecturi segmentate	30
6.2.3	Efectul segmentării asupra DNL și INL	31
6.3	Variantele DAC-urilor cu comutare de curent pe 10 biți	32
6.3.1	Implementarea matricei de surse de curent analogice	32
6.3.2	Implementarea fizică a decodului digital	34
6.4	Rezultatele de simulare	35
6.5	Concluzii	37
7	Impactul Non-Idealităților asupra Performanței Convertorului $\Sigma\Delta$ ADC	39
7.1	Introducere	40
7.2	Considerații de proiectare pentru modulatorul $\Sigma\Delta$	40
7.3	Metodologia de simulare și rezultate	43
7.4	Concluzii	44
8	Concluzii	45
8.1	Rezultate obținute	45
8.2	Contribuții originale	46
8.3	Lista publicațiilor originale	47
8.4	Perspective pentru dezvoltări viitoare	48
	References	51

Capitolul 1

Introducere

Pe măsură ce tehnologia CMOS se apropie rapid de dimensiuni la scară atomică, aceasta se confruntă cu provocări din ce în ce mai severe, inclusiv limitele densității de putere, creșterea curenților de pierdere, reducerea duratei de viață a circuitelor integrate din cauza problemelor de fiabilitate, scăderea randamentelor și costurile de fabricație nesustenabile. Aceste provocări determină eforturi de cercetare reînnoite, axate pe materiale, dispozitive, arhitecturi și paradigme de calcul noi [1–7].

Ceea ce este mult mai probabil decât înlocuirea siliciului este augmentarea acestuia prin utilizarea de materiale noi pentru canal, tehnologii de contact și chiar combinarea tehnologiei bazate pe siliciu cu materiale netradiționale [8]. Spre deosebire de materialele 3D precum siliciul, materialele 2D, cum ar fi grafenul, oferă o structură inerent planară caracterizată printr-o mobilitate electronică fără precedent, conductivitate termică ridicată și chiar manifestarea efectului câmpului electric [1, 6, 9].

Deși înlocuirea siliciului implică deja nimic mai puțin decât o *revoluție* în micro-electronică, trebuie menționat că *doar* adoptarea nanomaterialelor inovatoare nu va fi suficientă. Pe lângă materiale noi, se consideră că trebuie explorate noi arhitecturi, cum ar fi calculul neuromorfic și calculul în memorie, pentru a continua progresul în domeniul tehnicii de calcul [4, 5, 7].

Pentru a rezuma aceste idei, limitându-ne la punctul de vedere tehnologic, augmentarea siliciului trebuie să folosească mai puțină putere și să disipeze căldura mai eficient. În cele din urmă, ceea ce Moore a numit „inteligența dispozitivelor și a circuitelor” [10] ar putea fi realizată prin utilizarea dispozitivelor cu caracteristici electrice mai complexe decât tranzistorul fundamental.

1.1 Prezentarea domeniului tezei de doctorat

Industria clasică a semiconductoarelor bazată pe siliciu se apropie de limitele scalării pentru tranzistorul CMOS, din cauza disipării puterii și a limitărilor lungimii canalului [5, 4, 3, 6]. Întrebarea legată de limitele scalării CMOS a fost studiată în profunzime de

Dennard în [11], conducând la procedura de scalare aplicată dispozitivelor CMOS în deceniile următoare, cunoscută sub numele de *scalarea Dennard*.

În paralel, există o căutare continuă de materiale alternative care să ofere performanțe mai bune decât siliciul, cu un accent pe conductivitatea termică, curenții de pierdere, mobilitatea purtătorilor de sarcină și, cel mai important, manifestarea efectului câmpului electric la aceste dimensiuni. Un astfel de material este grafenul, un semi-metal cu bandă interzisă zero, care a fost izolat cu succes pentru prima dată în 2004 [1]. În prezent, acesta este materialul cu cea mai bună conductivitate termică raportată, atingând $5.30 \pm 0.48 \times 10^3$ W/mK [12], depășind rezultatele celor mai buni nanotuburi de carbon (SW-CNT), care au atins 3.5×10^3 W/mK [13].

Din perspectiva curenților de pierdere, având în vedere statutul său de semi-metal, grafenul prezintă, de obicei, rapoarte I_{on}/I_{off} scăzute, în intervalul de 30 [1] până la 100 [14]. Totuși, s-a demonstrat că prin exploatarea confinării induse geometric [15] pot fi obținute rapoarte I_{on}/I_{off} semnificativ mai mari pentru dispozitive foarte înguste, cu lățimi sub 10 nm [16]. Această performanță a fost realizată ca o consecință a efectului electric puternic ambipolar al grafenului [1]. Grafenul de înaltă calitate atinge, de asemenea, mobilități gigantice de 2×10^5 cm² V⁻¹ s⁻¹ la temperatura camerei pentru grafen suspendat și peste 5×10^5 cm² V⁻¹ s⁻¹ când este încapsulat în BN la temperaturi scăzute [17].

Din motivele menționate mai sus, este acum clar de ce materialele 2D, precum grafenul, se află pe foaia de parcurs a IRDS ca extensii pe termen scurt ale tehnologiei CMOS existente, așa cum este ilustrat în Figura 1.1.

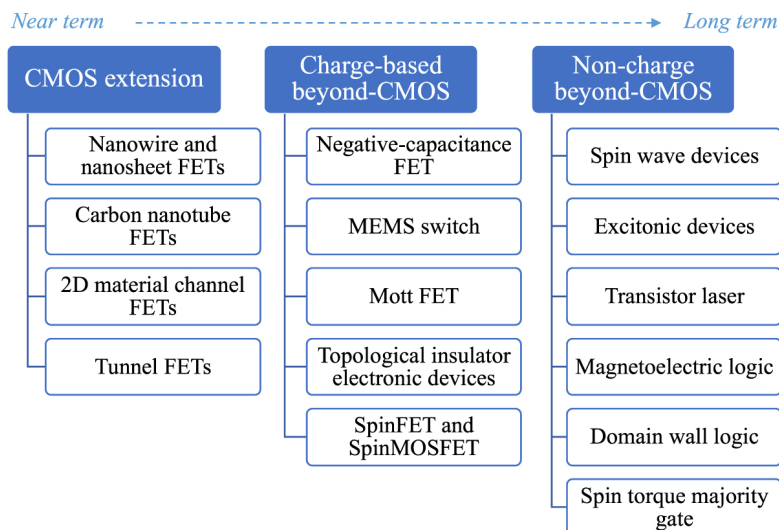


Fig. 1.1 Categoriile de dispozitive emergente pentru logică și procesare a informației [6] de An Chen în “Beyond-CMOS roadmap-from Boolean logic to neuro-inspired computing,” licențiat sub CC BY 4.0.

1.2 Scopul tezei de doctorat

Scopul acestei teze este de a explora potențialul grafenului pentru a extinde capabilitățile tehnologiei CMOS standard bazate pe siliciu. Pentru a atinge acest obiectiv, cercetarea se va concentra pe proiectarea și analiza microstructurilor bazate pe grafen la nivel de dispozitiv pentru diverse funcții analogice și digitale.

1. Examinarea compromisurilor de proiectare și a cerințelor minime pentru blocurile de semnal mixt, în special dacă este necesară reducerea riscurilor datorate potențialelor performanțe analogice slabe ale implementărilor bazate pe grafen. Simulările pot fi realizate utilizând CMOS pentru parametrii agnostici de tehnologie. Performanța analogică limitată a grafenului va fi luată în considerare la evaluarea riscurilor.
2. Proiectarea și simularea microstructurilor la nivel de dispozitiv bazate pe grafen, optimizate pentru implementarea circuitelor digitale și de semnal mixt cu scop general.
3. Obținerea unor stări clare „on” și „off” pentru microstructurile utilizate în implementarea blocurilor digitale, de semnal mixt și neuromorfe prin manipularea conductanței acestora prin aplicarea unor tensiuni de control.
4. Propunerea unor blocuri digitale, de semnal mixt și neuromorfe pentru a sprijini dezvoltarea circuitelor integrate (IC-uri) complet bazate pe grafen (GNR) și a circuitelor integrate specifice aplicațiilor (ASIC-uri).
5. Realizarea de simulări la nivel de circuit pentru circuitele digitale, de semnal mixt și neuromorfe bazate pe grafen, proiectate pentru a confirma funcționarea lor corectă.
6. Evaluarea potențialului blocurilor neuromorfe bazate pe grafen pentru a extinde capabilitățile tehnologiei CMOS standard bazate pe siliciu, prin compararea rezultatelor de referință ale conceptelor demonstrate pentru circuitele FinFET și cele bazate pe grafen, în termeni de performanță.

1.3 Conținutul tezei de doctorat

Conținutul acestei teze este structurat după cum urmează:

În Capitolul 2 prezentăm o analiză detaliată a literaturii de specialitate care acoperă stadiul actual al tehnologiei bazate pe grafen, cu accent pe proprietățile intrinseci și cele ce pot fi manipulate geometric, precum și pe metodele de fabricare.

În Capitolul 3 prezentăm un convertor digital-analogic (DAC) pe 5 biți, cu ieșire în curent, bazat pe benzi nanometrice de grafen (GNR). Blocul de bază al acestui DAC este un dispozitiv GNR care îndeplinește rolul de sursă de curent analogică.

Forma sa specifică, non-rectangulară, obținută prin decuparea unei foi de grafen, are câteva consecințe care îl fac viabil pentru utilizare în proiectarea analogică. Prima este deschiderea unei benzi interzise, care permite modularea curentului ce trece prin dispozitiv folosind un fenomen cunoscut din tehnologia CMOS clasică, adică efectul de câmp. A doua consecință la fel de importantă a geometriei formei non-rectangulare sunt caracteristicile de ieșire și de transfer ale dispozitivului, care seamănă cu cele ale unui tranzistor bipolar (BJT) sau ale unei implementări CMOS.

În Capitolul 4 explorăm utilizarea dispozitivelor bazate pe GNR pentru o aplicație hardware mai complexă de învățare automată. În acest scop, propunem o implementare a unui neuron McCulloch-Pitts bazat pe nanopanglici de grafen (GNR-MCPN), construit exclusiv folosind dispozitive GNR. Implementarea include celule digitale, cum ar fi porți logice bazate pe GNR (GNR-L) și memorii SRAM bazate pe GNR (GNR-SRAM), precum și celule analogice, cum ar fi surse de curent și comutatoare high-side și low-side. Validăm funcționalitatea neuronului propus utilizând o rețea neuronală simplă cu un singur strat, capabilă să proceseze dinamic o matrice de pixeli 5 pe 5 configurată utilizând SRAM pentru a detecta simboluri ale vocalelor.

În Capitolul 5 prezentăm un oscilator inel ultra-eficient din punct de vedere energetic, bazat pe GNR, cu limitare în curent. Ajustarea frecvenței de ieșire a oscilatorului se realizează prin aplicarea unei tensiuni de control pe poarta dispozitivului sursă de curent utilizând un DAC. Validăm proiectarea noastră în raport cu o implementare FinFET de 7 nm în termeni de interval de ajustare a frecvenței de ieșire, consum de putere și eficiență energetică.

În Capitolul 6 explorăm tehnica segmentării pentru îmbunătățirea rezoluției DAC-urilor. Această tehnică ne permite să îmbunătățim neliniaritatea diferențială (DNL) în schimbul unei complexități crescute a decodorului și a unei arii active mai mari. Compararea performanțelor se realizează folosind o tehnologie CMOS standard pentru toate gradele intermediare de segmentare posibile între implementările pur binare și cele termometrice, dar această tehnică poate fi aplicată și implementărilor bazate pe GNR sau oricărei alte tehnologii.

În Capitolul 7 explorăm impactul neidealităților amplificatorului operațional asupra performanței unui modulator $\Sigma\Delta$ al unui convertor analog-digital (ADC). ADC-ul $\Sigma\Delta$ a fost ales datorită capacității sale de a atinge rezoluții înalte cu specificații modeste ale amplificatorului operațional analogic, în special dacă se utilizează un cuantizor pe 1 bit în modulator, evitând astfel cerințe stricte de liniaritate asupra cuantizorului. Rezultatul acestei investigații constă în cerințele de viteză de baleiaj și lățime de bandă necesare pentru a atinge o rezoluție de 16 biți, punând bazele implementării unui modulator $\Sigma\Delta$ bazat pe GNR cu complexitate analogică minimă.

În final, Capitolul 8 oferă un scurt rezumat al tezei și identifică direcții relevante pentru cercetări viitoare.

Capitolul 2

Tehnologia Grafenului

2.1 Introducere

Grafenul, un alotrop bidimensional al carbonului cu o aranjare atomică hexagonală, a fost mult timp considerat un material teoretic din cauza predicțiilor legate de instabilitatea sa termodinamică în cristale 2D [18, 19]. Această viziune a fost susținută de teorema Mermin-Wagner [20], care afirmă că fluctuațiile termice la temperaturi finite ar perturba ordinea pe scară largă. Cu toate acestea, în 2004, Geim și Novoselov au izolat grafenul folosind metoda „Scotch tape” [1], câștigând Premiul Nobel pentru Fizică în 2010. Munca lor a confirmat natura semi-metalică a grafenului și efectul de câmp electric ambipolar, permițând controlul gazelor bidimensionale de electroni și goluri prin tensiunea de poartă [1]. Această descoperire a declanșat cercetări extinse asupra proprietăților unice ale grafenului și a aplicațiilor sale potențiale [21].

2.2 Proprietățile grafenului

În 1947, Wallace [22] a aplicat teoria benzilor și aproximația legăturilor strânse pentru a corela proprietățile electrice, termice, diamagnetice și optice ale grafitului cu structura sa la nivel atomic. El a observat că distanța mare între straturi justifică studierea conducției ca având loc în straturi hexagonale izolate [22]. Din acest fapt, au fost prezise proprietăți cheie ale grafenului: o structură unică de benzi cu puncte Dirac [22, 1, 23], comportament de semiconductor cu energie de activare zero [22] și o conductivitate puternică în plan, mult mai mică pe direcția inter-strat [22].

După izolarea grafenului din grafit prin metoda „Scotch tape” [1, 24], experimentele au confirmat conductivitatea termică remarcabilă, densitățile de curent, rezistența mecanică, transportul balistic, mobilitatea purtătorilor, efectul de câmp ambipolar, conductanța minimă și efectul Hall cuantic. Vom discuta cele mai relevante proprietăți pentru microelectronică în secțiunile următoare.

2.2.1 Structura cristalină: 2D sau nu 2D

Grafenul este un material 2D compus din atomi de carbon aranjați într-o rețea în formă de fagure. Pentru a înțelege mai bine structura electronică a grafenului, trebuie să considerăm mai întâi configurația electronică de bază a carbonului, reprezentată în Figura 2.1a (stânga), care este $1s^2 2s^2 2p^2$, cu cei patru electroni din stratul exterior având roluri de electroni de valență.

În cazul grafenului, fiecare atom de carbon trece prin hibridizare sp^2 , amestecând un orbital $2s$ cu două orbitale $2p$, mai exact p_x și p_y , pentru a forma trei orbitali hibridi sp^2 echivalenți, însoțiți de un orbital $2p_z$ [22], conform ilustrației din Figura 2.1a (dreapta).

Orbitalii hibridi sp^2 se află în planul foii de grafen, sunt spațiați la 120° unul de celălalt și, prin suprapunerea cu orbitalii sp^2 ai celor trei atomi de carbon vecini, formează legăturile covalente σ ale rețelei de grafen. Orbitalul $2p_z$ rămas, perpendicular pe planul foii de grafen, nu participă la hibridizarea sp^2 , ci se suprapune cu orbitali $2p_z$ ai atomilor vecini pentru a forma legături covalente π [23]. Aceste legături π formează un sistem delocalizat π deasupra și dedesubtul planului grafenului, conferind grafenului conductivitatea sa. Geometria legăturilor σ și π ale unui strat de grafen este reprezentată în Figura 2.1b.

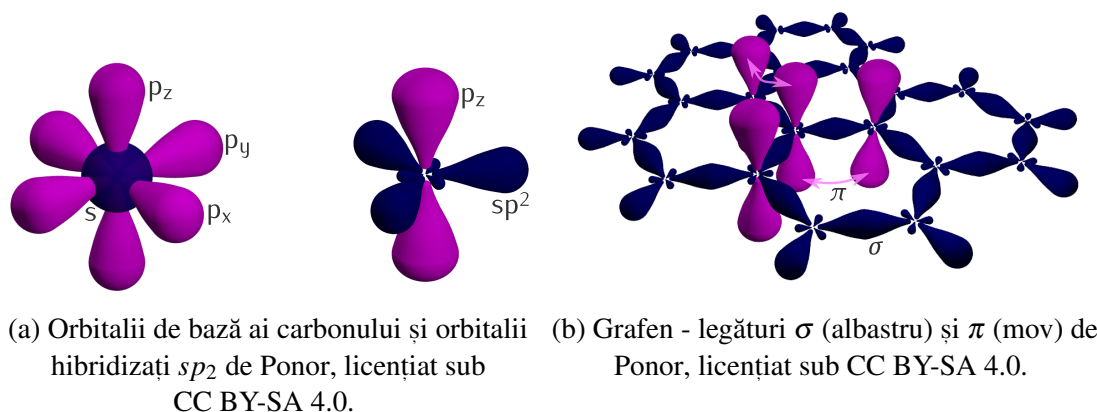


Fig. 2.1 Orbitalii de bază ai carbonului și legăturile rezultate în grafen

Deși un atom de carbon are un diametru finit, grafenul este considerat 2D deoarece electronii săi rămân captivi într-un plan, iar adăugarea altor straturi modifică proprietățile sale [8, 14]. Predicțiile lui Peierls, Landau și Mermin sugerau că cristalele 2D ar trebui să fie instabile [18–20], dar undulațiile la scară atomică ale grafenului stabilizează structura sa [8]. Prin decuparea, rularea sau stratificarea grafenului, se pot obține fulereni (0D), nanotuburi de carbon (1D) sau grafit (3D).

2.2.2 Proprietăți electronice

Proprietăți electronice dependente de numărul de straturi

Pe măsură ce straturile de grafen se acumulează, structura electronică se apropie de cea a grafitului, ridicând întrebări despre momentul în care se realizează tranziția la 3D [25]. Grafenul cu un singur strat este un semiconductor cu bandă interzisă zero, având un spectru Dirac liniar în apropierea energiei Fermi [8]. Acest spectru creează fermioni Dirac fără masă [26, 14, 9], care se deplasează la o viteză Fermi de $v_F = 10^6$ m/s, rezultând o mobilitate electronică și o conductivitate foarte ridicate [23].

Grafenul cu două straturi este un semi-metal cu o suprapunere de bandă de 1.6 meV și un spectru parabolic, producând fermioni Dirac masivi care combină caracteristici Dirac și Schrödinger [25, 9]. În mod unic, un câmp electric poate deschide o bandă interzisă în grafenul cu două straturi [23, 27, 28], iar existența acestei benzi interzise controlabile îi sporește potențialul pentru aplicații tehnologice.

Pentru trei sau mai multe straturi, suprapunerea de bandă crește gradual de la 1.6 meV (două straturi) spre suprapunerea de 41 meV a grafitului. La 11 straturi, diferența față de grafit este mai mică de 10 %, iar straturile de la 3 la 11 prezintă toate un comportament semi-metalic, datorat interacțiunilor dintre subrețelele B și planurile vecine [25].

Proprietăți ale stratului monostrat de grafen

Grafenul de înaltă calitate pe substraturi de SiO_2 prezintă mobilități de până la $1.5 \times 10^4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ to $4 \times 10^4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ la $1 \times 10^{12} \text{ cm}^{-2}$, aproape de $7.7 \times 10^4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, mobilitatea maximă cunoscută pentru semiconductorul InSb [29, 30]. Dispersia datorată fononilor optici ai substratului limitează performanța, dar suspendarea grafenului 150 nm deasupra substratului crește mobilitatea peste $2 \times 10^5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ la temperatura camerei și $1 \times 10^6 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ la temperaturi scăzute [17, 31]. Încapsularea în BN oferă mobilități similare ridicate [17].

Această dispersie redusă permite transportul balistic [32], în care electronii traversează fără coliziuni, evitând fenomenul Joule. În acest caz, conductanța este determinată de rezistențele la interfață și de modurile transversale cuantificate, conform formulei Landauer [33–35].

În conductoarele balistice, toată căldura Joule se disipă la contacte, și nu de-a lungul canalului [33]. Datorită proprietăților sale electronice superioare, grafenul poate susține transportul balistic submicronic [9, 23], iar atunci când este plasat pe substraturi de BN, acesta atinge transport balistic la scară micrometrică chiar și la temperatura camerei [17]. Grafenul poate, de asemenea, să susțină densități de curent de 10^8 A/cm^2 până la 10^9 A/cm^2 , depășind cu mult cuprul [1, 36, 37, 9], ceea ce îl face un candidat promițător pentru tehnologiile viitoare de interconectare.

Proprietăți geometrice-induse ale stratului monostrat de grafen: Diminuarea dimensiunilor

Nanopanglicile de grafen (GNRs) sunt nanostructuri monostrat ale căror proprietăți electronice depind de geometria marginilor lor, diferențiindu-se astfel de fulereni (0D) și nanotuburi de carbon (1D) prin prezența marginilor deschise [8]. Literatura distinge două tipuri de margini: margini în formă de scaun (AGNR) și margini în zigzag (ZGNR), așa cum este ilustrat în Figura 2.2b, în timp ce geometrii mai complexe ale marginilor sunt discutate în [38]. Când GNR-urile au lungimi infinite și lățimi care depășesc două sute de celule unitare (Figura 2.2a), comportamentul lor se aliniază cu cel al grafenului cu bandă interzisă zero [23].

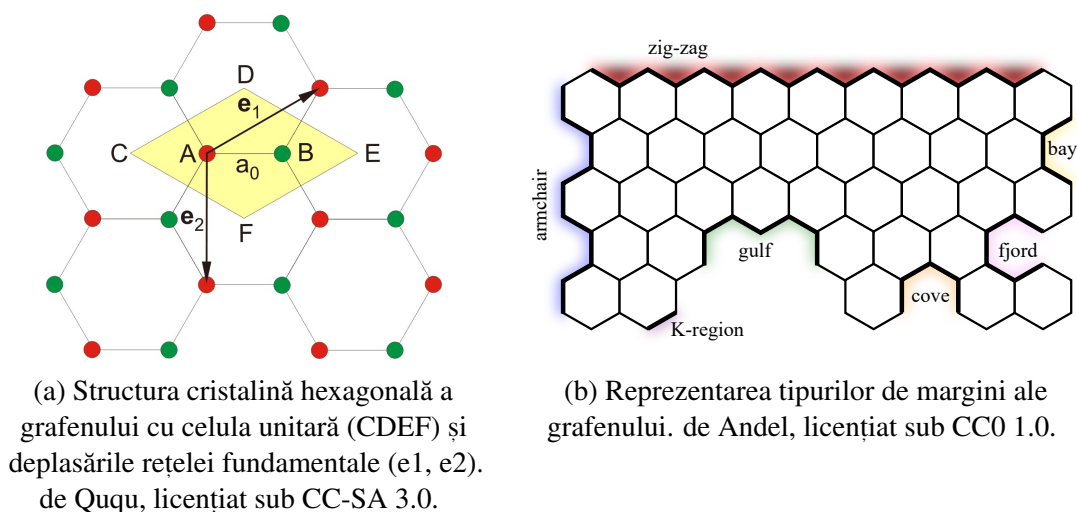


Fig. 2.2 Celula unitară a rețelei de grafen și marginile rețelei GNR

Prin ingineria atentă a geometriei marginilor și lățimii, poate fi indusă o bandă interzisă în nanopanglicile de grafen (GNR) [8, 39, 40]. ZGNR-urile sunt întotdeauna metalice datorită stărilor unice ale marginilor rezultate din configurația în zigzag [23, 40, 41]. În contrast, AGNR-urile prezintă o tranziție dependentă de lățime: dacă $N = 3M - 1$ (unde M este un număr întreg), ele sunt metalice; în caz contrar, sunt izolatoare [40]. Banda interzisă în AGNR-uri este invers proporțională cu lățimea lor și este semnificativ mai mare decât benzile tipice ale semiconductoarelor, datorită spectrului liniar al grafenului și vitezei Fermi ridicate [8, 14, 39, 15]. Experimentele confirmă acest fenomen de confinare și abilitatea de a-l controla prin geometrie, așa cum se arată în Figura 2.3 [39]. GNR-urile cu lățimi sub 10 nm ating rapoarte I_{on}/I_{off} de 10^7 [16], ilustrând modul în care geometria guvernează proprietățile lor electronice [41]. Acest fapt încurajează explorarea GNR-urilor cu geometrii non-rectangulare, care ar putea să nu se încadreze în clasificările simple AGNR sau ZGNR.

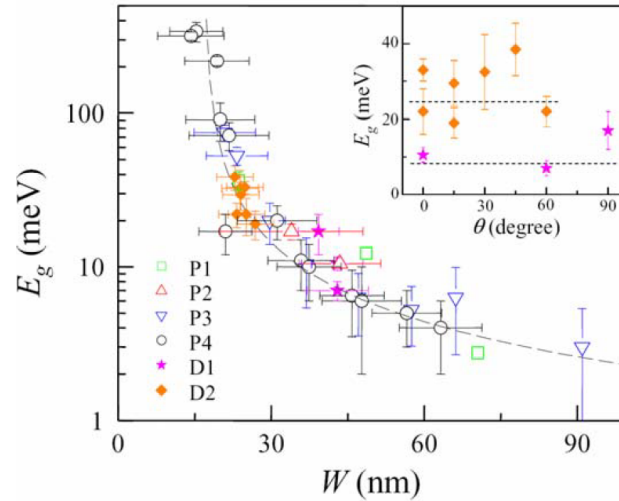


Fig. 2.3 Banda interzisă indusă în funcție de lățimea dispozitivului. Reprodusă cu permisiunea din [39]. Copyright 2024 de către American Physical Society.

2.2.3 Proprietăți termice

După densitățile impresionante de curent, proprietățile termice ale grafenului sunt la fel de remarcabile. Monostraturile de grafen suspendate ating conductivități termice la temperatura camerei de până la $(4.84 \pm 0.44 - 5.30 \pm 0.48) \times 10^3$ W/mK [12], depășind nanotuburile de carbon (CNTs) și nanotuburile unistrat (SW-CNTs) [13], ceea ce face grafenul extrem de promițător pentru gestionarea termică. Figura 2.4 ilustrează configurația experimentală utilizată pentru măsurători, în care un laser încălzește o monostrat de grafen montată peste o tranșă, permițând căldurii să se transfere către punctele de disipare la ambele capete.

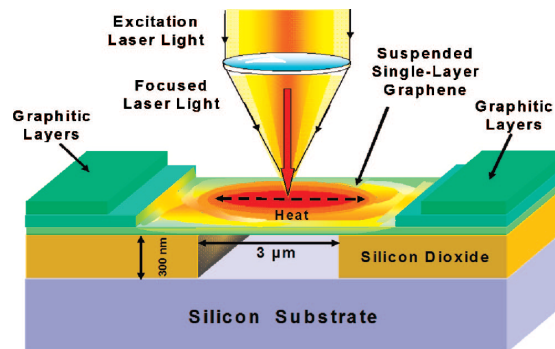


Fig. 2.4 Configurația utilizată pentru măsurarea conductivității termice a stratului monostrat de grafen. Reprodusă cu permisiunea din [12]. Copyright 2024 American Chemical Society.

Capacitatea grafenului de a conduce căldură la un nivel atât de ridicat este datorată în principal fononilor acustici din rețea. Proprietățile fononice unice ale grafenului contribuie la disiparea extrem de eficientă a căldurii, făcându-l potrivit pentru utilizare în interconectări și aplicații de disipare termică în circuitele integrate [12, 13]. În plus,

aceste proprietăți se păstrează și în grafenul încorporat în dispozitive microelectronice, făcându-l un candidat excelent pentru gestionarea căldurii în tehnologiile CMOS de ultimă generație.

2.3 Tehnologia avansată de fabricație

Există două abordări fundamentale pentru fabricarea grafenului: de sus în jos (*top-down*) și de jos în sus (*bottom-up*). Metoda de sus în jos începe cu grafit și se gravează, ceea ce duce la rugozitatea marginilor [8], în timp ce metoda de jos în sus assemblează structuri la nivel atomic, oferind margini atomice precise și geometrii controlabile [42].

2.3.1 Sinteză de sus în jos

Exfolierea micromecanică, sau tehnica „Scotch tape” [1], folosește forțele van der Waals pentru a izola straturile de grafen din grafit masiv. Deși inadecvată pentru producția de masă, aceasta produce monostraturi fără defecte și cu mobilitate ridicată [8]. O altă metodă implică descompunerea carburilor: încălzirea suprafețelor de SiC formează un strat de interfață de carbon care, odată cu dezvoltarea celui de-al doilea strat, generează grafen epitaxial ce prezintă proprietăți apropiate de cele ale grafenului [43].

Aplatizarea nanotuburilor de carbon (CNTs) creează nanopanglici de grafen (GNRs) cu margini atomice netede [44], permițând obținerea de structuri sub-10 nm cu rapoarte I_{on}/I_{off} semnificative și benzi interzise. Litografia cu fascicul de electroni (EBL) poate de asemenea fabrica nanopanglici de grafen înguste cu benzi interzise induse de confinare [39] (Figura 2.3), atingând rezoluții sub-10 nm pentru grafen multistrat [45].

2.3.2 Sinteză de jos în sus

Depunerea chimică din vapori (CVD) pe substraturi de Cu [46] și Ni [47] permite obținerea de pelicule de grafen pe scară largă. Pe Cu, solubilitatea scăzută a carbonului permite o creștere auto-limitată, producând în mare parte monostraturi de grafen pe suprafețe de scară cm [46]. CVD pe Ni la presiune ambientală generează grafen continuu, de la un singur strat la câteva straturi, cu regiuni late de 20 μm , care pot fi transferate și modelate litografic [47].

Nanopanglicile de grafen (GNRs) cu precizie atomică pot fi fabricate prin cuplarea asistată de suprafață a precursorilor moleculari, urmată de ciclo-dehidrogenare, așa cum este arătat în [48, 49]. Această abordare de jos în sus permite controlarea geometriile marginilor prin alegerea precursorilor, permițând obținerea de structuri cu proprietăți chimice, electronice și magnetice controlate.

2.4 Topologii pentru convertoare de date

Pe măsură ce grafenul extinde limitele electronicii dincolo de siliciu, conversia analog-digital și digital-analog devine un obiectiv cheie. Aplicațiile din lumea reală necesită interfețe analogice/digitale, astfel încât concentrarea asupra topologiilor ADC și DAC care reduc complexitatea analogică și transferă mai mult din prelucrare în domeniul digital poate îmbunătăți performanța circuitelor de semnal mixt și poate scurta ciclurile de proiectare.

2.4.1 Convertoare Digital-Analogice

Convertorul DAC cu direcționare de curent este o soluție simplă și eficientă care convertește direct biții digitali în curenți, minimizând etapele și circuitele intermediare. Principalele provocări implică compromisul dintre liniaritatea convertorului și complexitatea decodurii, un aspect pe care intenționăm să-l abordăm utilizând implementări bazate pe nanopanglici de grafen (GNR). Aceste DAC-uri ultra-rapide sunt folosite în cadrul schemelor de comunicație multi-nivel de mare viteză, cum ar fi PAM-4, care deja atinge transmisii chip-to-chip de 112 Gbps [50], și pot scala la mai multe niveluri de semnal în viitor.

2.4.2 Convertoare Analog-Digitale

Un modulator ADC $\Sigma\Delta$ necesită circuite analogice mai puțin performante decât alte topologii ADC, bazându-se pe supraeșantionare și prelucrarea digitală a semnalelor în locul componentelor analogice precise. Acest lucru reduce sensibilitatea la rapoarte I_{on}/I_{off} scăzute și rezistența de ieșire limitată. Prin mutarea complexității în domeniul digital, erorile sunt suprimate prin prelucrarea digitală.

Vom examina performanța analogică minimă necesară pentru a atinge o rezoluție de 16 biți la o lățime de bandă de 1 kHz utilizând o topologie $\Sigma\Delta$. Deși rapoartele intrinseci I_{on}/I_{off} ale grafenului sunt modeste (30-100) [1, 14, 51], frecvența sa de tăiere ridicată de 100 GHz [51] sugerează că un raport de supraeșantionare mare poate compensa.

Capitolul 3

Convertor DAC pe 5 biți bazat pe nanopanglici de grafen

Structurile neuronale McCulloch-Pitts combină mai multe intrări sinaptice cu un element de decizie (soma). Propunem un convertor DAC pe 5 biți bazat pe nanopanglici de grafen (GNR), care servește ca element de sumare cu greutate programabile [52]. Acesta utilizează celule de curent unitare bazate pe GNR și un decodor termometric logic bazat pe GNR. Folosind un model MATLAB Verilog-A pentru GNR în analiza SPICE, am selectat geometria celulei și condițiile de polarizare din harta de conductanță a GNR. Comparativ cu o implementare FinFET, DAC-ul bazat pe GNR reduce aria activă de trei ori, menținând în același timp o performanță similară pentru DNL și INL la o tensiune de alimentare de 0.2 V, obținând un DNL de $-0.196 \text{ LSB to } 0.088 \text{ LSB}$ și un INL de $-0.809 \text{ LSB to } 0.364 \text{ LSB}$.

Acest capitol se bazează pe următoarele lucrări originale:

F. -S. Dumitru, N. Cucu-Laurenciu, A. Matei și M. Enachescu, “Graphene Nanoribbons Based 5-Bit Digital-to-Analog Converter,” în IEEE Transactions on Nanotechnology, vol. 20, pp. 248-254, 2021, doi: 10.1109/TNANO.2021.3063602.

3.1 Introducere

Tehnologia CMOS se confruntă cu provocări tot mai mari la dimensiuni atomice, inclusiv consumul static de putere dominant, costurile de fabricație aflate în creștere și fiabilitatea redusă. Alternativele includ dispozitive emergente precum NEMFET-urile [53] și structurile bazate pe grafen (nanopanglici de grafen, GNRs) [54]. Porțile logice bazate pe GNR au demonstrat un potențial de consum de putere de 100x mai redus, o viteză de 6x mai mare și o arie de 100x mai mică decât tehnologia FinFET CMOS de 7 nm [55, 54], deschizând calea pentru neuroni McCulloch-Pitts cu consum redus de putere și viteză mare [56].

Ne concentrăm pe crearea funcțiilor analogice din structuri bazate pe GNR cu intrări digitale, implementând un convertor DAC pe 5 biți bazat pe GNR care oferă greutate sinaptice programabile. Prin maparea conductanței GNR folosind MATLAB și simularea în SPICE cu un model Verilog-A pentru GNR [57–59], am determinat geometria celulei unitare, condițiile de polarizare și am derivat un raport I_{ON}/I_{OFF} de $24.3\times$. DAC-ul rezultat atinge un DNL de -0.196 LSB to 0.088 LSB și un INL de -0.809 LSB to 0.364 LSB la doar 0.2 V, având o rezoluție reală de 5 biți.

3.2 Context

O topologie DAC termometrică este aleasă pentru ieșirea sa garantat monotonică și pentru performanța DNL superioară abordărilor cu greutate binare [60]. Figura 3.1 arată cum o greutate binară $B_0...B_{N-1}$ este convertită într-un cod termometric $D_0...D_{2^N-2}$, care comută $2^N - 1$ surse de curent 'on' sau 'off'. Suma curenților acestora produce ieșirea analogică I_{out} , reflectând cu acuratețe valoarea greutății sinaptice.

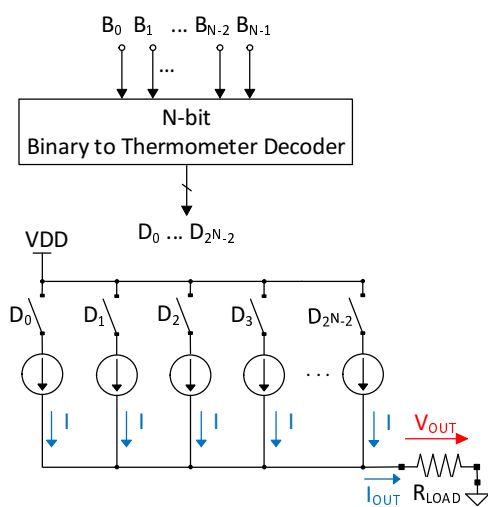


Fig. 3.1 Greutate Sinaptică Programabilă bazată pe DAC

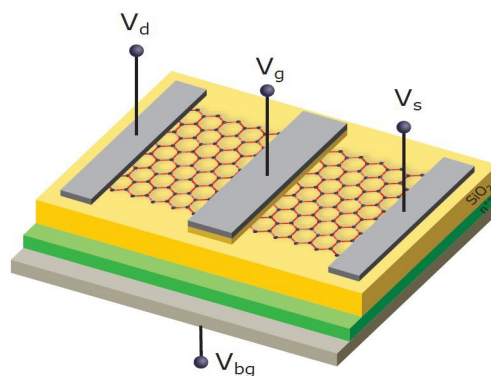


Fig. 3.2 Dispozitiv Fundamental bazat pe Nanopanglici de Grafen [61]

Implementăm greutate sinaptice programabile bazate pe DAC utilizând dispozitivul bazat pe grafen prezentat în Figura 3.2. Acest canal de nanopanglică de grafen (GNR) monostrat, polarizat de V_{ds} , controlează conductanța prin tensiunile aplicate la porți (V_g , V_{bg}), precum și prin parametrii geometriei, prezentați în Figura 3.3. Acești parametri includ lățimea totală a GNR W , lungimea L , lățimea constricției W_c și lungimea L_c , lățimea denivelării W_b și lungimea L_b , lățimea contactului porții superioare $WV_{g1,2}$ și distanțele $PV_{g1,2}$ [2, 54].

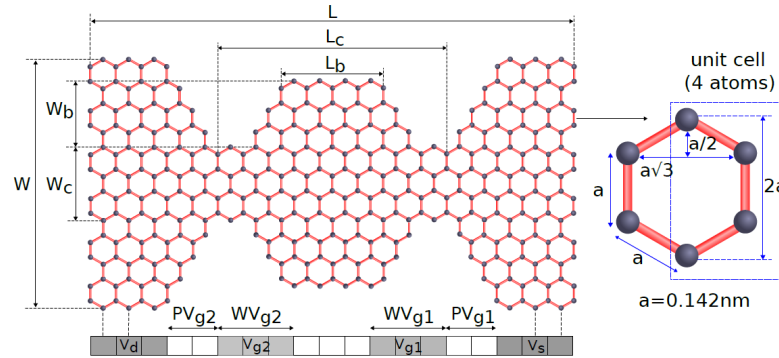


Fig. 3.3 Parametri de Descriere a Geometriei Nanopanglicilor de Grafen [54].

Acest dispozitiv fundamental bazat pe GNR a demonstrat capacitatea de a implementa o varietate de funcționalități, printre care și operații booleene [54]. Pentru a îndeplini o funcționalitate specifică, este utilizată o instanță a unui dispozitiv GNR proiectat în mod specific în funcție de geometria sa [62].

3.3 DAC bazat pe Nanopanglici de Grafen pentru greutate sinaptice programabile

Un DAC termometric de curent necesită $2^N - 1$ celule de curent unitare și un decodor binar-termometric. Deși nu implementăm decodorul aici, porțile logice bazate pe GNR au fost demonstrate [54], permițând implementarea unui decodor bazat pe GNR. Ne concentrăm pe celulele de curent bazate pe GNR, analogi ale surselor de curent CMOS, dar care se bazează pe proprietățile GNR în loc de ecuațiile pătratice ale MOSFET-urilor.

Considerațiile cheie includ curentul de ieșire stabil, rezistența de ieșire ridicată și maximizarea gamei admise a tensiunii de ieșire. Am realizat o explorare a spațiului de proiectare (DSE) pentru geometria GNR, configurația contactelor și polarizare pentru a identifica un dispozitiv cu rezistență de ieșire ridicată și raport I_{ON}/I_{OFF} optim.

Figura 3.4 prezintă sursa de curent propusă bazată pe GNR și circuitul său echivalent. Drena dispozitivului este conectată la $V_{DD} = 0.2$ V, iar sursa sa furnizează curentul I . Două porți, conectate în scurtcircuit, controlează starea „ON”/„OFF”, iar poarta de sub dispozitiv este polarizată la $V_{bg} = 0.3$ V. După o explorare DSE la nivel atomic, am ales geometria GNR prezentată în Figura 3.4 c), cu dimensiuni definite în multipli ai

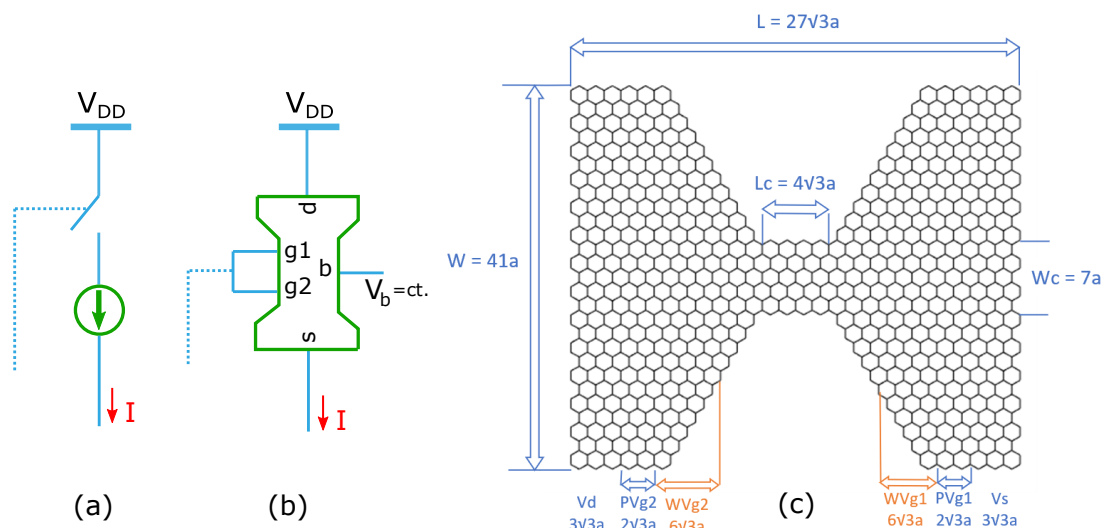


Fig. 3.4 Celula sursă de curent bazată pe grafen:
a) circuit electric echivalent, b) circuitul sursă de curent bazat pe GNR, c) geometria GNR.

distanței dintre atomii de carbon $a = 0.142 \text{ nm}$, asigurând o rezistență de ieșire ridicată și un raport I_{ON}/I_{OFF} adecvat.

Figura 3.5 a) prezintă harta conductanței GNR la $V_{DD} = 0.2 \text{ V}$, $V_{bg} = 0.3 \text{ V}$, cu tensiunile V_{g1}, V_{g2} variind între 0 V și 0.2 V . Când $V_{g1} = V_{g2} = 0.2 \text{ V}$, dispozitivul este „ON” și prezintă conductanță ridicată, iar când $V_{g1} = V_{g2} = 0 \text{ V}$, este „OFF” și prezintă conductanță scăzută.

Aplicarea aceleiași tensiuni la ambele porți produce o variație de conductanță de $24.3 \times$ între 0 V și 0.2 V , așa cum este prezentat în Figura 3.5 b). Variind V_{ds} de la 0 V la 0.2 V , ilustrat în Figura 3.5 c), se arată că pe măsură ce V_{ds} crește, conductanța GNR se stabilizează în jurul valorii de $6 \mu\text{S}$, asemănând comportamentul liniar-saturație al tranzistoarelor CMOS.

Folosind acest dispozitiv GNR, am implementat un DAC pe 5 biți cu 31 de celule de curent acționate de un decodor termometric bazat pe GNR, așa cum este prezentat în Figura 3.1. Operând la $V_{DD} = 0.2 \text{ V}$, curentul de ieșire al DAC curge printr-un rezistor $R_{LOAD} = 2.764 \text{ k}\Omega$, generând tensiunea de ieșire.

3.4 Rezultatele de simulare

3.4.1 DAC pe 5 biți bazat pe Nanopanglici de Grafen

La analiza unui DAC, trebuie considerate următoarele aspecte: (i) rezoluția, evaluată utilizând INL și DNL, și (ii) eroarea de offset. Figura 3.7 prezintă relația dintre codul de intrare al DAC și semnalul analogic de curent de la ieșirea sa, adică caracteristica de transfer.

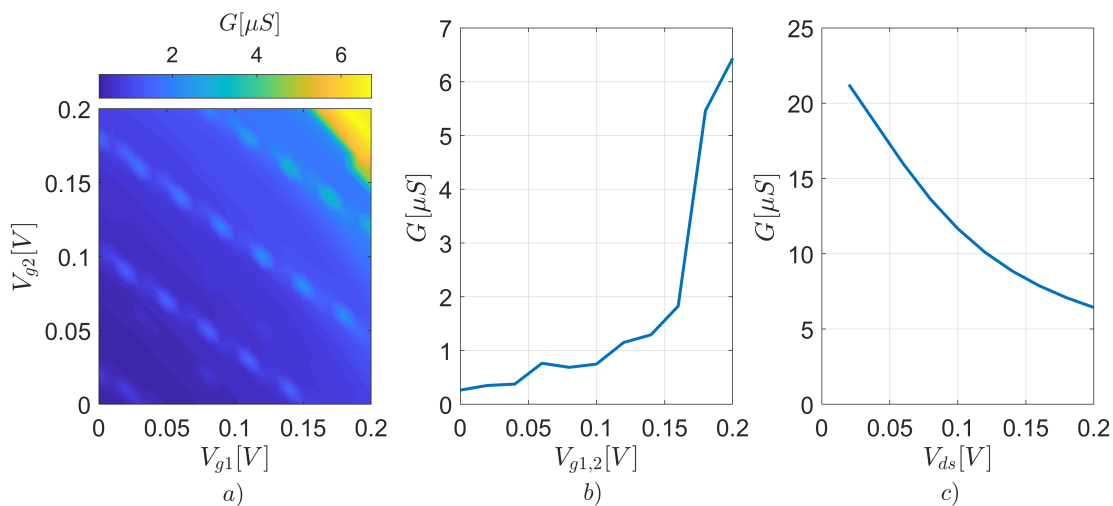


Fig. 3.5 Caracteristicile electrice ale sursei de curent bazată pe grafen: a) Harta conductanței, b) Caracteristica de transfer a conductanței, c) Caracteristica de ieșire a conductanței.

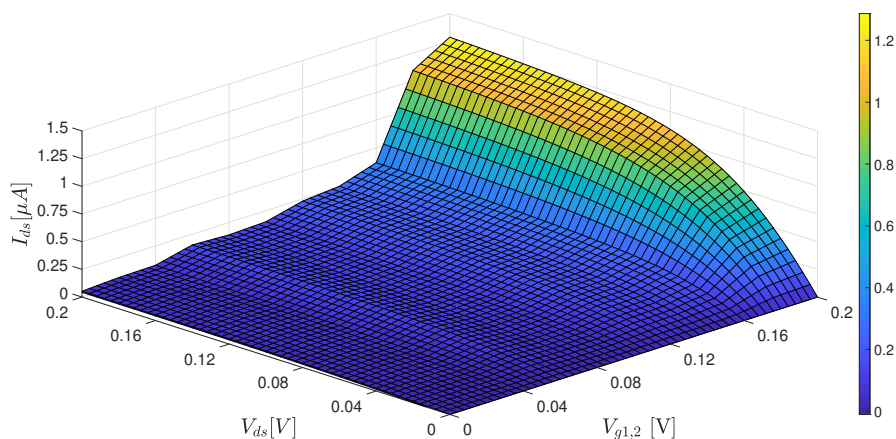


Fig. 3.6 Maparea curentului I_{ds} al dispozitivului GNR în funcție de V_{ds} și $V_{g1,2}$

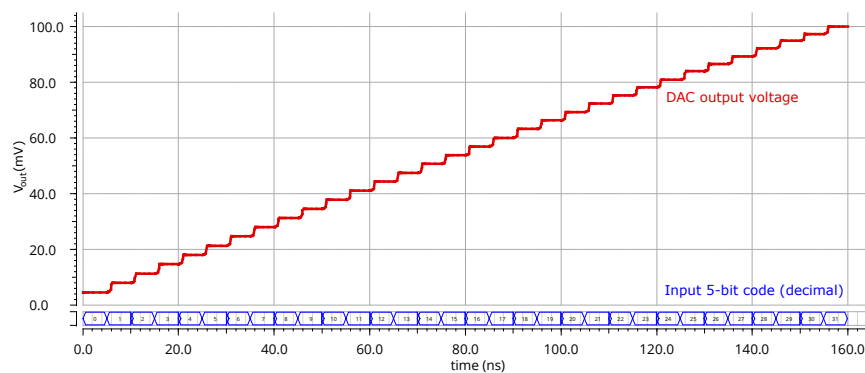


Fig. 3.7 Caracteristica de Transfer a DAC-ului pe 5 biți bazat pe GNR

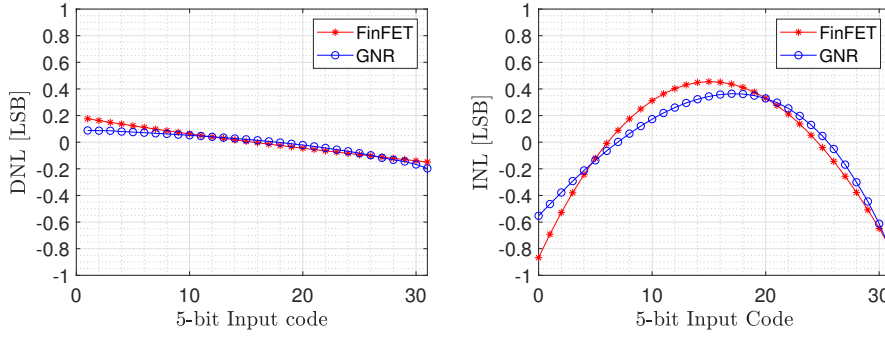


Fig. 3.8 Grafic DNL și INL pentru compararea GNR și FinFET

Rezoluția DAC-ului bazat pe GNR a fost evaluată utilizând DNL și INL derivate din caracteristica de transfer, prezentată în Figura 3.8, cu o LSB de 3.10 mV determinată din Figura 3.7. DNL a variat între -0.196 LSB to 0.088 LSB, iar INL între -0.809 LSB to 0.364 LSB, confirmând comportamentul monoton și rezoluția reală de 5 biți, conform așteptărilor pentru un DAC termometric [60].

3.4.2 Compararea implementărilor de convertor DAC bazate pe GNR și pe FinFET 7 nm

Comparând implementările DAC pe 5 biți bazate pe GNR și FinFET prezentate în Figura 3.8 și Tabelul 3.1, ambele prezintă un nivel de liniaritate asemănător. Designul bazat pe FinFET atinge un $DNL = -0.148$ LSB to 0.176 LSB și $INL = -0.796$ LSB to 0.454 LSB cu un offset de 0.11 mV, în timp ce DAC-ul bazat pe GNR prezintă o variație ușor mai bună a INL. În condiții identice, sursa de curent GNR variază I_{ds} cu 9 %, comparativ cu 15 % pentru FinFET, indicând o rezistență de ieșire mai mare a GNR la tensiuni ultra-joase.

Table 3.1 Compararea DAC-ului bazat pe GNR cu DAC-ul bazat pe FinFET de 7 nm

	INL_{min} [LSB]	INL_{max} [LSB]	DNL_{min} [LSB]	INL_{max} [LSB]	Arie [nm ²]
FinFET	-0.796	0.454	-0.148	0.176	3255
GNR	-0.809	0.364	-0.196	0.088	1199

3.5 Concluzii

Prin utilizarea dispozitivelor bazate pe nanopanglici de grafen (GNR), am implementat un DAC pe 5 biți pentru greutatea sinaptice programabile în neuroni McCulloch-Pitts, obținând o funcționare la tensiuni ultra-joase (0.2 V) și o reducere de trei ori a ariei active comparativ cu o variantă FinFET.

Capitolul 4

Rețea Neurală McCulloch-Pitts bazată pe Nanopanglici de Grafen

În domeniul aflat în rapidă dezvoltare al inteligenței artificiale (AI) și învățării automate (ML), introducem o implementare MCPN bazată pe nanopanglici de grafen (GNR), cu consum redus de putere, viteză mare, semnal mixt, greutate sinaptice programabile și intrări inhibitoare [63]. MCPN-ul cuprinde un element de sumare ponderată și un element de decizie (soma). Utilizăm trei dispozitive GNR non-rectangulare ca sursă de curent, comutatoare de tip low-side și high-side, în timp ce sinapsele excitatorii și inhibitoare programabile utilizează celule SRAM și porți logice bazate pe GNR. Funcția de activare a pragului soma este realizată printr-un lanț de inversoare GNR cu un prag ajustabil printr-o sarcină rezistivă configurabilă. Comparativ cu un design FinFET pentru o sarcină de recunoaștere a unui model de pixeli 5x5, implementarea noastră GNR utilizează de $3.5\times$ mai puțină putere, este de $20\times$ mai rapidă și ocupă de $3\times$ mai puțină arie activă.

Acest capitol se bazează pe următoarele lucrări originale:

F. -S. Dumitru, M. Enachescu, A. M. Antonescu, N. Cucu-Laurenciu și S. D. Cotofana, “Graphene Nanoribbon Based McCulloch-Pitts Neural Network,” 2024 IEEE 24th International Conference on Nanotechnology (NANO), Gijon, Spania, 2024, pp. 592-597, doi: 10.1109/NANO61778.2024.10628801.

4.1 Introducere

Neuronul McCulloch-Pitts este o unitate simplă de decizie binară care modelează un neuron biologic. După cum este prezentat în Ecuția 4.1, dacă suma ponderată a intrărilor excitatorii x_i (cu greutatea w_i) depășește un prag θ , ieșirea este 1, în caz contrar 0.

$$f(x_1, \dots, x_n) = \begin{cases} 1 & \text{dacă } \sum_{i=1}^n w_i \cdot x_i \geq \theta \\ 0 & \text{altfel} \end{cases} \quad (4.1)$$

Modelul complet al rețelei neuronale McCulloch-Pitts (MCPN) extinde Ecuția 4.1 prin includerea existenței intrărilor inhibitoare, efectul acestora fiind descris în Ecuția 4.2, unde $y_i = \{0, 1\}$ reprezintă intrările inhibitoare. Observăm că activarea chiar și a unei singure intrări inhibitoare va forța ieșirea neuronului să fie 0.

$$\tilde{f}(x_1, \dots, x_n; y_1, \dots, y_m) = f(x_1, \dots, x_n) \cdot \prod_{j=1}^m (1 - y_j) \quad (4.2)$$

4.2 Rețea Neurală McCulloch-Pitts bazată pe GNR

Fiecare sinapsă din MCPN-ul nostru poate fi excitatoare, cu greutate 0 sau 1, sau inhibitoare, necesitând deci doi biți de configurare. Datele de configurare sunt încărcate în SRAM la pornirea alimentării și actualizate după necesitate.

Sinapsa configurabilă bazată pe GNR (dreptunghiul verde în Figura 4.4) include trei dispozitive GNR: GNR_{DOWN} (comutator low-side), GNR_{ISRC} (sursă de curent) și GNR_{UP} (comutator high-side). Geometriile acestora sunt detaliate în Tabelul 4.1 și ilustrate în Figurile 4.1b și 4.1c, iar caracteristicile de transfer și ieșire sunt prezentate în Figura 4.2.

GNR_{UP} funcționează ca un comutator PMOS, prezentând o rezistență ridicată când poarta este la VDD și o rezistență scăzută la GND. Este controlat de o poartă NAND cu 2 intrări bazată pe GNR, cu intrări de la starea pixelului și greutatea sinaptică stocată în matricea SRAM bazată pe GNR. Dacă ambele intrări sunt '1', GNR_{UP} se închide.

În mod similar, GNR_{DOWN} acționează ca un comutator NMOS, prezentând rezistență ridicată la GND și rezistență scăzută la VDD. Este acționat de o poartă AND cu 2 intrări bazată pe GNR, cu intrări de la starea pixelului și bitul inhibitor din matricea SRAM bazată pe GNR. Dacă ambele intrări sunt '1', GNR_{DOWN} se închide.

4.2.1 Elementul de sumare bazat pe GNR

O reprezentare simplificată, pentru un singur rând de pixeli, a elementului de sumare propus bazat pe GNR și a echivalentului său FinFET este ilustrată în Figura 4.3. Ten-

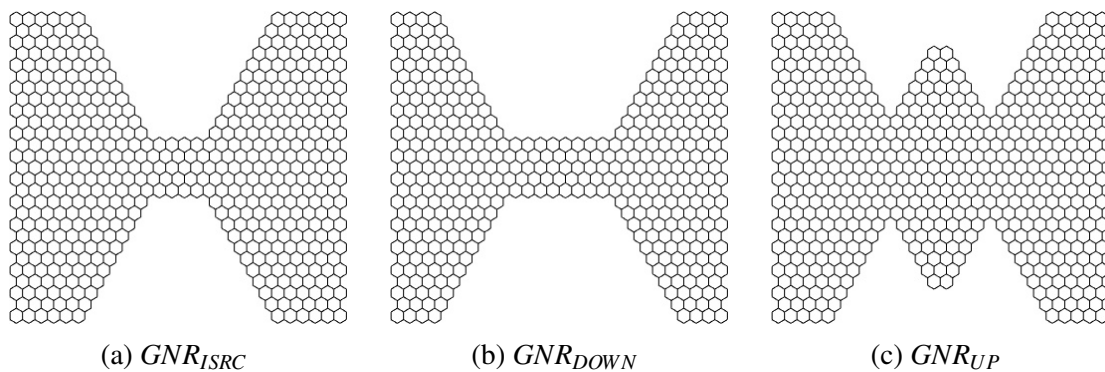


Fig. 4.1 Topologii de dispozitive neuronale bazate pe GNR
a) Sursa de curent GNR, b) Comutator low-side GNR, și c) Comutator high-side GNR

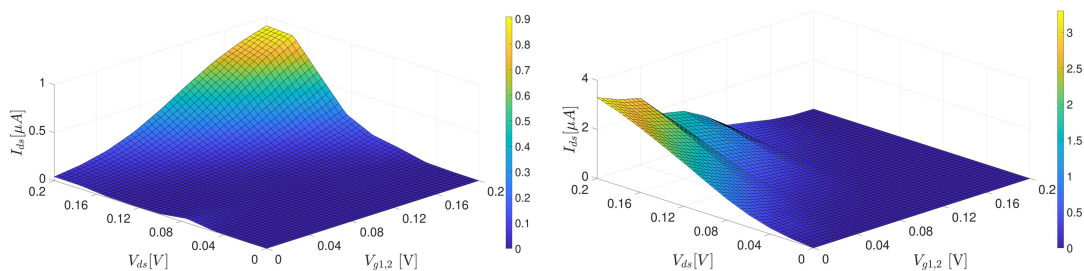


Fig. 4.2 Redare 3-D combinată a caracteristicilor de transfer și ieșire pentru dispozitivele GNR_{DOWN} (stânga) și GNR_{UP} (dreapta)

siunea nominală a dispozitivelor din circuitul bazat pe GNR corespunde unei VDD de 0.2 V, în timp ce în cazul circuitului FinFET VDD este 0.7 V.

În implementarea bazată pe GNR, fiecare pixel este gestionat de trei dispozitive analogice și două porți logice, repetate de cinci ori pentru a procesa un simbol de 5x5 pixeli cu neuronul nostru analogic. În contrast, echivalentul FinFET din Figura 4.3b folosește o configurație similară, dar include un PMOS conectat ca diodă, polarizat la un curent constant, pentru a polariza dispozitivele sursă de curent PMOS.

Dispozitivul GNR_{ISRC} acționează ca o sursă de curent atunci când poarta sa este la VDD și trece la o rezistență ridicată la GND (Figura 4.1a). Pentru a reduce curgerea curentului în starea „off”, un dispozitiv GNR_{UP} este adăugat în serie. Spre deosebire de CMOS, dispozitivul GNR_{ISRC} nu necesită un dispozitiv de referință și poate fi acționat de porți logice sau direct de VDD.

În cadrul elementului de sumare, curenții sinapselor excitatoare trec prin R_{LOAD} pentru a genera semnalul $SOMMA_{OUT}$. Dacă există sinapse inhibitoare active, acestea scurtcircuitează R_{LOAD} , prevenind ca $SOMMA_{OUT}$ să depășească pragul de activare. Această abordare analogică valorifică viteza ridicată a dispozitivelor GNR pentru a obține răspunsuri rapide în MCPN, spre deosebire de alți neuroni bazate pe GNR care operează la scări temporale de ordinul milisecundelor [64–66].

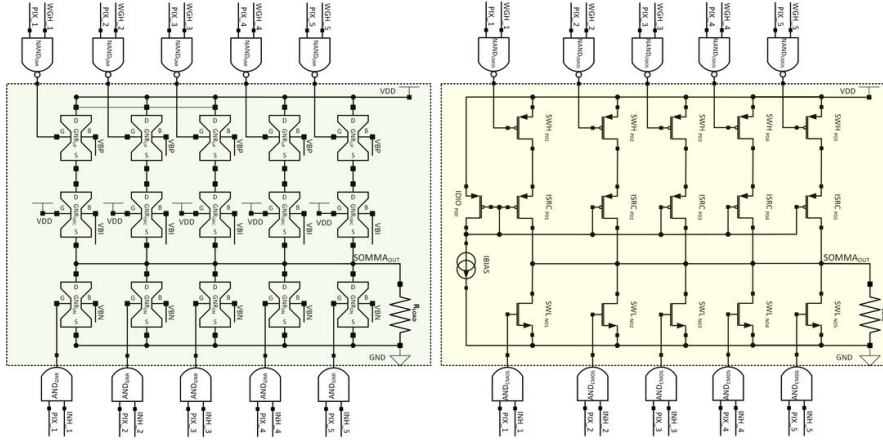


Fig. 4.3 Implementarea elementului de sumare analogică pentru un singur rând de 5 pixeli: a) GNR (stânga) b) FinFET (dreapta)

Table 4.1 Dimensiunile structurilor neuronale bazate pe GNR

	(W, L)	(W_c, L_c)	(W_b, L_b)	(P_{VG}, W_{VG})
GNR_{ISRC}	$(41, 27\sqrt{3})$	$(8, 4\sqrt{3})$	$(0, 0)$	$(2\sqrt{3}, 6\sqrt{3})$
GNR_{UP}	$(41, 27\sqrt{3})$	$(14, 8\sqrt{3})$	$(9, 2\sqrt{3})$	$(12\sqrt{3}, 6\sqrt{3})$
GNR_{DOWN}	$(41, 27\sqrt{3})$	$(8, 8\sqrt{3})$	$(0, 0)$	$(3\sqrt{3}, 6\sqrt{3})$

4.2.2 Circuitul de funcție de activare bazat pe GNR

În MCPN-ul nostru analogic, ilustrat în Figura 4.4b), un lanț de inversoare creează o funcție de activare de tip prag, generând ieșirea 1 când suma ponderată depășește θ și 0 în caz contrar, cu o întârziere de aproximativ 4 ps între semnalele de intrare și ieșire. Pentru a acomoda un număr variabil de pixeli activi, θ trebuie să fie configurabil. În loc de un prag fix, ajustăm R_{LOAD} deoarece $SOMMA_{OUT} = I_{TOT} \cdot R_{LOAD} = \theta$. Această configurabilitate este realizată prin reutilizarea decodului termometric din [52] împreună cu un șir de rezistoare, inserând comutatoare GNR_{DOWN} între GND și fiecare nod al rezistorului pentru a varia liniar R_{LOAD} .

4.2.3 Implementarea neuronului bazat pe GNR

Implementarea GNR-MCPN este ilustrată în Figura 4.4. Fiecare neuron constă din 25 de sinapse conectate la nodul $SOMMA_{OUT}$ și două celule SRAM (una pentru greutatea excitatoare și alta pentru configurațiile inhibitoare), totalizând 50 de celule SRAM per neuron.

Un neuron este activat atunci când suficiente sinapse excitatoare cu greutatea 1 generează un curent total I_{TOT} , care înmulțit cu R_{LOAD} depășește pragul θ . În schimb, orice sinapsă inhibitoare activă forțează ieșirea neuronului la zero.

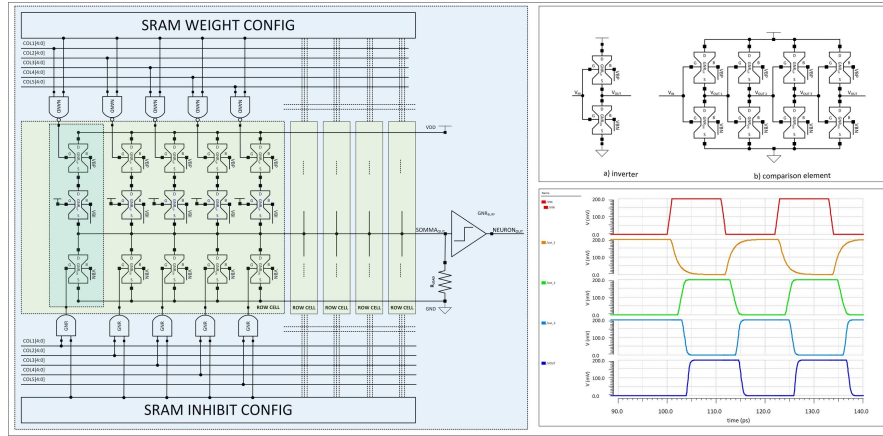


Fig. 4.4 McCulloch-Pitts neuronbazat pe GNR

Deși MCPN-urile sunt limitate la intrări și greutăți binare, ele sunt potrivite pentru aplicații precum detectarea modelelor alb-negru. Implementarea greutăților sinaptice pe 5 biți necesită stocarea a 1.550 de biți pentru un neuron cu 25 de sinapse. În plus, fiecare neuron utilizează 25 de structuri de surse de curent, comparativ cu cele 31 utilizate în DAC-ul pe 5 biți din [52].

4.2.4 Rețea neurală bazată pe GNR

Rețeaua neurală utilizată constă dintr-un singur strat complet conectat, cu cinci neuroni, fiecare configurat independent pentru a detecta modele de vocale. Deși topologia sa simplă limitează calitatea recunoașterii, aceasta demonstrează eficient capacitatea MCPN-ului bazat pe GNR de a recunoaște caractere. Această rețea complet conectată, cu un singur strat și greutăți binare, necesită 250 de biți SRAM pentru configurare.

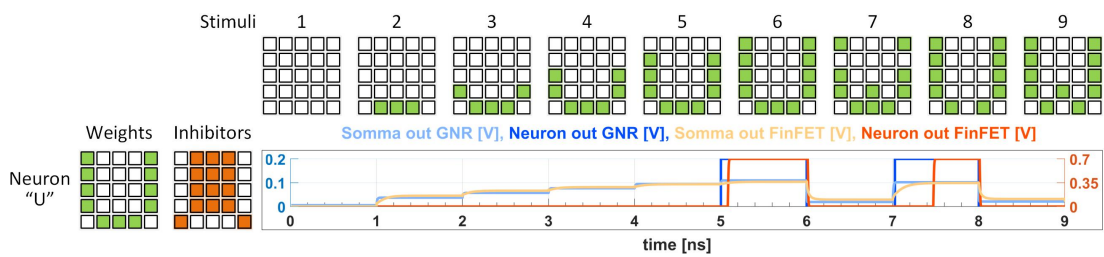


Fig. 4.5 Configurare, stimuli și forme de undă de intrare pentru evaluarea vocalei 'U'

4.3 Rezultatele de simulare

Pentru a valida MCPN-ul bazat pe GNR, am simulat un neuron configurat pentru a detecta vocala 'U' (Figura 4.5). Configurația neuronului este prezentată în partea stângă, matricea *Weight* reprezentând intrările excitatorii (verde = 1, alb = 0), iar matricea

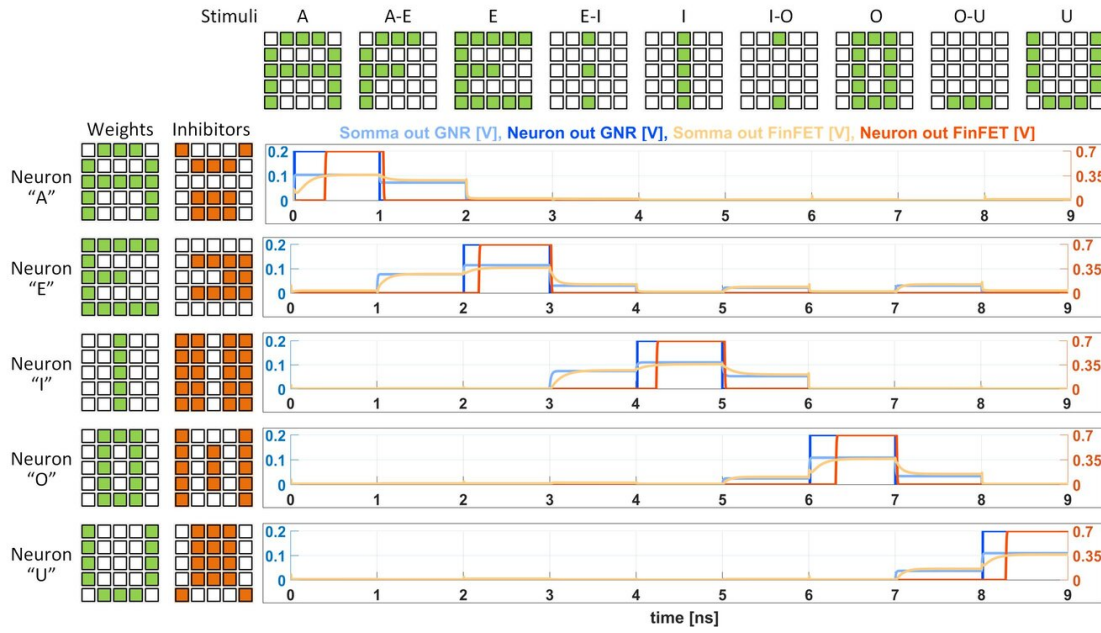


Fig. 4.6 Configurare, stimuli și forme de undă pentru evaluarea tuturor vocalelor

Inhibitors reprezentând intrările inhibitoare (portocaliu = 1, alb = 0). Rețeaua procesează pixeli monocromatici cu un singur nivel.

În timpul simulării, un model de intrare de pixeli 5x5 trece prin nouă faze (partea de sus a Figurei 4.5). Ieșirea analogică a elementului de sumare crește pe parcursul primelor șapte tipare (formele de undă $Somma_{out}GNR$ și $Somma_{out}FinFET$). La tiparul șase, pragul θ este depășit, ceea ce face ca $Neuron_{out}GNR$ și $Neuron_{out}FinFET$ să treacă la nivel ridicat cu 11 pixeli activi. Tiparele șapte și nouă activează pixeli inhibitori, reducând ieșirea elementului de sumare. Tiparul opt, cu 10 pixeli activi, atinge pragul de detecție. Astfel, pragul pentru 'U' se află între 9 și 10 pixeli activi dintr-un total de 11.

Validăm rețeaua neurală aplicând vocale alternante și simboluri intermediare la fiecare 1 ns, așa cum este prezentat în Figura 4.6. Neuronul bazat pe GNR comută în 8 ps to 20 ps, aproximativ de $20\times$ mai rapid decât FinFET-ul, care comută în 140 ps to 360 ps. Cu curenți de polarizare egali, abordarea bazată pe GNR obține o eficiență energetică de $3.5\times$ mai bună datorită tensiunii de funcționare mai scăzute. În plus, designul bazat pe GNR ocupă aproximativ $3\times$ mai puțină arie activă pentru partea analogică și $9\times$ mai puțină pentru SRAM și logica de control, comparativ cu FinFET.

4.4 Concluzii

În acest capitol, am demonstrat un MCPN bazat pe GNR care oferă un consum de putere de $3.5\times$ mai mic, o viteză de $20\times$ mai mare și o arie activă de $3\times$ mai redusă comparativ cu echivalentul analogic bazat pe FinFET de 7 nm într-o aplicație de recunoaștere a simbolurilor folosind o rețea neurală, și o arie de $9\times$ mai mică atunci când sunt luate în considerare SRAM și porțile logice.

Capitolul 5

Oscilator în inel cu limitarea curentului bazat pe nanopanglici de grafen și consum ultra-redus de putere

În contextul cererii sporite pentru designuri cu consum ultra-redus de putere, proprietățile grafenului—transport balistic, flexibilitate și biocompatibilitate—îl fac un material ideal pentru nanoelectronică. În [67], am investigat un oscilator inel cu curent limitat bazat pe GNR, valorificând funcționarea ultra-redusă a tensiunii și capacitățile intrinseci din domeniul attofarazilor ale GNR-urilor. Rezultatele arată o frecvență de ieșire cu $1.89\times$ mai mare, un consum de putere cu $553.8\times$ mai mic și o eficiență energetică îmbunătățită cu $812\times$ comparativ cu abordările convenționale.

Acest capitol se bazează pe următoarele publicații originale:

F. -S. Dumitru, M. Enachescu, A. Antonescu, N. Cucu-Laurenciu și S. Cotofana, “Ultra-Low-Power Graphene-Nanoribbons-Based Current-Starved Ring Oscillator,” 2024 International Semiconductor Conference (CAS), Sinaia, România, 2024, pp. 167-170, doi: 10.1109/CAS62834.2024.10736700

5.1 Introducere

Într-un oscilator în inel simplu, frecvența f este determinată de numărul de etape N și de timpul de propagare pe etapă t_d (Ecuția 5.1). În plus, consumul de putere poate fi estimat folosind capacitatea de sarcină a inversoare C_L , factorul de activitate α și tensiunea de alimentare V_{supply} (Ecuția 5.2).

$$f = \frac{1}{2 \cdot N \cdot t_d} \quad (5.1)$$

$$P = \alpha \cdot N \cdot C_L \cdot V_{supply}^2 \cdot f \quad (5.2)$$

Principalul dezavantaj al acestei implementări este variabilitatea indusă de t_d asupra frecvenței de oscilație, care va varia linear cu V_{supply} și nelinier prin curenții de drenaj I_{PMOS} și I_{NMOS} față de variațiile de proces, temperatură și V_{supply} , așa cum este prezentat în Ecuția 5.3.

$$t_d \approx \ln(2) \cdot \frac{C_L \cdot V_{supply}}{2} \cdot \left(\frac{1}{I_{PMOS} + I_{NMOS}} \right) \quad (5.3)$$

Variabilitatea timpului de propagare este redusă folosind tehnica de limitare a curen-
tului, care impune un curent maxim I_{bias} prin tranzistoarele inversoarelor folosind o sursă
de curent în serie (Ecuția 5.4), în timp ce consumul de putere este calculat în continuare
folosind Ecuția 5.2.

$$f = \frac{I_{bias}}{2 \cdot N \cdot C_L \cdot V_{supply}} \quad (5.4)$$

Un set de trei geometrii GNR, capabile să îndeplinească rolurile de sursă de curent,
comutator low-side și comutator high-side [63], este ilustrat în Figura 5.1. Structurile
geometrice exacte, identificate prin evaluări iterative ale hărților de conductanță [54],
sunt detaliate în Tabelul 5.1.

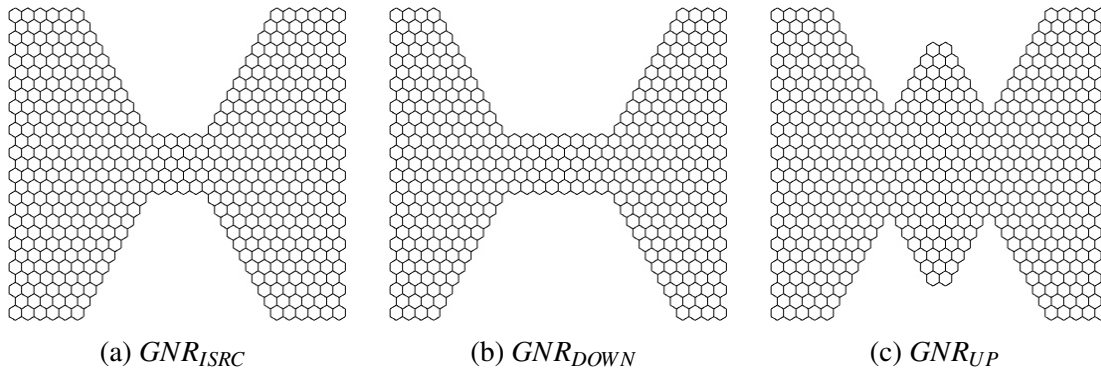


Fig. 5.1 Topologii de dispozitive pentru oscilator în inel bazat pe GNR [63]
a) Sursa de curent GNR, b) Comutator low-side GNR, și c) Comutator high-side GNR

Table 5.1 Dimensiuni ale structurilor GNR pentru oscilatorul îninel bazat pe GNR [63]

	(W, L)	(W_c, L_c)	(W_b, L_b)	(P_{VG}, W_{VG})
GNR_{ISRC}	$(41, 27\sqrt{3})$	$(8, 4\sqrt{3})$	$(0, 0)$	$(2\sqrt{3}, 6\sqrt{3})$
GNR_{UP}	$(41, 27\sqrt{3})$	$(14, 8\sqrt{3})$	$(9, 2\sqrt{3})$	$(12\sqrt{3}, 6\sqrt{3})$
GNR_{DOWN}	$(41, 27\sqrt{3})$	$(8, 8\sqrt{3})$	$(0, 0)$	$(3\sqrt{3}, 6\sqrt{3})$

5.2 Proiectarea unui oscilator îninel bazat pe GNR cu limitarea curentului

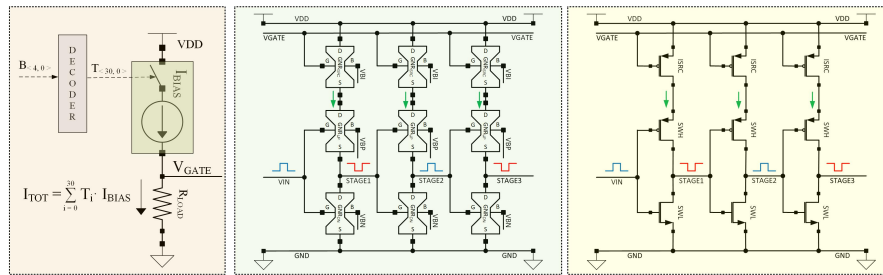


Fig. 5.2 a) DAC pe 5 biți (stânga) pentru reglarea frecvenței b) Secțiuni ale oscilatorului îninel bazate pe GNR (mijloc) și FinFET (dreapta)

Stagiile oscilatorului îninel care utilizează dispozitive GNR și FinFET împreună cu un DAC pe 5 biți pentru reglarea frecvenței sunt prezentate în Figura 5.2. DAC-ul este esențial deoarece dispozitivele GNR nu prezintă o defazare de 180° la frecvențe joase, ceea ce împiedică utilizarea oglinzilor de curent tradiționale. În schimb, modulăm curentul dispozitivului GNR conducând poarta acestuia cu ieșirea DAC-ului [52].

Implementarea completă a oscilatorului îninel bazat pe GNR cu curent limitat este prezentată în Figura 5.3 și este compusă din 8 stagii asemănătoare inversoarelor. Ultima defazare de 180° este asigurată de o poartă NAND bazată pe GNR, care constituie semnalul de activare al circuitului. Frecvența oscilatorului poate fi modulată ajustând codul de intrare al DAC-ului de curent, care reglează la rândul său tensiunea de poartă a dispozitivului sursă de curent.

5.3 Rezultatele de simulare

Figura 5.4 prezintă comparația intervalului de frecvență, consumului de putere și eficienței energetice pentru ambele oscilatoare, în funcție de diferite coduri de intrare ale DAC-ului.

Am limitat intervalul codurilor de intrare ale DAC-ului pentru a menține PMOS-ul FinFET în afara regiunilor liniare și de tăiere, asigurând limitarea eficientă a curentului. Tabelul 5.2 arată că oscilatoarele îninel bazate pe GNR și FinFET de 7 nm au frecvențe

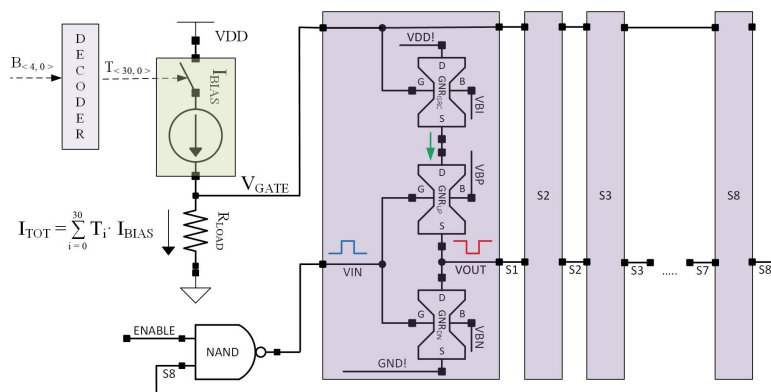


Fig. 5.3 Schemă simplificată a oscilatorului în inel bazat pe GNR cu curent limitat

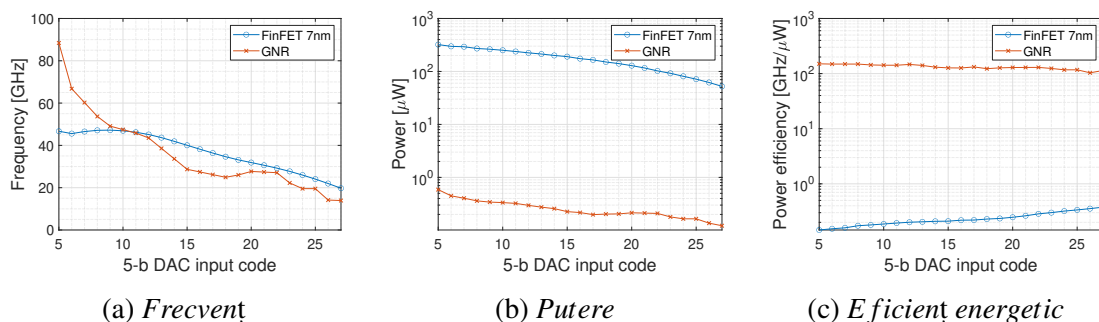


Fig. 5.4 Comparația performanței oscilatoarelor în inel bazate pe GNR și 7 nm FinFET:
a) frecvență, b) putere, c) eficiență energetică

similare, în principal datorită curentului scăzut al GNR-ului de 1.2 μA . Totuși, oscilatorul GNR obține un consum de putere cu aproape trei ordine de mărime mai mic și o eficiență energetică cu trei ordine de mărime mai mare decât versiunea FinFET, datorită capacităților parazite mai mici, în ciuda frecvențelor comparabile.

Table 5.2 Rezultate pentru oscilatoarele în inel bazate pe GNR și FinFET

	Frecvență [GHz]	Consum de putere [μW]	Eficiență energetică [GHz/ μW]
FinFET	19.7 - 46.7	52.2 - 321.2	0.14 - 0.40
GNR	13.9 - 88.4	0.12 - 0.58	113.7 - 150.4

5.4 Concluzii

Am explorat utilizarea nanopanglicilor de grafen (GNR) pentru a crea oscilatoare interne de înaltă frecvență și consum ultra-redus de putere pentru circuite integrate multi-tehnologice. Comparativ cu o implementare bazată pe FinFET de 7 nm, designul bazat pe GNR a obținut o frecvență de ieșire cu $1.89\times$ mai mare, un consum de putere redus cu $553.8\times$ și o eficiență energetică îmbunătățită de $812\times$.

Capitolul 6

Impactul segmentării asupra performanței DAC-urilor cu ieșire în curent

Acest capitol prezintă rezultatele din [68, 69] privind impactul segmentării asupra neliniarității diferențiale (DNL) și neliniarității integrale (INL) într-un DAC diferențial cu curent dirijat pe 10 biți, fabricat utilizând un proces CMOS de 40 nm, 2.5 V. Prin simularea tuturor nivelurilor de segmentare între implementările binare și termometrice, am obținut îmbunătățiri ale DNL de la -0.467 LSB to 0.474 LSB până la -0.024 LSB to 0.026 LSB, în timp ce INL a rămas aproape constantă la -0.376 LSB to 0.345 LSB. DAC-ul a furnizat un curent diferențial de ieșire de ± 1 mA ocupând o arie activă analogică de 0.01 mm^2 . Toate variantele de decodare necesare pentru a controla componentele analogice ale DAC-ului au fost implementate fizic, iar zonele lor sunt documentate în Tabelul 6.5. În plus, rezultatele teoretice ale DNL și INL au fost validate prin simulări Monte Carlo, menținând o acuratețe în limita unei marje de eroare de 30 % pentru toate arhitecturile DAC segmentate pe 10 biți.

Acest capitol se bazează pe următoarele publicații originale:

F. -S. Dumitru, C. R. Ilie, M. Bodea și M. Enachescu, “Exploring the effect of segmentation on a 10-bit DAC,” Romanian Journal of Information Science and Technology, vol. 24, no. 2, pp. 129-142, 2021.

F. -S. Dumitru, C. R. Ilie și M. Enachescu, “Exploring the Effect of Segmentation on INL and DNL for a 10-bit DAC,” 2020 International Semiconductor Conference (CAS), Sinaia, România, 2020, pp. 161-164, doi: 10.1109/CAS50358.2020.9268011.

6.1 Introducere

Pentru a estima eficient neliniaritatea diferențială (DNL) și neliniaritatea integrală (INL) fără simulări extensive Monte Carlo, în special pentru convertoarele complet termometrice, utilizăm o metodă bazată pe variația surselor de curent unitar [70]. În [71], am explorat toate combinațiile de segmentare pentru un DAC pe 10 biți. Acest capitol extinde acea lucrare prin: (i) detalierea suprafeței ocupate de fiecare variantă de decodor pentru a înțelege compromisurile între DNL și suprafața cipurilor, (ii) prezentarea graficelor DNL și INL pentru toate cele 10 variante de DAC și (iii) determinarea valorilor RMS pentru DNL și INL pentru a evalua acuratețea metodei de nepotrivire a surselor de curent unitar. Analiza noastră a arătat erori relative de -30.70% to -11.55% pentru DNL și -29.57% to -17.43% pentru INL.

6.2 Arhitecturi și caracteristici ale DAC-urilor

6.2.1 Arhitectura ponderată binar

Într-un DAC ponderat binar, curentul de ieșire este suma surselor de curent ponderate binar care scalează curentul unitar I_U (Ecuația 6.1), cu D_1 ca cel mai puțin semnificativ bit (LSB) și D_N ca cel mai semnificativ bit (MSB). Aceste DAC-uri se confruntă cu două probleme principale: (i) cerințe stricte de împerechere pentru monotonicitate și (ii) impulsuri glitch semnificative atunci când se comută multe celule unitare (MSBs) [72]. Deși implementările codului Gray sunt posibile [73], acestea se bazează tot pe surse ponderate binar, conducând la o performanță slabă a DNL.

$$I_{out} = \sum_{i=1}^N 2^{i-1} \cdot I_u \cdot D_i \quad (6.1)$$

6.2.2 Arhitecturi segmentate

Segmentarea abordează dezavantajele DAC-urilor ponderate binar utilizând același număr de celule unitare de curent. Această metodă minimizează salturile la tranzițiile majore prin activarea unei celule termometrice suplimentare și menținerea surselor anterioare active, în loc să dezactiveze grupuri de surse de curent. De obicei, sunt utilizate 4 până la 7 biți termometrici [74–76] pentru a echilibra performanța DNL și congestia de rutare. Numărul optim depinde de dimensiunea surselor de curent și de nodul tehnologic. Figura 6.1 ilustrează un DAC parțial segmentat cu 4 MSBs traduse în coduri termometrice. Tabelul 6.1 detaliază numărul și ponderile surselor de curent pentru fiecare arhitectură DAC. Convenția de denumire din acest capitol indică numărul de biți ponderați binar (B) urmat de numărul de biți termometrici (T) pentru fiecare implementare DAC.

Table 6.1 Distribuția surselor de curent în funcție de diverse arhitecturi DAC

$\begin{matrix} I_{SRC} \\ \text{DAC} \end{matrix}$	1x	2x	4x	8x	16x	32x	64x	128x	256x	512x
10B00T (binar)	1	1	1	1	1	1	1	1	1	1
08B02T (hibrid)	1	1	1	1	1	1	1	1	3	0
07B03T (hibrid)	1	1	1	1	1	1	1	7	0	0
06B04T (hibrid)	1	1	1	1	1	1	15	0	0	0
05B05T (hibrid)	1	1	1	1	1	31	0	0	0	0
04B06T (hibrid)	1	1	1	1	64	0	0	0	0	0
03B07T (hibrid)	1	1	0	127	0	0	0	0	0	0
02B08T (hibrid)	1	1	255	0	0	0	0	0	0	0
01B09T (hibrid)	1	511	0	0	0	0	0	0	0	0
00B10T (unar)	1023	0	0	0	0	0	0	0	0	0

Suma numărului de celule utilizate în oricare dintre implementările de mai sus va fi întotdeauna 1023 celule unitare de curent (00B10T); prin urmare, aria analogică activă este invariabilă față de gradul de segmentare ales.

6.2.3 Efectul segmentării asupra DNL și INL

Gradul de segmentare influențează semnificativ DNL, deoarece arhitecturile segmentate moștenesc parțial monotonicitatea inherentă DAC-urilor termometrice [72]. Totuși, INL nu este afectat de segmentare [77] deoarece provine din nepotrivirile aleatorii ale surselor de curent, indiferent de aranjamentul sau strategia de decodare.

Conform [77], Tabelul 6.2 prezintă ecuațiile deviațiilor standard pentru DNL și INL în arhitecturi DAC binare, termometrice și parțial segmentate. Aici, σ_ϵ reprezintă deviația standard a sursei unitare de curent în LSB-uri, B_1 numărul de biți binari, iar B rezoluția DAC-ului. Evaluăm în continuare acuratețea acestor formule în tehnologiile submicronice.

Table 6.2 Ecuatii pentru deviația standard a DNL și INL în diverse arhitecturi DAC

	Ponderat binar	Complet termometric	Parțial segmentat
σ_{DNL}	$2^{\frac{B}{2}} \times \sigma_{\epsilon}$	σ_{ϵ}	$2^{\frac{B_1+1}{2}} \times \sigma_{\epsilon}$
σ_{INL}	$2^{\frac{B}{2}-1} \times \sigma_{\epsilon}$	$2^{\frac{B}{2}-1} \times \sigma_{\epsilon}$	$2^{\frac{B}{2}-1} \times \sigma_{\epsilon}$

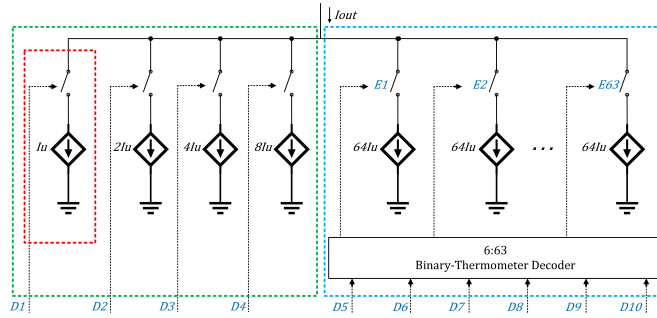


Fig. 6.1 Arhitectură parțial segmentată:
04B06T celulă unitară de curent (roșu), celule ponderate binar (verde), celule segmentate (albastru)

6.3 Variantele DAC-urilor cu comutare de curent pe 10 biți

6.3.1 Implementarea matricei de surse de curent analogice

Pentru a valida formulele din Tabelul 6.2 pentru DAC-uri pe 10 biți în tehnologiile submicronice, am explorat toate topologiile segmentate din Tabelul 6.1. Pentru fiecare caz de segmentare, am implementat atât matricea de surse de curent analogice, cât și controlorul digital corespunzător, pentru a evalua performanța acestora.

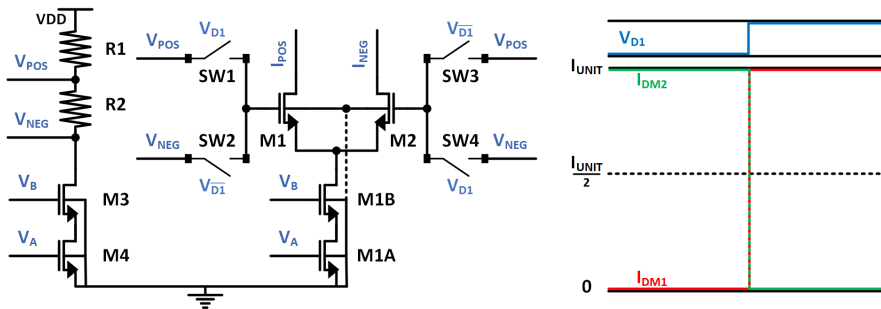


Fig. 6.2 Celula unitară de curent

Pentru a gestiona neîmperecherea surselor de curent unitare, care afectează performanța DNL și INL a DAC-ului, proiectanții pot ajusta aria dispozitivelor și tensiunea de saturație. Deviația standard a curentului de ieșire, σ_{ϵ} , este proporțională cu $(W \cdot L)^{-1/2}$ și $(V_{GS} - V_{TH})^{-1}$ pentru dispozitivul sursă de curent M_{1A} (Figura 6.2), conform Ecuatiei 6.2.

$$\left(\frac{\sigma_\varepsilon}{I_u}\right)^2 = \frac{4 \cdot A_{VTH}^2}{W \cdot L \cdot (V_{GS} - V_{TH})^2}, \quad (6.2)$$

unde A_{VTH} este o constantă tehnologică.

Segmentarea îmbunătățește semnificativ DNL prin păstrarea monotonicității inerente DAC-urilor termometrice în porțiunea segmentată [72]. Totuși, INL rămâne neafectat, deoarece acesta provine din nepotrivirile aleatorii ale surselor de curent, indiferent de aranjament [77]. Tabelul 6.2 prezintă ecuațiile deviației standard pentru DNL și INL în arhitecturile DAC binare, termometrice și parțial segmentate, unde σ_ε reprezintă deviația standard a sursei unitare de curent în LSB-uri, B_1 numărul de biți binari și B rezoluția DAC-ului. Evaluăm în continuare validitatea acestor formule în tehnologiile submicronice.

Table 6.3 Dimensiunile tranzistorilor din celula unitară de curent

Dispozitiv	Lățime [μm]	Lungime [μm]
M_1, M_2, M_{1B}, M_3	0.8	0.6
M_{1A}, M_4	0.8	10

Pentru a înțelege celula unitară de curent din Figura 6.2 și rolul acesteia în DAC, observăm etajul diferențială constituit din M_1 și M_2 , care redirectionează curentul de polarizare prin ramura stângă sau dreaptă. Ieșirile celulei unitare, I_{POS} și I_{NEG} , sunt sumate pe întreaga matrice de surse de curent pentru a produce curenții de ieșire ai DAC-ului. Când D_1 este ridicat, SW_1 și SW_4 se închid, direcționând curentul de polarizare prin M_1 ; similar, când D_1 este scăzut, SW_2 și SW_3 se închid.

Pentru a îmbunătăți comportamentul dinamic al DAC-ului față de proiectarea clasică [70], am implementat o tehnică de excursie moderată [78], prezentată în Figura 6.2. Aici, tensiunea diferențială V_{DIFF} între M_1 și M_2 este egală cu căderea de tensiune pe rezistorul R_2 . Am selectat $V_{DIFF} = 500\text{mV}$ pentru a minimiza perturbațiile sursei de curent în timpul comutării și pentru a asigura că dispozitivul blocat rămâne ferm în regiunea de blocare, prevenind curenții de scurgere.

Aria analogică a matricei de surse de curent cu 1023 de celule unitare este de aproximativ 0.01 mm^2 . Implementată într-un proces de 40 nm, această proiectare reduce aria cipului cu un ordin de mărime comparativ cu proiectele de 180 nm [4] și 350 nm [5], detaliate în Tabelul 6.4.

Table 6.4 Comparția ariilor analogice

	[79]	[70]	Această lucrare
Tehnologie [nm]	180	350	40
Arie [mm^2]	0.35	0.6	0.01

6.3.2 Implementarea fizică a decodoriului digital

Decodorul Binar-Termometric (B2T) pentru secțiunea codificată termometric a matricei analogice, prezentată în Figura 6.1, a fost implementat pentru un număr de biți binari de la 1 la 10 utilizând limbaj de descriere RTL. Bufferele de intrare și ieșire au asigurat condiții de încărcare identice pentru toți decodorii.

Toate cele zece variante de decodare au fost sintetizate utilizând o bibliotecă de celule standard de proces 40 nm cu porți logice diverse prin Cadence Genus Synthesis Solution [80], ținând aria minimă fără constrângeri de latență. Ariile proiectate sintetizate sunt prezentate în Tabelul 6.5.

Pentru proiectele cu mai puțin de 7 biți, aria de interconectare este comparabilă cu aria porților logice. Totuși, pentru lungimi de biți de 7 sau mai mult, aria celulelor standard devine dominantă, ajungând până la 68.5 % pentru decodorul complet termometric pe 10 biți. Acest lucru demonstrează că decodoarele cu 7 biți sau mai mulți experimentează o creștere exponențială a ariei din cauza complexității crescute.

Table 6.5 Compararea ariilor decodoarelor

	Aria [μm^2] după sinteză	Aria finală [μm^2] după plasare și rutare
0b	N/A	N/A
2b	6.2	-
3b	19.4	-
4b	46.2	-
5b	271	-
6b	518	452
7b	1020	981
8b	2711	2431
9b	6659	6122
10b	13616	14004

Rezultatele ariei indicate în Tabelul 6.5 relevă o reducere a ariei cuprinsă între 4 % to 13 % pentru implementările decodoarelor B2T pe 6 biți, 7 biți, 8 biți și 9 biți comparativ cu rezultatele după sinteză, în timp ce pentru decodorul B2T pe 10 biți, care are o congestiune mai mare a interconectării, se observă o creștere a ariei cu 3 % comparativ cu rezultatele după sinteză.

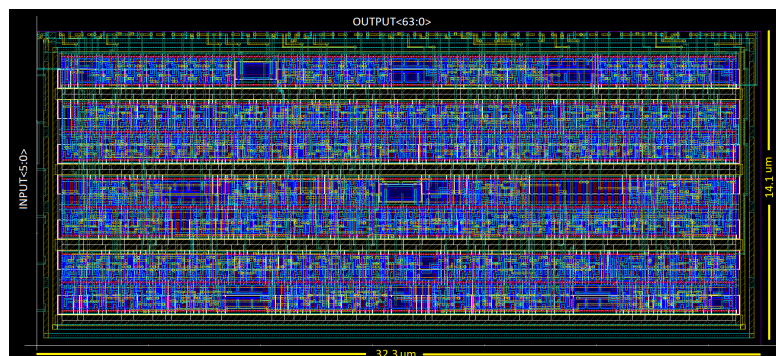


Fig. 6.3 Implementarea fizică a decodului Binary-to-Thermometer pe 6 biți

6.4 Rezultatele de simulare

Pentru a simplifica analiza, utilizăm caracteristicile valorii pătratice medii (RMS) pentru a agrega DNL și INL din toate rulările, permițând compararea îmbunătățirilor DNL și stabilității INL. Valorile RMS DNL și INL pentru cele 10 implementări sunt afișate în Figurile 6.4 și 6.5, respectiv.

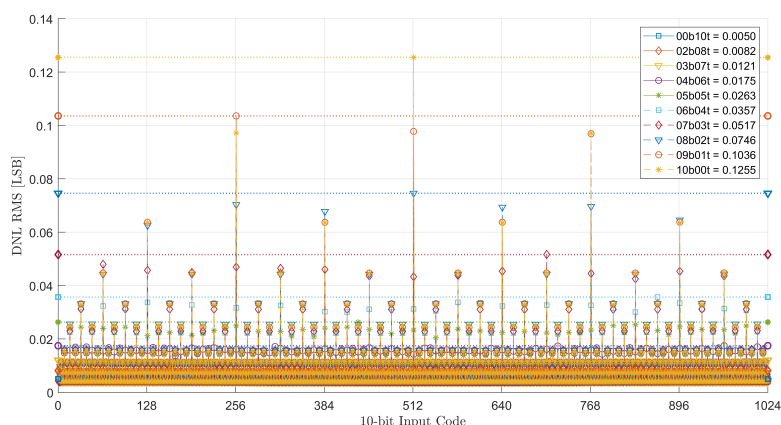


Fig. 6.4 Valoarea pătratică medie (RMS) a DNL în funcție de segmentare

DAC-ul pur binar (10B00T) prezintă un RMS DNL maxim de 125 mLSB, în timp ce DAC-ul pur termometric (00B10T) atinge un DNL mult mai mic, de 5 mLSB. DNL se îmbunătățește substanțial odată cu creșterea segmentării, poziționând DAC-urile segmentate între extremele binar și termometric.

RMS INL maxim pentru varianta binară (10B00T) este 63.8 mLSB, iar pentru varianta termometrică (00B10T) este 64.6 mLSB. Toate cele 10 variante prezintă rezultate similare de INL, cu variații minore datorate numărului finit de rulări de simulare.

Pentru o analiză consolidată, valorile RMS ale DNL și INL sunt agregate și afișate în Figurile 6.4 și 6.5. Devierile standard teoretice și simulate pentru DNL și INL, bazate pe nivelurile de segmentare, sunt comparate în Tabelul 6.6, demonstrând o eroare relativă în limitele 30 %.

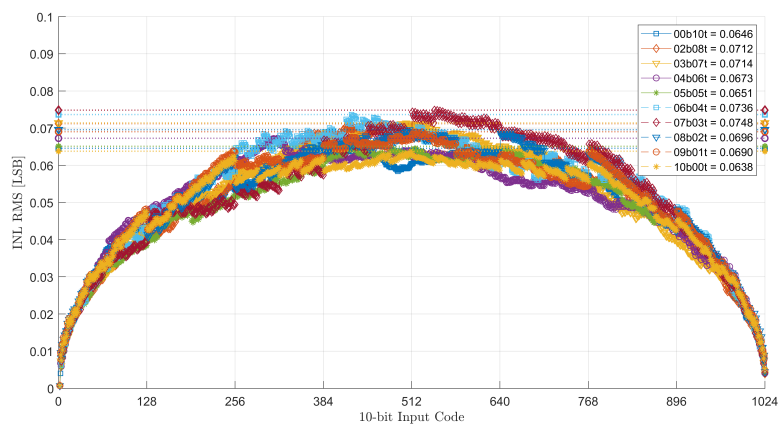


Fig. 6.5 Valoarea pătratică medie (RMS) a INL în funcție de segmentare

Table 6.6 Devierile standard calculate și simulate pentru σ_{DNL} și σ_{INL}

Nr. Biți Thermo.	σ_{DNL} calculată [n]	σ_{DNL} simulată [n]	Eroare DNL relativă	σ_{INL} calculată [n]	σ_{INL} simulată [n]	Eroare INL relativă
0	181.12	125.5	-30.70	90.59	63.8	-29.57
2	128.08	103.6	-19.10	90.59	69.0	-23.83
3	90.56	74.6	-17.62	90.59	69.6	-23.17
4	64.03	51.7	-19.25	90.59	74.8	-17.43
5	45.28	35.7	-21.15	90.59	73.6	-18.75
6	32.01	26.3	-17.83	90.59	65.1	-28.13
7	22.64	17.5	-22.70	90.59	67.3	-25.70
8	16.01	12.1	-24.42	90.59	71.4	-21.18
9	11.32	8.2	-27.56	90.59	71.2	-21.40
10	5.66	5.0	-11.66	90.59	64.6	-28.68

Tabelul 6.2 arată că formulele teoretice supraestimează devierile standard ale DNL și INL, cu erori relative între -30.70% to -11.55% pentru DNL și -29.57% to -17.43% pentru INL. Această abordare permite prezicerea DNL și INL pentru DAC-uri pe baza unui singur element de curent unitar, reducând semnificativ timpul de simulare comparativ cu parcurgerea tuturor celor 2^n coduri de intrare, în special pentru DAC-urile segmentate.

6.5 Concluzii

Am investigat impactul segmentării asupra DNL și INL pentru un DAC pe 10 biți, implementând toate arhitecturile intermediare de segmentare. Rezultatele simulărilor, inclusiv deviațiile standard ale DNL, au arătat îmbunătățiri semnificative ale DNL, menținând în același timp INL aproximativ constant. Implementările fizice ale fiecărei variante de DAC au documentat aria matricei analogice de surse de curent, iar rezultatele teoretice pentru DNL și INL s-au menținut în marja de eroare de 30% în comparație cu simulările Monte Carlo pentru toate arhitecturile segmentate ale DAC-ului pe 10 biți.

Capitolul 7

Impactul Non-Idealităților asupra Performanței Convertorului $\Sigma\Delta$ ADC

Acest capitol examinează convertoarele $\Sigma\Delta$ ADC în timp discret din [81], concentrându-se pe modul în care viteza de baleiaj (*slew rate*) și câștigul finit al amplificatoarelor operaționale afectează un modulator sigma-delta de ordinul al doilea, diferențial, pe 1 bit, cu o rezoluție de 16 biți și o frecvență de 1 kHz, implementat în tehnologie de 180 nm. Analizăm acești parametri ai amplificatoarelor operaționale care funcționează drept integratoare complet diferențiale în timp discret, și utilizăm simulări SPICE pentru a valida rezultatele MATLAB pentru fiecare scenariu.

Acest capitol este bazat pe următoarele publicații originale:

F. -S. Dumitru, S. Mihalache și M. Enachescu, “OPAMP’s finite gain and slew rate impact on a 16-bit $\Sigma\Delta$ ADC performance: A case study,” 2017 International Semiconductor Conference (CAS), Sinaia, România, 2017, pp. 161-164, doi: 10.1109/SMICND.2017.8101187.

7.1 Introducere

Convertorul $\Sigma\Delta$ ADC este în prezent liderul în domeniul convertoarelor ADC de înaltă rezoluție, depășind cu ușurință gama de 12–14 biți, unde alte topologii întâmpină dificultăți [82, 83]. Dincolo de această rezoluție, arhitecturi precum SAR se confruntă cu cerințe dificile de potrivire a dispozitivelor. Soluții precum tăierea cu laser, deși eficiente, reduc profiturile producătorilor și cresc costurile pentru utilizatori.

Convertorul $\Sigma\Delta$ ADC atinge rezoluții ridicate prin minimizarea circuitelor analogice sensibile necesare pentru conversie. Acest capitol se concentrează pe specificațiile analogice necesare pentru amplificatoarele operaționale pentru a asigura funcționarea corespunzătoare a modulatorului.

7.2 Considerații de proiectare pentru modulatorul $\Sigma\Delta$

Figura 7.1 prezintă schema la nivel de sistem a modulatorului $\Sigma\Delta$. Aceasta include un circuit de eșantionare și menținere (S/H) neideal cu un comutator de eșantionare și un condensator, care introduce zgomot KT/C . Modulatorul utilizează două amplificatoare operaționale, unde performanța primului op-amp este critică, iar zgomotul său este modelat utilizând o sursă de zgomot alb. De asemenea, un releu funcționează ca un cuantizor, generând semnalul de ieșire modulat în densitatea impulsurilor. Toate celelalte componente sunt auxiliare ideale necesare simulării.

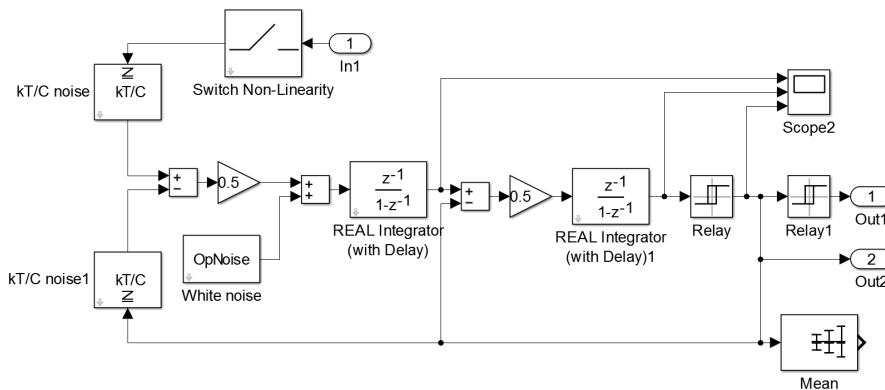


Fig. 7.1 Modulator $\Sigma\Delta$ de ordinul doi realizat în Matlab Simulink

Influența câștigului DC finit asupra modulatorului $\Sigma\Delta$, G , poate fi investigată scriind ecuațiile funcției de transfer ale integratorului din Figura 7.2 pentru cazul unui amplificator cu câștig finit.

$$H(z)_{ideal} = \frac{C_s}{C_i} \cdot \frac{z^{-1}}{1 - z^{-1}} \quad (7.1)$$

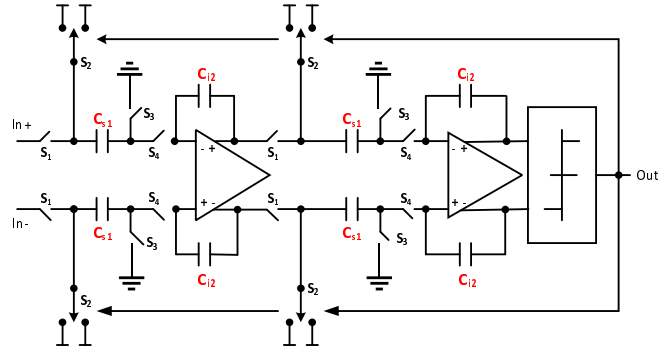


Fig. 7.2 Schema la nivel superior a modulatorului $\Sigma\Delta$

$$H(z)_{finite\ gain} = \frac{C_s}{C_i} \cdot \frac{\left(\frac{a}{1+a+\frac{C_s}{C_i}}\right) \cdot z^{-1}}{\left(\frac{1+a+\frac{C_s}{C_i}}{1+a+\frac{C_s}{C_i}}\right) \cdot z^{-1}} \quad (7.2)$$

unde C_s reprezintă valoarea condensatorului de eşantionare, iar C_i valoarea condensatorului din bucla de reacție a integratorului.

$$\frac{D_{out}}{e_Q} = \frac{1}{1+H(\omega)} \quad (7.3)$$

$$\frac{D_{out}}{e_Q} = \frac{1}{\infty} = 0 \quad \text{pentru } G_{DC} = \infty$$

$$\frac{D_{out}}{e_Q} \approx \frac{1}{a} \quad \text{pentru } G_{DC} = a$$

Proiectarea unui integrator cu câștig DC scăzut crește zgomotul de cuantizare în bandă. Când câștigul amplificatorului, G , depășește raportul de supraeșantionare (OSR), variațiile câștigului au un impact minim asupra raportului semnal-zgomot (SNR). În schimb, dacă G este sub OSR, apar degradări semnificative ale SNR-ului din cauza fluctuațiilor câștigului. Prin urmare, este recomandat ca G să fie mult peste OSR, mai ales pentru rapoarte sub $512\times$, deoarece obținerea unor astfel de câștiguri este relativ ușoară.

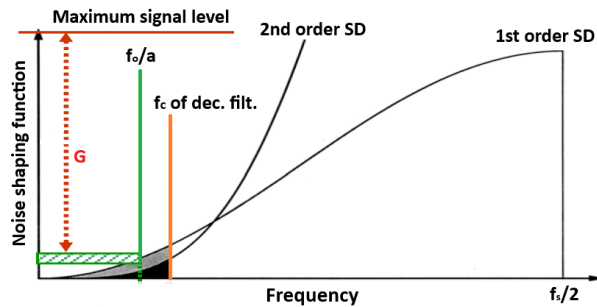


Fig. 7.3 Funcția de modelare a zgomotului în funcție de frecvență pentru câștig $G < \text{OSR}$

Figura 7.3 ilustrează impactul câștigului amplificatorului integratorului sub OSR. Când câștigul G este sub raportul de suprașantionare, nivelul zgomotului crește brusc, degradând SNR-ul modulatorului. În schimb, fiecare dublare a G peste OSR duce doar la o îmbunătățire modestă de 1 dB a SNR-ului [84].

Presupunem că integratorii noștri utilizează amplificatoare operaționale cu lățime de bandă finită, care nu intră în condiții de limitare a vitezei de baleiaj, caracterizate printr-un răspuns de ordin întâi și stabilizare exponențială [85].

Modulatoarele $\Sigma\Delta$ cu capacități comutate beneficiază de cerințe relaxate pentru amplificatoarele lor operaționale [86], fiind necesară doar o stabilizare completă înainte de declanșarea comparatorului. În contrast, modulatoarele $\Sigma\Delta$ continue în timp trebuie să mențină un comportament liniar în mod permanent, ceea ce este mai dificil de realizat.

În schimb, apare o întârziere suplimentară corespunzătoare condiției de limitare a vitezei de creștere, iar aceasta este proporțională cu diferența de amplitudine dintre eșantioanele recepționate, constanta de timp devenind cea indicată în Ecuația 7.4.

$$\tau = \frac{1}{2} \cdot f_s + t_{slew} \quad (7.4)$$

Prin urmare, viteza limitată de baleiaj determină creșterea timpului de stabilizare și, ca o consecință, ieșirile analogice ale integratoarelor nu reușesc să atingă stabilizarea completă. Mai mult, această stabilizare incompletă se traduce într-o degradare rapidă a raportului semnal-zgomot (SNR) al modulatorului, deoarece zgomotul de cuantizare crește [84].

$$SR_{MIN} = 1.2 \times \Delta \times f_s \quad (7.5)$$

Comparativ cu cerințele pentru amplificatoarele operaționale analogice în arhitecturile de tip $\Sigma\Delta$ continue în timp sau alte arhitecturi ADC de rată Nyquist, aceste cerințe sunt relativ ușor de îndeplinit. Preliminar, concluzionăm că convertoarele $\Sigma\Delta$ au cerințe relaxate pentru circuitele analogice.

Cu toate acestea, neîndeplinirea acestor cerințe va determina o degradare rapidă a performanței, așa cum este detaliat în Secțiunea 7.2.

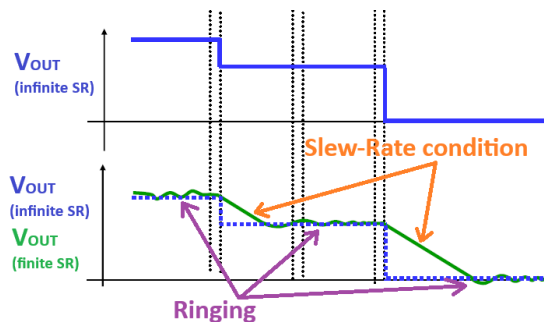


Fig. 7.4 Ieșirea integratorului în timpul condiției de limitare a vitezei de baleiaj

7.3 Metodologia de simulare și rezultate

În această secțiune, comparăm modulatorarele $\Sigma\Delta$ propuse, proiectate fără a respecta cerințele minime pentru amplificatoarele operaționale, cu o versiune care respectă specificațiile minime.

Am examinat un modul 16-bit, 1 kHz, diferențial, $\Sigma\Delta$ de ordin doi, în timp discret, utilizând MATLAB Simulink pentru simulări la nivel înalt ale spațiului de proiectare al circuitelor sale analogice. Pentru o analiză detaliată a vitezei de baleiaj și a câștigului finit, modulatorul a fost dezvoltat în Cadence Virtuoso utilizând tehnologia 180 nm GPDK [87]. Simulările realizate cu Cadence Spectre au validat rezultatele MATLAB pentru fiecare scenariu. Toate simulările au fost efectuate în condiții tipice de proces, utilizând o alimentare de 3.3 V și o temperatură ambientală de 27 °C.

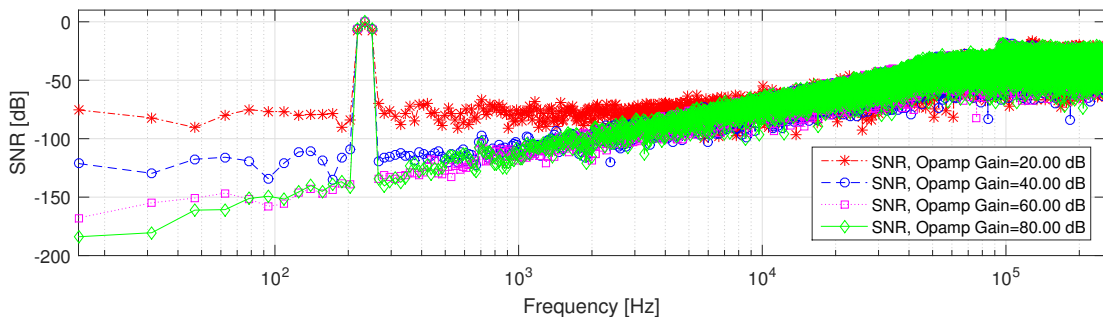


Fig. 7.5 SNR simulat pentru diferite câștiguri finite ale amplificatorului operațional

Figura 7.5 prezintă rezultatele simulărilor pentru diferite câștiguri ale amplificatorului operațional într-un modulator $\Sigma\Delta$ de ordin doi, 1-bit, implementat în tehnologia 180 nm. Când câștigul G depășește raportul de supraeșantionare (OSR) de $256\times$, impactul său asupra SNR-ului modulatorului este minim, rezultatele fiind în jur de -180 dB la DC. Creșterea câștigului G reduce ușor pragul de zgomot al SNR-ului, dar, în mod practic, zgomotul amplificatorului operațional are un efect mai semnificativ.

Pe de altă parte, când câștigul G este sub OSR, SNR-ul modulatorului este afectat semnificativ. De exemplu, la $G = 20$ dB, armonica 3 este de -66 dB, iar pragul de zgomot este de -80 dB, comparativ cu $G = 40$ dB unde armonicele ajung la -97 dB, iar pragul de zgomot la -120 dB. Creșterea câștigurilor $G = 60$ dB și $G = 80$ dB reduce armonicele la -102 dB și -104 dB și coboară pragul de zgomot sub -160 dB.

Aceste rezultate confirmă că atunci când câștigul amplificatorului operațional scade sub valoarea critică setată de OSR, performanța ADC-ului se degradează semnificativ, reducând numărul efectiv de biți (ENOB) de la 16 la 10. Pentru a asigura performanța optimă, se recomandă menținerea câștigului amplificatorului operațional cu cel puțin 10 dB deasupra OSR, conform indicat în Tabelul 7.3.

Figura 7.6 ilustrează modul în care diferitele viteze de baleiaj ale amplificatorului operațional afectează performanța modulatorului $\Sigma\Delta$. Vitezele scăzute de 1 V/ μ s roșu ($\star$) și 2 V/ μ s albastru $\circ$ cauzează distorsiuni armonice semnificative la armonicele semnalului.

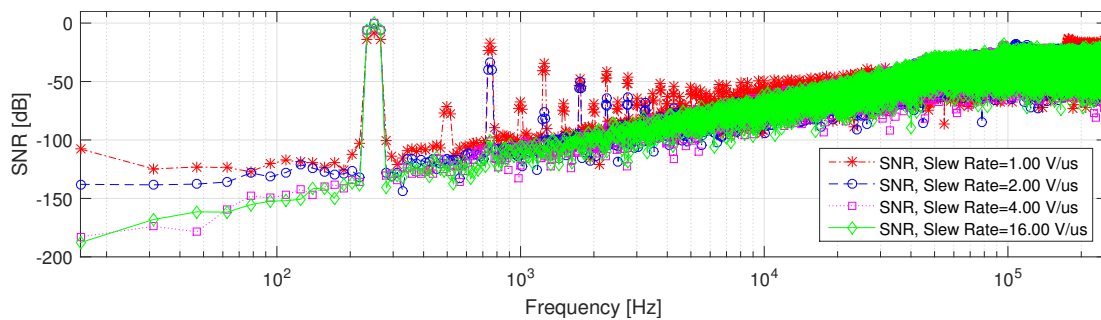


Fig. 7.6 SNR simulat pentru diferite viteze de baleiaj ale amplificatorului operațional

lui de intrare 234.4 Hz și reduc SNR-ul la DC. De exemplu, o viteză de baleiaj de 1 V/μs generează armonici mari de ordin 2, 4 și 6, reducând semnificativ numărul efectiv de biți al modulatorului.

Pe de altă parte, vitezele de baleiaj mai mari, de 4 V/μs magenta □ și 16 V/μs verde ◇, elimină vârfurile armonice și mențin un SNR stabil, conform prezentat în Tabelul 7.3. Aceste rezultate confirmă că vitezele de baleiaj suficient de mari asigură stabilizarea completă a nodurilor analogice interne înainte ca comparatorul să fie declanșat, păstrând astfel performanța modulatorului.

G [dB]	SNR [dB]	ENOB [biți]
20	66	10.71
40	97	15.88
60	102	16.37
80	104	16.54

Table 7.1 Rezultatele SNR pentru toate câștigurile simulate

SR [V/μs]	SNR [dB]	ENOB [biți]
1	17	2.54
2	33	5.2
4	102	16.2
16	103	16.7

Table 7.2 Rezultatele SNR pentru toate vitezele de baleiaj simulate

Table 7.3 Rezultate SNR din explorarea câștigului și vitezei de baleiaj

7.4 Concluzii

Acest capitol explorează convertoarele analog-digitale $\Sigma\Delta$ în timp discret, concentrându-se pe modul în care viteza de baleiaj și câștigul finit ale amplificatoarelor operaționale afectează un modulator $\Sigma\Delta$ de ordin doi, diferențial, 1 kHz, 1-bit, implementat în tehnologia 180 nm. Aceste amplificatoare operaționale funcționează ca integratoare complet diferențiale în timp discret. Simulările SPICE au fost realizate pentru a valida rezultatele MATLAB pentru fiecare scenariu.

Capitolul 8

Concluzii

Această teză prezintă proiectarea și analiza diferitelor microstructuri și circuite electronice, cu un accent deosebit pe tehnologiile bazate pe grafen. Realizările cheie includ dezvoltarea unui convertor D/A cu comutare de curent pe 5 biți, bazat pe nano-panglici de grafen (GNR), utilizat ca bază pentru un neuron McCulloch-Pitts propus, destinat calculului neuromorf, precum și proiectarea unui oscilator în inel cu consum ultra-redus de putere, bazat pe tehnologia GNR. În plus, au fost realizate două studii independente de tehnologie pentru a investiga impactul segmentării asupra liniarității convertorului D/A și efectele neidealităților analogice asupra performanței convertoarelor A/D de tip $\Sigma\Delta$. Această sinteză evidențiază principalele realizări ale tezei și propune direcții posibile pentru cercetări viitoare.

8.1 Rezultate obținute

Pe parcursul acestei teze, sunt prezentate contribuții originale în proiectarea și analiza microstructurilor și circuitelor electronice, cu un accent deosebit pe tehnologiile bazate pe grafen și aplicabile tehnologiilor CMOS.

În Capitolul 3, este introdus un convertor digital-analogic (DAC) bazat pe nano-panglici de grafen (GNR) cu 5 biți, utilizând surse de curent unitare GNR și un decodor termometric pentru o implementare compactă și cu un consum redus de putere. Simulările SPICE demonstrează o reducere semnificativă a ariei, menținând în același timp performanțe INL și DNL comparabile cu cele ale designurilor tradiționale bazate pe FinFET.

Capitolul 4 valorifică DAC-ul bazat pe GNR pentru a propune un neuron complet McCulloch-Pitts (MCPN) bazat pe GNR, destinat calculului neuromorf. Neuronul mixt analog-digital include greutatea sinaptice programabile, intrări inhibitorii, celule SRAM bazate pe GNR și porți logice, utilizând lanțuri de inversoare bazate pe GNR pentru activarea la prag. Simulările arată performanțe superioare în termeni de putere, viteză și

arie comparativ cu echivalentele FinFET, validate printr-o aplicație de recunoaștere a modelelor pe o matrice de 5x5 pixeli.

Capitolul 5 explorează dispozitivele GNR pentru aplicații cu frecvență ridicată și consum ultra-redus de putere, proiectând un oscilator în inel cu limitarea curentului. Oscilatorul bazat pe GNR atinge îmbunătățiri în frecvență, consum de putere și eficiență energetică comparativ cu un design bazat pe FinFET, confirmând potențialul GNR-urilor pentru circuite integrate avansate cu consum redus de putere.

Capitolul 6 investighează impactul segmentării asupra DNL și INL într-un DAC diferențial cu dirijare de curent pe 10 biți. Simulările diferitelor arhitecturi de segmentare relevă că o segmentare crescută îmbunătățește DNL-ul, lăsând INL-ul în mare parte neschimbat. Implementările fizice și simulările Monte Carlo validează compromisurile dintre performanța DNL și complexitatea decodului, aplicabile pe diferite tehnologii.

În cele din urmă, Capitolul 7 examinează performanța convertoarelor A/D de tip $\Sigma\Delta$ în timp discret, concentrându-se pe parametrii amplificatoarelor operaționale, cum ar fi viteza de baleiaj și câștigul, într-un modulator de ordinul doi, pe 16 biți, implementat în tehnologia CMOS de 180 nm. Simulările MATLAB și SPICE evaluează impactul asupra SNR-ului, oferind perspective pentru optimizarea performanței ADC-urilor în condiții de neidealități analogice.

Acest capitol sintetizează realizările cheie ale tezei și sugerează direcții potențiale pentru cercetări viitoare.

8.2 Contribuții originale

1. Proiectarea și simularea microstructurilor bazate pe grafen, optimizate pentru implementarea circuitelor digitale (oscilator în inel bazat pe GNR) și mixte (DAC pe 5 biți bazat pe GNR), care îndeplinesc funcțiile de comutator high-side, comutator low-side și sursă de curent analogică [2,3].
2. Obținerea unor stări clare de ‘on’ și ‘off’ pentru microstructurile utilizate în implementarea blocurilor digitale (oscilator în inel bazat pe GNR), mixte (DAC pe 5 biți bazat pe GNR) și neuromorfe (neuron McCulloch-Pitts bazat pe GNR), prin manipularea conductanței acestora utilizând tensiuni de control [1,2,3].
3. Proiectarea blocurilor digitale (oscilator în inel bazat pe GNR), mixte (DAC pe 5 biți bazat pe GNR) și neuromorfe (neuron McCulloch-Pitts bazat pe GNR), care susțin dezvoltarea circuitelor integrate (IC) complet bazate pe GNR și a circuitelor integrate dedicate (ASIC-uri) [1,2,3].
4. Realizarea simulărilor la nivel de circuit pentru toate blocurile propuse digitale (oscilator în inel bazat pe GNR), mixte (DAC pe 5 biți bazat pe GNR) și neuromorfe

(neuron McCulloch-Pitts bazat pe GNR) bazate pe grafen, pentru proiectarea și validarea funcționării corecte a acestora [1,2,3].

5. Evaluarea potențialului blocurilor neuromorfe bazate pe grafen de a extinde capacitățile CMOS-urilor standard bazate pe siliciu prin compararea rezultatelor în cadrul unei aplicații de recunoaștere a modelelor pe o matrice de 5x5 pixeli între circuitele bazate pe FinFET și cele pe grafen pentru a evidenția îmbunătățirile de performanță obținute [2].
6. Investigarea compromisurilor de proiectare între complexitatea și aria ocupată de decodorul digital și metricile de performanță privind liniaritatea unei implementări segmentate de DAC pe 10 biți, în funcție de gradul său de segmentare. Concluziile sunt independente de tehnologie și se aplică atât tehnologiilor CMOS, cât și celor bazate pe grafen [4,5].
7. Investigarea cerințelor minime de performanță analogică în ceea ce privește câștigul și viteza de baleiaj impuse amplificatoarelor operaționale utilizate în modulatorul analogic al unui convertor A/D de tip $\Sigma\Delta$, pentru a obține o rezoluție de 16 biți. Concluziile sunt independente de tehnologie și se aplică atât tehnologiilor CMOS, cât și celor bazate pe grafen [6].

8.3 Lista publicațiilor originale

Publicații pe tema tezei:

1. Florin-Silviu Dumitru, Marius Enachescu, Alexandru Antonescu, Nicoleta Cucu-Laurenciu, Sorin Cotofana, “Ultra-Low-Power Graphene-Nanoribbon-Based Current-Starved Ring Oscillator,” 2024 International Semiconductor Conference (CAS), Sinaia, România, 2024, pp. 167-170, doi: 10.1109/CAS62834.2024.10736700.
2. Florin-Silviu Dumitru, Marius Enachescu, A. M. Antonescu, N. Cucu-Laurenciu și S. D. Cotofana, “Graphene Nanoribbon Based McCulloch-Pitts Neural Network,” 2024 IEEE 24th International Conference on Nanotechnology (NANO), Gijon, Spania, 2024, pp. 592-597, doi: 10.1109/NANO61778.2024.10628801.
3. Florin-Silviu Dumitru, Nicoleta Cucu-Laurenciu, Alexandru Matei, Marius Enachescu, “Graphene Nanoribbons Based 5-bit Digital-to-Analog Converter,” în IEEE Transactions on Nanotechnology (TNANO), 2021, Vol. 20, pp. 248-254, ISSN 1536-125X, ISI WOS:000637526600002.
4. Florin-Silviu Dumitru, Carmen Raluca Ilie, Mircea Bodea, Marius Enachescu, “Exploring the Effect of Segmentation on a 10-bit DAC,” în Romanian Journal of Information Science and Technology (ROMJIST), 2021, Vol. 24, 2, pp. 129-142, ISSN 1453-8245, ISI WOS:000668010700001.

5. Florin-Silviu Dumitru, Carmen Raluca Ilie, Marius Enachescu, “Exploring the Effect of Segmentation on INL and DNL for a 10-bit DAC,” în Proceedings of the 43rd International Semiconductor Conference (CAS), Sinaia, România, 2020, pp. 161-164, ISBN 978-172811073-8, ISI WOS:000637264600036.
6. Florin-Silviu Dumitru, Șerban Mihalache, Marius Enachescu, “OPAMP’s Finite Gain and Slew Rate Impact on a 16-bit Sigma Delta ADC Performance: A case study,” în Proceedings of the 40th International Semiconductor Conference (CAS), Sinaia, România, 2017, pp. 161-164, ISBN 978-150903986-9, ISI WOS: 000425844500034.

Alte publicații:

1. Șerban Mihalache, Florin-Silviu Dumitru, Adriana Florescu, Sever Viorel Pașca, “Dithering Options for Integrated Relaxation Oscillators,” în Revue Roumaine des Sciences Techniques - Serie Électrotechnique et Énergétique (RRST), București, România, 2017, Vol. 62, 1, pp. 61-67, ISSN 0035-4066, ISI WOS:000399629400011.
2. Șerban Mihalache, Florin-Silviu Dumitru, “Current-Mode Capacitance Multiplier with Reduced Parasitic Elements,” în Proceedings of the 18th Mediterranean Electrotechnical Conference (MELECON), Limassol, Cipru, 2016, pp. 1-6, ISBN 978-1-5090-0058-6, ISI WOS:000390719500001.
3. Florin-Silviu Dumitru, Șerban Mihalache, Gheorghe Brezeanu, “A CMOS Resistorless Bandgap Reference with Minimized Current Consumption,” în Proceedings of the 38th International Semiconductor Conference (CAS), Sinaia, România, 2015, pp. 289-292, ISBN 978-1-4799-8862-4, ISI WOS:000380566400058.
4. Șerban Mihalache, Irina Flamaropol, Florin-Silviu Dumitru, Lidia Dobrescu, Dragoș Dobrescu, “Automated Cooling Control System through Peltier Effect and High Efficiency Control using a DC-DC Buck Converter,” în Proceedings of the 38th International Semiconductor Conference (CAS), Sinaia, România, 2015, pp. 281-284, ISBN 978-1-4799-8862-4, ISI WOS:000380566400056.

8.4 Perspective pentru dezvoltări viitoare

Mai jos este prezentată o listă succintă cu direcții potențiale de cercetare pentru dezvoltări ulterioare, bazate pe direcțiile explorate în această teză:

1. Implementarea subblocurilor analogice de semnal mixt bazate pe nanopanglici de grafen (GNR), cum ar fi amplificatoare operaționale, convertoare analog-digitale (ADC-uri) și regulatoare de tensiune.

2. Îmbunătățirea implementării neuronului McCulloch-Pitts existent prin utilizarea de sinapse configurabile digital, multi-bit.
3. Dezvoltarea unor modele de neuroni mai complexe, care să se apropie mai mult de funcționarea biologică a neuronilor.
4. Implementarea calculului ‘in-memory’, adică combinarea funcțiilor de memorie și de calcul în cadrul aceluiași circuit, utilizând dispozitive bazate pe nanopanglici de grafen (GNR).

References

- [1] K. S. Novoselov, A. K. Geim, S. V. Morozov, D.-e. Jiang, Y. Zhang, S. V. Dubonos, I. V. Grigorieva, and A. A. Firsov, “Electric field effect in atomically thin carbon films,” *science*, vol. 306, no. 5696, pp. 666–669, 2004.
- [2] Y. Jiang, N. C. Laurenciu, and S. Cotofana, “Non-equilibrium green function-based verilog-a graphene nanoribbon model,” in *2018 IEEE 18th International Conference on Nanotechnology (IEEE-NANO)*. IEEE, Jul. 2018. [Online]. Available: <http://dx.doi.org/10.1109/NANO.2018.8626396>
- [3] M. M. Waldrop, “The chips are down for moore’s law,” *Nature*, vol. 530, no. 7589, pp. 144–147, Feb. 2016. [Online]. Available: <http://dx.doi.org/10.1038/530144a>
- [4] T. N. Theis and H.-S. P. Wong, “The end of moore’s law: A new beginning for information technology,” *Computing in Science & Engineering*, vol. 19, no. 2, pp. 41–50, Mar. 2017. [Online]. Available: <http://dx.doi.org/10.1109/MCSE.2017.29>
- [5] F. Peper, “The end of moore’s law: Opportunities for natural computing?” *New Generation Computing*, vol. 35, no. 3, pp. 253–269, Jun. 2017. [Online]. Available: <http://dx.doi.org/10.1007/s00354-017-0020-4>
- [6] A. Chen, “Beyond-cmos roadmap-from boolean logic to neuro-inspired computing,” *Japanese Journal of Applied Physics*, vol. 61, no. SM, p. SM1003, Jun. 2022. [Online]. Available: <http://dx.doi.org/10.35848/1347-4065/ac5d86>
- [7] J. Hecht, “Nanomaterials pave the way for the next computing generation,” *Nature*, vol. 608, no. 7922, pp. S2–S3, Aug. 2022. [Online]. Available: <http://dx.doi.org/10.1038/d41586-022-02147-3>
- [8] B. Bhushan, *Springer Handbook of Nanotechnology*, ser. Springer Handbooks. Springer Berlin Heidelberg, 2017. [Online]. Available: <https://books.google.ro/books?id=MWc9DwAAQBAJ>
- [9] A. K. Geim, “Graphene: Status and prospects,” *Science*, vol. 324, no. 5934, pp. 1530–1534, Jun. 2009. [Online]. Available: <http://dx.doi.org/10.1126/science.1158877>
- [10] G. E. Moore, “Progress in digital integrated electronics,” in *Proceedings of the International Electron Devices Meeting (IEDM)*. Washington, D.C.: IEEE, 1975, pp. 11–13.
- [11] R. Dennard, F. Gaensslen, H.-N. Yu, V. Rideout, E. Bassous, and A. LeBlanc, “Design of ion-implanted mosfet’s with very small physical dimensions,” *IEEE Journal of Solid-State Circuits*, vol. 9, no. 5, pp. 256–268, Oct. 1974. [Online]. Available: <http://dx.doi.org/10.1109/JSSC.1974.1050511>

- [12] A. A. Balandin, S. Ghosh, W. Bao, I. Calizo, D. Teweldebrhan, F. Miao, and C. N. Lau, "Superior thermal conductivity of single-layer graphene," *Nano Letters*, vol. 8, no. 3, pp. 902–907, Mar 2008. [Online]. Available: <https://doi.org/10.1021/nl0731872>
- [13] E. Pop, D. Mann, Q. Wang, K. Goodson, and H. Dai, "Thermal conductance of an individual single-wall carbon nanotube above room temperature," *Nano Letters*, vol. 6, no. 1, pp. 96–100, Dec. 2005. [Online]. Available: <http://dx.doi.org/10.1021/nl052145f>
- [14] A. K. Geim and K. S. Novoselov, "The rise of graphene," *Nature materials*, vol. 6, no. 3, pp. 183–191, 2007.
- [15] Y.-W. Son, M. L. Cohen, and S. G. Louie, "Energy gaps in graphene nanoribbons," *Phys. Rev. Lett.*, vol. 97, p. 216803, Nov 2006. [Online]. Available: <https://doi.org/10.1103/PhysRevLett.97.216803>
- [16] X. Li, X. Wang, L. Zhang, S. Lee, and H. Dai, "Chemically derived, ultrasmooth graphene nanoribbon semiconductors," *Science*, vol. 319, no. 5867, pp. 1229–1232, Feb. 2008. [Online]. Available: <http://dx.doi.org/10.1126/science.1150878>
- [17] A. S. Mayorov, R. V. Gorbachev, S. V. Morozov, L. Britnell, R. Jalil, L. A. Ponomarenko, P. Blake, K. S. Novoselov, K. Watanabe, T. Taniguchi, and A. K. Geim, "Micrometer-scale ballistic transport in encapsulated graphene at room temperature," *Nano Letters*, vol. 11, no. 6, pp. 2396–2399, May 2011. [Online]. Available: <http://dx.doi.org/10.1021/nl200758b>
- [18] R. Peierls, "Quelques propriétés typiques des corps solides," *Annales de l'institut Henri Poincaré*, vol. 5, no. 3, pp. 177–222, 1935. [Online]. Available: <http://eudml.org/doc/78996>
- [19] L. D. Landau, "Zur theorie der phasenumwandlungen ii," *Phys. Z. Sowjetunion*, vol. 11, no. 545, pp. 26–35, 1937.
- [20] N. D. Mermin, "Crystalline order in two dimensions," *Phys. Rev.*, vol. 176, pp. 250–254, Dec 1968. [Online]. Available: <https://link.aps.org/doi/10.1103/PhysRev.176.250>
- [21] M. Ashton, J. Paul, S. B. Sinnott, and R. G. Hennig, "Topology-scaling identification of layered solids and stable exfoliated 2d materials," *Physical Review Letters*, vol. 118, no. 10, Mar. 2017. [Online]. Available: <http://dx.doi.org/10.1103/PhysRevLett.118.106101>
- [22] P. R. Wallace, "The band theory of graphite," *Phys. Rev.*, vol. 71, pp. 622–634, May 1947. [Online]. Available: <https://link.aps.org/doi/10.1103/PhysRev.71.622>
- [23] A. H. Castro Neto, F. Guinea, N. M. R. Peres, K. S. Novoselov, and A. K. Geim, "The electronic properties of graphene," *Rev. Mod. Phys.*, vol. 81, pp. 109–162, Jan 2009. [Online]. Available: <https://link.aps.org/doi/10.1103/RevModPhys.81.109>
- [24] Y. Obeng and P. Srinivasan, "Graphene: Is it the future for semiconductors? an overview of the material, devices, and applications," *Interface magazine*, vol. 20, no. 1, pp. 47–52, Jan. 2011. [Online]. Available: <http://dx.doi.org/10.1149/2.F05111if>

- [25] B. Partoens and F. M. Peeters, “From graphene to graphite: Electronic structure around the k point,” *Phys. Rev. B*, vol. 74, p. 075404, Aug 2006. [Online]. Available: <https://link.aps.org/doi/10.1103/PhysRevB.74.075404>
- [26] P. A. M. Dirac and R. H. Fowler, “The quantum theory of the electron,” *Proceedings of the Royal Society of London. Series A, Containing Papers of a Mathematical and Physical Character*, vol. 117, no. 778, pp. 610–624, 1928. [Online]. Available: <https://royalsocietypublishing.org/doi/abs/10.1098/rspa.1928.0023>
- [27] E. McCann, “Asymmetry gap in the electronic band structure of bilayer graphene,” *Physical Review B*, vol. 74, no. 16, Oct. 2006. [Online]. Available: <http://dx.doi.org/10.1103/PhysRevB.74.161403>
- [28] E. V. Castro, K. S. Novoselov, S. V. Morozov, N. M. R. Peres, J. M. B. L. dos Santos, J. Nilsson, F. Guinea, A. K. Geim, and A. H. C. Neto, “Biased bilayer graphene: Semiconductor with a gap tunable by the electric field effect,” *Physical Review Letters*, vol. 99, no. 21, Nov. 2007. [Online]. Available: <http://dx.doi.org/10.1103/PhysRevLett.99.216802>
- [29] K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, M. I. Katsnelson, I. V. Grigorieva, S. V. Dubonos, and A. A. Firsov, “Two-dimensional gas of massless dirac fermions in graphene,” *Nature*, vol. 438, no. 7065, pp. 197–200, Nov 2005. [Online]. Available: <https://doi.org/10.1038/nature04233>
- [30] J.-H. Chen, C. Jang, S. Xiao, M. Ishigami, and M. S. Fuhrer, “Intrinsic and extrinsic performance limits of graphene devices on sio₂,” *Nature Nanotechnology*, vol. 3, no. 4, pp. 206–209, Mar. 2008. [Online]. Available: <http://dx.doi.org/10.1038/nnano.2008.58>
- [31] K. I. Bolotin, K. J. Sikes, Z. Jiang, M. Klima, G. Fudenberg, J. Hone, P. Kim, and H. L. Stormer, “Ultrahigh electron mobility in suspended graphene,” *Solid State Communications*, vol. 146, no. 9, pp. 351–355, 2008. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0038109808001178>
- [32] S. V. Morozov, K. S. Novoselov, F. Schedin, D. Jiang, A. A. Firsov, and A. K. Geim, “Two-dimensional electron and hole gases at the surface of graphite,” *Phys. Rev. B*, vol. 72, p. 201401, Nov 2005. [Online]. Available: <https://link.aps.org/doi/10.1103/PhysRevB.72.201401>
- [33] S. Datta, *Lessons From Nanoelectronics: A New Perspective On Transport*. World Sci. Publ., 2012.
- [34] S. Datta, *Electronic transport in mesoscopic systems*. Cambridge university press, 1997.
- [35] R. Landauer, “Spatial variation of currents and fields due to localized scatterers in metallic conduction,” *IBM Journal of Research and Development*, vol. 1, no. 3, pp. 223–231, 1957. [Online]. Available: <https://doi.org/10.1147/rd.13.0223>
- [36] R. Murali, Y. Yang, K. Brenner, T. Beck, and J. D. Meindl, “Breakdown current density of graphene nanoribbons,” *Applied Physics Letters*, vol. 94, no. 24, Jun. 2009. [Online]. Available: <http://dx.doi.org/10.1063/1.3147183>
- [37] A. Behnam, A. S. Lyons, M.-H. Bae, E. K. Chow, S. Islam, C. M. Neumann, and E. Pop, “Transport in nanoribbon interconnects obtained from graphene grown by chemical vapor deposition,” *Nano Letters*, vol. 12, no. 9, pp. 4424–4430, Aug. 2012. [Online]. Available: <http://dx.doi.org/10.1021/nl300584r>

- [38] D. Lungerich, O. Papaianina, M. Feofanov, J. Liu, M. Devarajulu, S. I. Troyanov, S. Maier, and K. Amsharov, “Dehydrative π -extension to nanographenes with zig-zag edges,” *Nature Communications*, vol. 9, no. 1, Nov. 2018. [Online]. Available: <http://dx.doi.org/10.1038/s41467-018-07095-z>
- [39] M. Y. Han, B. Özyilmaz, Y. Zhang, and P. Kim, “Energy band-gap engineering of graphene nanoribbons,” *Phys. Rev. Lett.*, vol. 98, p. 206805, May 2007. [Online]. Available: <https://link.aps.org/doi/10.1103/PhysRevLett.98.206805>
- [40] K. Nakada, M. Fujita, G. Dresselhaus, and M. S. Dresselhaus, “Edge state in graphene ribbons: Nanometer size effect and edge shape dependence,” *Phys. Rev. B*, vol. 54, pp. 17954–17961, Dec 1996. [Online]. Available: <https://link.aps.org/doi/10.1103/PhysRevB.54.17954>
- [41] L. Brey and H. A. Fertig, “Electronic states of graphene nanoribbons studied with the dirac equation,” *Phys. Rev. B*, vol. 73, p. 235411, Jun 2006. [Online]. Available: <https://link.aps.org/doi/10.1103/PhysRevB.73.235411>
- [42] J. Hass, R. Feng, T. Li, X. Li, Z. Zong, W. A. de Heer, P. N. First, E. H. Conrad, C. A. Jeffrey, and C. Berger, “Highly ordered graphene for two dimensional electronics,” *Applied Physics Letters*, vol. 89, no. 14, Oct. 2006. [Online]. Available: <http://dx.doi.org/10.1063/1.2358299>
- [43] J. Hass, W. A. de Heer, and E. H. Conrad, “The growth and morphology of epitaxial multilayer graphene,” *Journal of Physics: Condensed Matter*, vol. 20, no. 32, p. 323202, Jul. 2008. [Online]. Available: <http://dx.doi.org/10.1088/0953-8984/20/32/323202>
- [44] C. Chen, Y. Lin, W. Zhou, M. Gong, Z. He, F. Shi, X. Li, J. Z. Wu, K. T. Lam, J. N. Wang, F. Yang, Q. Zeng, J. Guo, W. Gao, J.-M. Zuo, J. Liu, G. Hong, A. L. Antaris, M.-C. Lin, W. L. Mao, and H. Dai, “Sub-10-nm graphene nanoribbons with atomically smooth edges from squashed carbon nanotubes,” *Nature Electronics*, vol. 4, no. 9, pp. 653–663, Sep 2021. [Online]. Available: <https://doi.org/10.1038/s41928-021-00633-6>
- [45] D. Kondo, H. Nakano, B. Zhou, A. I. K. Hayashi, M. Takahashi, S. Sato, and N. Yokoyama, “Sub-10-nm-wide intercalated multi-layer graphene interconnects with low resistivity,” in *IEEE International Interconnect Technology Conference*. IEEE, May 2014. [Online]. Available: <http://dx.doi.org/10.1109/IITC.2014.6831867>
- [46] X. Li, W. Cai, J. An, S. Kim, J. Nah, D. Yang, R. Piner, A. Velamakanni, I. Jung, E. Tutuc, S. K. Banerjee, L. Colombo, and R. S. Ruoff, “Large-area synthesis of high-quality and uniform graphene films on copper foils,” *Science*, vol. 324, no. 5932, pp. 1312–1314, Jun. 2009. [Online]. Available: <http://dx.doi.org/10.1126/science.1171245>
- [47] A. Reina, X. Jia, J. Ho, D. Nezich, H. Son, V. Bulovic, M. S. Dresselhaus, and J. Kong, “Large area, few-layer graphene films on arbitrary substrates by chemical vapor deposition,” *Nano Letters*, vol. 9, no. 1, pp. 30–35, Jan. 2009. [Online]. Available: <http://dx.doi.org/10.1021/nl801827v>
- [48] J. Cai, P. Ruffieux, R. Jaafar, M. Bieri, T. Braun, S. Blankenburg, M. Muoth, A. P. Seitsonen, M. Saleh, X. Feng, K. Müllen, and R. Fasel, “Atomically precise bottom-up fabrication of graphene nanoribbons,” *Nature*, vol. 466, no. 7305, pp. 470–473, Jul. 2010. [Online]. Available: <http://dx.doi.org/10.1038/nature09211>

- [49] N. F. Kleimeier, A. Timmer, L. Bignardi, H. Mönig, X. L. Feng, K. Müllen, L. F. Chi, H. Fuchs, and H. Zacharias, “Electron dynamics in unoccupied states of spatially aligned 7-*a* graphene nanoribbons on *au*(788),” *Physical Review B*, vol. 90, no. 24, Dec. 2014. [Online]. Available: <http://dx.doi.org/10.1103/PhysRevB.90.245408>
- [50] D. Boesing, “A cable backplane solution for 112 gbps pam4 architecture,” <https://blog.samtec.com/post/a-cable-backplane-solution-for-112-gbps-pam4-architecture/>, 2020, accessed: 2024-08-23.
- [51] Y.-M. Lin, C. Dimitrakopoulos, K. A. Jenkins, D. B. Farmer, H.-Y. Chiu, A. Grill, and P. Avouris, “100-ghz transistors from wafer-scale epitaxial graphene,” *Science*, vol. 327, no. 5966, pp. 662–662, Feb. 2010. [Online]. Available: <http://dx.doi.org/10.1126/science.1184289>
- [52] F.-S. Dumitru, N. Cucu-Laurenciu, A. Matei, and M. Enachescu, “Graphene nanoribbons based 5-bit digital-to-analog converter,” *IEEE Transactions on Nanotechnology*, vol. 20, pp. 248–254, 2021. [Online]. Available: <http://dx.doi.org/10.1109/TNANO.2021.3063602>
- [53] M. Enachescu, M. Lefter, A. Bazigos, A. M. Ionescu, and S. D. Cotofana, “Ultra low power NEMFET based logic,” in *IEEE International Symposium on Circuits and Systems (ISCAS)*, 2013, pp. 566–569.
- [54] Y. Jiang, N. C. Laurenciu, H. Wang, and S. D. Cotofana, “Graphene nanoribbon based complementary logic gates and circuits,” *IEEE Transactions on Nanotechnology*, vol. 18, pp. 287–298, 2019.
- [55] Y. Jiang, N. C. Laurenciu, and S. Cotofana, “Complementary arranged graphene nanoribbon-based boolean gates,” in *Proceedings of the 14th IEEE/ACM International Symposium on Nanoscale Architectures*, 2018, pp. 51–57.
- [56] W. S. McCulloch and W. Pitts, “A logical calculus of the ideas immanent in nervous activity,” *Bulletin of Mathematical Biophysics*, vol. 5, pp. 115–133, 1943.
- [57] I. Karafyllidis, “Current Switching in Graphene Quantum Point Contacts,” *IEEE Transactions on Nanotechnology (TNANO)*, vol. 13, pp. 820–824, 2014.
- [58] S. Datta, *Quantum Transport: Atom to Transistor*. Cambridge University Press, 2005.
- [59] I. Nikiforidis, I. Karafyllidis, and P. Dimitrakakis, “Simulation and parametric analysis of graphene p-n junctions with two rectangular top gates and a single back gate,” *Journal of Physics D: Applied Physics*, vol. 51, pp. 1–6, 2018.
- [60] C. -H. Lin and K. Bult, “A 10-b, 500-MSample/s CMOS DAC in 0.6 μm^2 ,” *IEEE Journal of solid state circuits*, vol. 33, no. 12, pp. 1948–1958, 1998.
- [61] H. Wang, N. C. Laurenciu, Y. Jiang, and S. D. Cotofana, “Atomistic-level hysteresis-aware graphene structures electron transport model,” in *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*. IEEE, 2019, pp. 1–5.
- [62] Y. Jiang, N. Cucu Laurenciu, and S. D. Cotofana, “On Basic Boolean Function Graphene Nanoribbon Conductance Mapping,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 5, pp. 1948–1959, 2019.

- [63] F.-S. Dumitru, M. Enachescu, A. M. Antonescu, N. Cucu-Laurenciu, and S. D. Cotofana, "Graphene nanoribbon based mcculloch-pitts neural network," in *2024 IEEE 24th International Conference on Nanotechnology (NANO)*, 2024, pp. 592–597. [Online]. Available: <http://dx.doi.org/10.1109/NANO61778.2024.10628801>
- [64] H. Wang, N. C. Laurenciu, Y. Jiang, and S. D. Cotofana, "Ultra-compact, entirely graphene-based nonlinear leaky integrate-and-fire spiking neuron," in *IEEE ISCAS*, 2020, pp. 1–5.
- [65] —, "Graphene nanoribbon-based synapses with versatile plasticity," in *NANOARCH*, 2019, p. 1.
- [66] —, "Compact graphene-based spiking neural network with unsupervised learning capabilities," *IEEE Open Journal of Nanotechnology*, vol. 1, 2020.
- [67] F.-S. Dumitru, M. Enachescu, A. Antonescu, N. Cucu-Laurenciu, and S. Cotofana, "Ultra-low-power graphene-nanoribbon-based current-starved ring oscillator," in *2024 International Semiconductor Conference (CAS)*, 2024, pp. 167–170.
- [68] F.-S. Dumitru, C. R. Ilie, M. Bodea, and M. Enachescu, "Exploring the effect of segmentation on a 10-bit dac," *ROMANIAN JOURNAL OF INFORMATION SCIENCE AND TECHNOLOGY*, vol. 24, no. 2, pp. 129–142, 2021.
- [69] F.-S. Dumitru, C. R. Ilie, and M. Enachescu, "Exploring the effect of segmentation on inl and dnl for a 10-bit dac," in *2020 International Semiconductor Conference (CAS)*, 2020, pp. 161–164. [Online]. Available: <http://dx.doi.org/10.1109/CAS50358.2020.9268011>
- [70] C.-H. Lin and K. Bult, "A 10-b, 500-msample/s cmos dac in 0.6 μm /sup 2/," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, pp. 1948–1958, 1998.
- [71] F.-S. Dumitru, C. R. Ilie, and M. Enachescu, "Exploring the effect of segmentation on inl and dnl for a 10-bit dac," in *2020 International Semiconductor Conference (CAS)*, 2020, pp. 161–164.
- [72] B. Razavi, "The current-steering dac [a circuit for all seasons]," *IEEE Solid-State Circuits Magazine*, vol. 10, no. 1, pp. 11–15, 2018.
- [73] R. Jiang, G. Adhikari, Y. Sun, D. Yao, R. Takahashi, Y. Ozawa, N. Tsukiji, H. Kobayashi, and R. Shiota, "Gray-code input dac architecture for clean signal generation," in *2017 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS)*, 2017, pp. 669–674.
- [74] B. Razavi, *Principles of Data Conversion System Design*, ser. Electrical engineering, circuits and systems. Wiley, 1995.
- [75] M. Bodea, I. Mihut, L. Turic, and V. Tiponut, "Aparate electronice pentru masurare si control," *Bucuresti, Editura Didactica si pedagogica*, 1985.
- [76] G. I. Radulov, "Flexible and self-calibrating current-steering digital-to-analog converters: analysis, classification and design," Ph.D. dissertation, Technische Universiteit Eindhoven, 2010.
- [77] "Eecs instructional and electronics support - data converters – dac design," Lecture 14, University of California, Berkeley, 2017, eECS Instructional and Electronics Support. [Online]. Available: <https://www.eecs.berkeley.edu/>

- [78] P. Palmers and M. S. J. Steyaert, “A 10-bit 1.6-gs/s 27-mw current-steering d/a converter with 550-mhz 54-db sfdr bandwidth in 130-nm cmos,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 11, pp. 2870–2879, 2010.
- [79] J. Deveugele and M. Steyaert, “A 10-bit 250-ms/s binary-weighted current-steering dac,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 2, pp. 320–329, 2006.
- [80] “Genus synthesis solution,” Online, Jan. 2021, available: https://www.cadence.com/en_US/home/tools/digital-design-and-signoff/synthesis/genus-synthesis-solution.html.
- [81] F.-S. Dumitru, S. Mihalache, and M. Enachescu, “Opamp’s finite gain and slew rate impact on a 16-bit $\sigma\delta$ adc performance: A case study,” in *2017 International Semiconductor Conference (CAS)*, 2017, pp. 161–164. [Online]. Available: <http://dx.doi.org/10.1109/SMICND.2017.8101187>
- [82] S. Pavan, R. Schreier, and G. C. Temes, *Understanding delta-sigma data converters*. John Wiley & Sons, 2017.
- [83] J. M. de la Rosa, “Sigma-delta modulators: Tutorial overview, design guide, and state-of-the-art survey,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, no. 1, pp. 1–21, 2010.
- [84] H. Khorramabadi, “Ee 247 analysis and design of vlsi analog digital interface integrated circuits,” *Lecture Notes*, 2009.
- [85] D. A. Johns and K. Martin, *Analog integrated circuit design*. John Wiley & Sons, 2008.
- [86] J. M. De la Rosa and R. Del Rio, *CMOS sigma-delta converters: Practical design guide*. John Wiley & Sons, 2013.
- [87] D. S. Cadence, *Process Design Kit Reference Manual for Generic Process Design Kit 180nm Rev3.3*, 2008.

