



UNIVERSITATEA NAȚIONALĂ DE  
ȘTIINȚĂ ȘI TEHNOLOGIE  
POLITEHNICA BUCUREȘTI



Școala Doctorală de Electronică, Telecomunicații  
și Tehnologia Informației  
Decizie nr. 162 din 21-10-2025

# REZUMAT TEZĂ DE DOCTORAT

**Ing. Mihaela-Daniela DOBRE (CIUBĂR)**

---

STRUCTURI DE PROTECȚIE LA DESCĂRCĂRI  
ELECTROSTATICE ȘI EFECTUL DE BLOCARE  
(LATCH-UP) PENTRU TEHNOLOGII  
NANOMETRICE  
ELECTROSTATIC DISCHARGE AND LATCH-UP  
PROTECTION STRUCTURES FOR NANOMETRIC  
TECHNOLOGIES

---

## COMISIA DE DOCTORAT

**Prof. Dr. Ing. Bogdan IONESCU**

Univ. Națională de Știință și Tehnologie Politehnica București

Președinte

**Prof. Dr. Ing. Gheorghe BREZEANU**

Univ. Națională de Știință și Tehnologie Politehnica București

Conducător de  
doctorat

**Prof. Dr. Ing. Marina Dana ȚOPA**

Universitatea Tehnică din Cluj-Napoca

Referent

**Prof. Dr. Ing. Liviu GORAȘ**

Universitatea Tehnică "Gheorghe Asachi" din Iași

Referent

**Conf. Dr. Ing. Alexandru ANTONESCU**

Univ. Națională de Știință și Tehnologie Politehnica București

Referent

**BUCUREȘTI 2025**

## Mulțumiri

După șapte ani activi și aproape doi în care lucrurile au stagnat, s-au adunat mulți oameni cărora le sunt recunoscătoare.

Încep prin a-mi exprima aprecierea față de Prof. Dr. Ing. Gheorghe Brezeanu, coordonatorul meu de doctorat, care mi-a oferit îndrumare constantă și, uneori, o abordare optimistă în fața problemelor tehnice care păreau fără sfârșit. Lui Philippe Coll, managerul meu, mentorul meu și omul pe care îl admir atât profesional, cât și personal: îți mulțumesc pentru tot sprijinul și încurajările tale. Le mulțumesc tuturor colegilor mei de la Microchip, celor implicați tehnic în provocările pe care le-am întâmpinat și care mi-au oferit sfaturi și opinii relevante, dar și celor care m-au încurajat zi de zi. Mulțumesc membrilor comisiei de îndrumare pentru că mi-au fost alături la toate examenele, rapoartele și conferințele; a fost o adevărată alinare să știu că am sprijinul vostru.

Soțului meu, Alex, care mi-a fost alături în fiecare moment și a împărțit cu mine această călătorie. Prezența ta în viața mea mă face un om mai bun, iar faptul că știu că mă susții necondiționat a făcut ca acest capitol să fie mult mai ușor de parcurs. Fetiței mele, Eva, care încă nu vorbește în propoziții complete, dar a reușit totuși să-mi dea motivația de care aveam nevoie pentru a duce la bun sfârșit această călătorie, la timp. Părinților mei, Sonia și Stelian Dobre, care au prețuit mereu educația – principiu care m-a călăuzit la fiecare pas. Fratelui meu, Dragoș – sprijinul tău constant și încrederea ta liniștită în mine au fost mereu o sursă de putere. Familiei mele extinse, care este numeroasă, zgomotoasă și răspândită peste tot, dar care mi-a oferit structură, disciplină și concentrare încă din vremuri pe care nici nu mi le mai amintesc. Toți m-ați ajutat să cresc – la propriu și la figurat – și să devin omul care sunt azi: Doctor Inginer!

La final, le mulțumesc tuturor prietenilor care m-au încurajat de-a lungul timpului și s-au interesat sincer de progresul și starea mea de bine. Vă prețuiesc pe toți!



# Cuprins

Mulțumiri .....	ii
1 Introducere .....	1
1.1 Obiective și Contribuții Originale.....	1
1.2 Structura tezei .....	2
2 Starea Artei .....	2
3 Metodologie pentru definirea regulilor latch-up.....	3
4 Structuri experimentale robuste la CDM-ESD .....	6
4.1 Arhitecturi Propuse .....	7
4.2 Rezultate experimentale.....	9
5 Evaluarea metodelor de protecție CDM-ESD în regim tranzitoriu .....	13
5.1 Tehnica propusă de validare în siliciu .....	14
5.2 Analiza defectelor .....	15
5.3 Extragerea concluziilor din datele vf-TLP.....	17
6 Concluzii.....	18
6.1 Obiective generale, rezultate și contribuții originale .....	18
6.2 Lista Lucrărilor Publicate .....	21
6.3 Direcții de Dezvoltare .....	22
7 Bibliografie .....	23



# Capitolul 1

## Introducere

Pe măsură ce tehnologiile CMOS (Complementary Metal Oxide Semiconductor) avansează în domeniul nanometric, provocările legate de ESD (Electrostatic Discharge) și efectul de blocare (latch-up) devin tot mai critice, datorită accentuării efectelor parazite și reducerii marjelor de fiabilitate. Această cercetare abordează aceste provocări prin propunerea și validarea unor metodologii originale de testare și structuri de protecție pentru ESD [1][2] și latch-up [3], aplicabile în tehnologii avansate. Lucrarea este structurată cronologic, fiecare capitol fiind dedicat unei anumite generații tehnologice.

### 1.1 Obiective și Contribuții Originale

Această teză tratează vulnerabilitatea crescută la ESD și latch-up în tehnologiile CMOS avansate, în special sub 55 nm, unde dimensiunile reduse ale oxidului și interconectărilor cresc riscurile de avarie. Scopul principal este dezvoltarea și validarea unor soluții de protecție CDM-ESD și latch-up, eficiente și compacte (la 55 nm, 40 nm și 28 nm) care pot fi ușor adaptate și la noi noduri tehnologice. Obiectivele cheie includ:

- Optimizarea proiectării inelelor de gardă folosind o metodologie bazată pe DOE (Design of Experiment) pentru imunitatea la latch-up în bibliotecile I/O (Input/Output) de 55 nm.
- Implementarea structurilor de protecție ggnMOS (grounded-gate nMOS) pentru robustețea la stres CDM în nodul de 40 nm, având domenii multiple de alimentare.
- Stabilirea pragurilor sigure pentru rezistența traseului de masă în scenarii CDM ce implică fire lungi.
- Propunerea unor arhitecturi de protecție validate prin vf-TLP (very fast Transmission Line Pulse) pentru evenimente CDM în nodurile de 28 nm, incluzând structuri bazate pe diode duble (duo-diodes), diode triple (trio-diodes) și ggnMOS.

Cercetarea aplică o metodologie combinată, incluzând modelare teoretică, simulări, optimizări de layout (DOE), prototipare în siliciu și testare experimentală cu sisteme Orion2 CDM și vf-TLP. Structurile au fost evaluate la stres electrostatic de până la 2000 V pentru a analiza eficiența diferitelor topologii de protecție. Deși accentul cade pe fenomenele CDM și latch-up, concluziile oferă soluții scalabile pentru creșterea fiabilității circuitelor I/O, bazate pe validări directe în siliciu. Teza vizează dezvoltarea unor structuri robuste conforme cu cerințele actuale din industria CMOS submicronică și include mai multe contribuții originale:

1. A fost introdusă o metodologie sistematică (DOE) pentru optimizarea structurii inelelor de gardă, reducând aria ocupată și menținând imunitatea la latch-up.
2. Au fost identificate geometrii optime ale dispozitivelor ggnMOS pentru protecția CDM, cu recomandări dimensionale adaptate nodurilor tehnologice de 40 nm.

3. Au fost propuse și validate strategii inovatoare pentru protecția la stres CDM folosind metodologii FICDM (Field-Induced CDM) și vf-TLP.
4. Au fost demonstrate scheme compacte de protecție între domenii diferite de alimentare, îmbunătățind fiabilitatea circuitelor integrate multi-domeniu.
5. A fost stabilită o relație empirică între nivelurile de stres CDM și rezistența admisibilă a traseului de masă, cu îndrumări practice pentru rutarea circuitelor.

În ansamblu, aceste contribuții oferă soluții scalabile și eficiente din punctul de vedere al suprafeței ocupate, îmbunătățind reziliența circuitelor integrate moderne.

## 1.2 Structura tezei

Această teză este structurată într-un capitol introductiv, patru capitole tehnice principale și un capitol de concluzii. Capitolul 2 oferă o analiză a literaturii, prezentând evoluția metodelor de protecție pentru latch-up și ESD, provocările legate de fiabilitate în tehnologiile CMOS nanometrice și rolul celulelor I/O ca puncte de integrare pentru structurile de protecție. Totodată, sunt introduse strategiile cheie de protecție relevante pentru această cercetare. Capitolul 3 se concentrează asupra imunității la latch-up în tehnologia de 55 nm, prezentând o metodologie bazată pe DOE pentru optimizarea structurii inelelor de gardă în vederea reducerii suprafeței de siliciu, păstrând conformitatea protecției cu standardul JEDEC (Joint Electron Device Engineering Council). Capitolul 4 tratează protecția CDM-ESD pentru tehnologia CMOS de 40 nm, evaluând dispozitivele ggnMOS în diferite geometrii și condiții de stres și stabilind reguli de layout cu accent pe rezistența traseului de masă. Capitolul 5 trece la tehnologia de 28 nm, propunând și validând scheme de protecție pentru scenarii cu interconectări lungi, folosind structuri bazate pe diode și ggnMOS. Validarea este realizată prin teste vf-TLP. Capitolul final consolidează rezultatele tezei, evidențiază contribuțiile originale și trasează direcții viitoare de cercetare în domeniul protecției împotriva ESD și latch-up pentru noduri tehnologice CMOS avansate.

# Capitolul 2

## Starea Artei

**Descărcarea electrostatică** reprezintă o problemă majoră de fiabilitate [4] în tehnologiile CMOS moderne, fiind caracterizată prin modele standardizate precum HBM (Human Body Model), MM (Machine Model) și CDM [1] [5]. Pe măsură ce scalarea tehnologiilor CMOS reduce grosimea oxidului de poartă și dimensiunile componentelor, dispozitivele devin tot mai vulnerabile la evenimentele CDM, datorită timpilor rapizi de creștere a tensiunii și mecanismelor interne de stres asociate. Spre deosebire de HBM sau MM, evenimentele CDM pot afecta în mod imprevizibil orice pin, devenind astfel modul predominant de defectare ESD în nodurile tehnologice sub 65 nm. Această teză se concentrează pe evaluarea dispozitivelor de protecție bazate pe ggnMOS și diode (Tabel

2.1) pentru tehnologiile de 40 nm și 28 nm. Sunt utilizate atât testări FICDM cât și vf-TLP: testarea FICDM în Capitolul 4 pentru validarea formală la stres și vf-TLP în Capitolul 5 pentru analiza tranzitorie detaliată.

**Tabel 2.1** Analiză comparativă a structurilor de protecție ESD

Dispozitiv	ggnMOS	Diodă
Mecanism de activare	Străpungerea joncțiunii și snapback	Conducție directă a diodei
Viteză de răspuns	Rapid	Foarte rapid
Eficiența ariei	Moderat	Mare
Curent rezidual	Mic spre moderat	Foarte mic

**Latch-up-ul** în circuitele CMOS este cauzat de activarea nedorită a unei structuri parazite de tip tiristor p-n-p-n formată între tranzistoarele nMOS și pMOS în regiunile de puț/substrat [6] [7]. Această buclă de reacție auto-susținută, declanșată adesea de evenimente tranzitorii precum supratensiuni temporare, impulsuri ESD sau zgomot în substrat, poate genera un curent ridicat între alimentare și masă, conducând la defectarea circuitului. Pentru prevenirea fenomenului latch-up, procesele moderne utilizează diverse strategii precum inele de gardă, distanțări între puțuri, puțuri retrograde și izolări adânci de tip deep n-well, cu scopul de a reduce câștigul sau conectivitatea tranzistoarelor parazite [8] [9]. Testarea latch-up-ului este standardizată conform JEDEC JESD78 [10]. Un dispozitiv trebuie să revină la curentul nominal după stres pentru a fi considerat imun la latch-up. Validarea prin simulare realizată în cadrul acestei cercetări evaluează modul în care caracteristicile de layout influențează imunitatea la latch-up, corelând rezultatele testelor (trecere/picare) cu parametrii fizici de proiectare și oferind astfel reguli empirice de proiectare. În concluzie, o protecție robustă împotriva latch-up-ului se bazează pe o combinație de layout optimizat, strategii la nivel de circuit și conformarea cu protocoale de testare standardizate.

## Capitolul 3

# Metodologie pentru definirea regulilor latch-up

Nevoia de a asigura imunitatea la latch-up a determinat fabricanții să impună reguli conservative pentru layout (de exemplu, distanțările la cerințe privind inelele de gardă), care pot crește semnificativ suprafața chipului în circuitele I/O [11]. În același timp, industria cere proiecte compacte și eficiente din punct de vedere al costurilor – zonele ocupate de pad-urile I/O sunt adesea limitate, iar distanțările excesive sau inelele de gardă mari reduc densitatea funcțională [12]. Prin urmare, dezvoltarea unor strategii eficiente de suprimare a fenomenului latch-up și de protecție ESD, care să respecte standardele de fiabilitate fără penalizări excesive privind aria ocupată, este de o importanță majoră în proiectarea circuitelor integrate în noduri tehnologice avansate. În acest capitol sunt

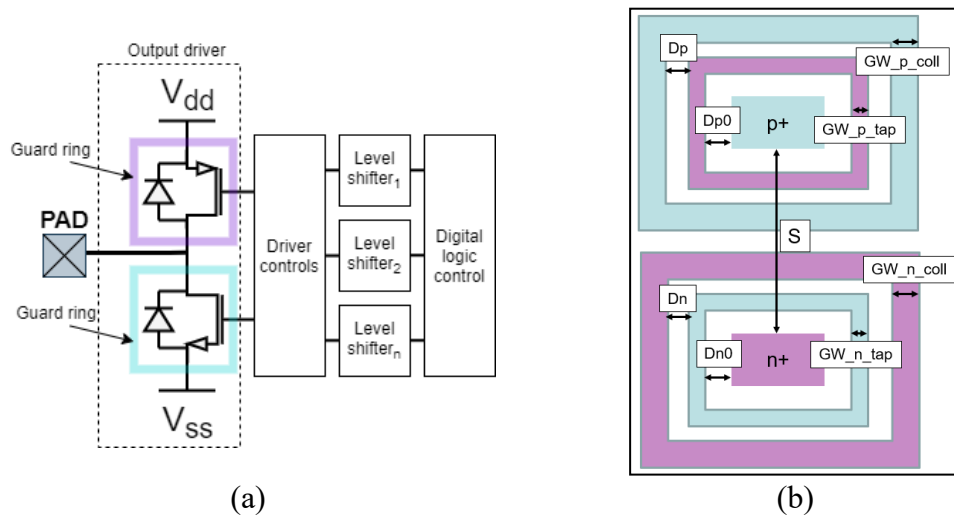


prezentate mecanismele și importanța protecției împotriva latch-up, fiind propusă și o metodologie nouă pentru optimizarea imunității la latch-up în structurile I/O CMOS. Metodologia propusă include următorii pași, având scopul de a asigura o protecție corespunzătoare la latch-up și, simultan, de a minimiza suprafața ocupată de inelele de gardă ce acționează ca scut:

- 1) Definirea structurii: Propunerea circuitului de protecție la latch-up.
- 2) Stabilirea parametrilor: Definirea dimensiunilor-cheie pentru inelele de gardă (ex:  $GW\_p\_tap$ ,  $GW\_n\_tap$ ,  $Dp$ ) și a valorilor minime și maxime pentru optimizare.
- 3) Optimizare: Aplicarea tehnicilor DOE pentru explorarea sistematică a combinațiilor de parametri și reducerea numărului de iterații ale layout-ului.
- 4) Proiectarea layout-ului: Implementarea structurii optimizate cu ajutorul instrumentelor CAD, transpunând parametrii într-un layout fizic complet.
- 5) Validarea post-layout: Simularea layout-ului final pentru evaluarea imunității la latch-up și asigurarea conformității cu obiectivele de performanță și fiabilitate.

Odată ce pasul 5 generează primul set de rezultate, metodologia specifică faptul că aceste date, împreună cu rezultatele simulărilor, trebuie să constituie date de intrare pentru DOE. În funcție de rezultatele analizei statistice, pot fi necesare ajustări suplimentare ale layout-ului (pasul 4) sau repetarea procesului. Această metodologie reprezintă o abordare structurată pentru optimizarea și validarea dispozitivelor de protecție la latch-up la nivel de layout, utilizând tehnici statistice de proiectare și o validare riguroasă prin simulare.

Structura fizică a layout-ului influențează direct elementele parazite care determină comportamentul de latch-up, precum rezistențele efective din substrat și din puțuri și cuplajul dintre tranzistoarele bipolare parazite. Pentru evaluarea completă a susceptibilității la latch-up și optimizarea strategiilor de protecție, este esențial să se înțeleagă și să se cuantifice parametrii-cheie (Figura 3.1) care influențează declanșarea și menținerea fenomenului de latch-up. Prin ajustarea parametrilor structurali se controlează ușurința cu care se formează calea parazită de latch-up. De exemplu, un inel de gardă mai lat oferă o cale cu rezistență scăzută către alimentare, drenând astfel mai eficient curentul injectat [13]. O distanță mai mare între regiunile active ale tranzistoarelor nMOS și pMOS (cu inele de gardă) reduce cuplajul dintre tranzistoarele lor parazite [10], dar o distanțare excesivă poate să nu fie necesară dacă inelul de gardă deja captează majoritatea purtătorilor. Astfel, determinarea distanței minime acceptabile și a lățimii optime a inelelor de gardă presupune echilibrarea acestor parametri cu susceptibilitatea la latch-up. Realizarea unei analize factoriale complete a tuturor parametrilor de layout legați de latch-up direct pe siliciu este impractică, din cauza creșterii numărului de structuri de testare și a spațiului limitat disponibil pe chipul de test. Folosind un instrument software DOE (JMP de la SAS [14]), această teză propune o abordare sistematică pentru proiectarea și analiza experimentelor privind latch-up-ul. Prin intermediul DOE, inginerii pot obține concluzii relevante despre mecanismele de protecție la latch-up folosind un număr minim de structuri fizice de test. Rezultatul este o optimizare bazată pe date experimentale a regulilor de proiectare împotriva latch-up-ului, lucru deosebit de valoros în nodurile avansate unde compromisurile dintre suprafață și fiabilitate sunt sensibile.



**Figura 3.1** (a) O schemă simplificată a unei structuri I/O cu principala poziționare a inelelor de gardă; (b) Notarea și poziționarea fiecărui parametru.

În urma primei iterații DOE descrise în subsecțiunea anterioară, trei structuri principale au fost selectate pentru implementarea inițială în layout (Tabel 3.1). Acestea includ: o structură în care toți parametrii sunt fixați la valorile minime permise de regulile de proiectare ale fabricii (foundry); o a doua structură bazată pe un driver I/O existent și validat; și o a treia structură reprezentând o configurație intermediară între primele două. Deși validarea finală împotriva latch-up-ului trebuie efectuată în siliciu conform standardului JEDEC JESD78, această teză demonstrează că simularea joacă un rol esențial în identificarea riscurilor potențiale de latch-up încă din faza de proiectare. Având în vedere interacțiunile parazite complexe de natură tridimensională, simulările tradiționale de circuit sunt adesea insuficiente, deoarece kiturile PDK (Process Design Kits) omit efectele substratului și tranzistoarelor bipolare parazite. Metode avansate, precum simulările TCAD (Technology Computer-Aided Design), oferă o modelare precisă a comportamentului latch-up, rezolvând ecuațiile de transport în semiconductori, dar acestea sunt limitate la structuri mici din cauza cerințelor mari de calcul [15]. Pentru a depăși această limitare, cercetarea prezentată a utilizat instrumente sensibile la layout, precum Ansys Totem [16] [17], care permit extragerea rezistențelor substratului și simularea condițiilor pseudo-latch-up prin injectarea unor curenți tranzitorii în nodurile sensibile. Totem permite analiza eficacității inelelor de gardă și evaluarea riscului de latch-up direct la nivel de layout, completând verificările standard DRC (Design Rule Checks) [17]. Chiar dacă aceste simulări nu înlocuiesc testarea fizică, ele au avut un rol-cheie în această teză, validând reguli compacte de proiectare pentru inelele de gardă și evidențiind zonele cu cuplaj slab la substrat. Rezultatele simulărilor au orientat optimizările ulterioare ale designului, asigurând în final că structurile fabricate îndeplinesc cerințele de imunitate la latch-up în timpul testelor de stres conforme standardului JEDEC. Această metodologie subliniază valoarea simulării nu ca un substitut, ci ca o strategie puternică de asigurare a calității designului înainte de implementarea în siliciu. O concluzie-cheie este aplicarea cu succes a unei metodologii DOE pentru optimizarea regulilor de protecție împotriva latch-up-ului, metodă care permite inginerilor să exploreze sistematic regulile de layout pentru inelele de gardă din

celulele I/O. Studiul specific realizat pentru tehnologia CMOS de 55 nm a demonstrat că reduceri substanțiale ale spațiului ocupat de inelele de gardă sunt posibile fără apariția fenomenului de latch-up, atunci când se utilizează combinația optimă între parametrii specifici. Această metodologie, având un caracter iterativ și centrat pe date experimentale, poate fi extinsă și la alte tehnologii.

Cercetarea actuală demonstrează (într-un nod tehnologic avansat, de 55 nm) cum proiectarea inelelor de gardă și regulile de layout pot fi optimizate suplimentar utilizând o metodologie structurată bazată pe DOE. Prin explorarea sistematică a interacțiunilor dintre parametri și configurațiile de layout, această lucrare obține o protecție eficientă împotriva latch-up-ului, minimizând în același timp aria ocupată. Elementul de noutate constă în aplicarea optimizării statistice unei probleme abordate tradițional prin metode empirice sau bazate strict pe reguli fixe. Acest capitol a abordat nevoia actuală din industrie de a crește robustețea la latch-up și ESD în tehnologia CMOS de 55 nm.

**Tabel 3.1** Trei structuri layout cu valorile parametrilor de latch-up

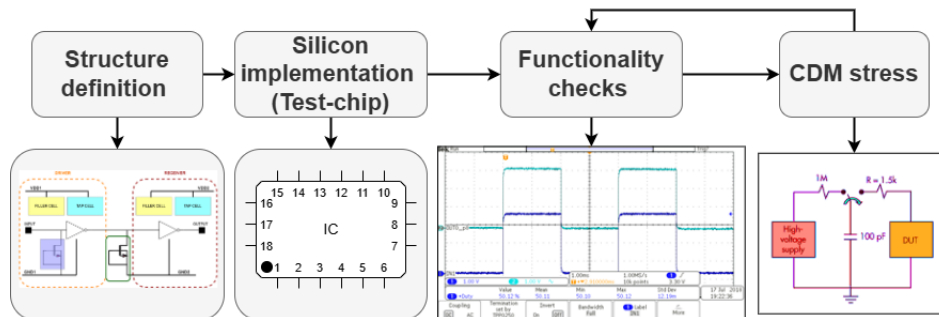
Definiție	Parametru	Layout 1	Layout2	Layout3
Lățimea inelelor de gardă: Tap → interior Col → exterior	<b>GW_p_tap</b> [μm]	0.14	0.21	0.21
	<b>GW_n_tap</b> [μm]	0.14	0.46	0.46
	<b>GW_p_col</b> [μm]	0.14	0.21	0.21
	<b>GW_n_col</b> [μm]	0.15	0.46	0.46
De la activ la inelul de gardă interior	<b>Dp</b> [μm]	0.32	0.32	0.32
	<b>Dn</b> [μm]	0.32	0.32	0.32
De la inelul de gardă interior la exterior	<b>Dp0</b> [μm]	0.19	0.3	0.3
	<b>Dn0</b> [μm]	0.19	0.561	0.561
Multiplicități ale inversoarelor	<b>m_P</b>	1	1	30
	<b>m_N</b>	1	1	24
Inv1 la Inv2	<b>D</b> [μm]	0.5	0.5	0.5
Distanța p+ n+	<b>S</b> [μm]	2.65	15.112	15.112
	<b>Arie</b> [μm x μm]	5.9x43.9	16.7x60.1	76.6x165.4

## Capitolul 4

# Structuri experimentale robuste la CDM-ESD

Studiile au arătat că defectările CDM „apar frecvent la interfețele de semnal dintre domenii de alimentare” [18], dacă aceste interfețe nu dispun de protecție dedicată. În mod similar, rutările lungi pot agrava deteriorările cauzate de CDM: un curent mare de descărcare CDM care trece printr-o rezistență crescută a rețelei de masă (VSS) induce local o supratensiune semnificativă, suprasolicitând porțile dispozitivelor [19]. Această lucrare își propune să îmbunătățească robustețea la evenimente CDM în două scenarii

specifice unei tehnologii CMOS de 40 nm. Obiectivul este (1) dezvoltarea unei strategii locale de protecție CDM la interfața dintre domenii de alimentare diferite, utilizând un dispozitiv dedicat pentru a limita diferențele periculoase de tensiune (Modulul 1) și (2) implementarea unei strategii globale de evaluare a robusteții CDM pentru fire lungi de pe chip, cuantificând rezistența maximă admisibilă a rețelei de masă care încă provoacă deteriorări CDM (Modulul 2). Ambele module au fost fabricate și supuse testelor standardizate CDM. Aceeași metodologie, ilustrată în Figura 4.1, este propusă pentru ambele module. Obiectivul este validarea eficienței protecției și extragerea unor reguli clare de proiectare (dimensiuni optime pentru dispozitivele de protecție cross-domain și limite sigure pentru rezistența traseului de masă), care să asigure robustețea la CDM în această tehnologie.

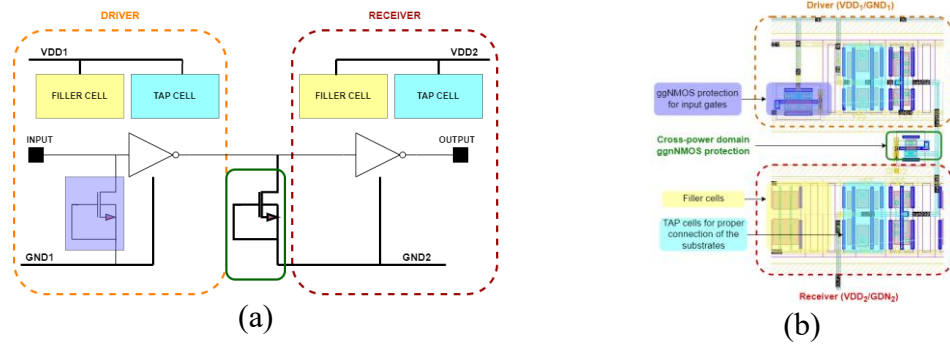


**Figura 4.1** Metodologia propusă pentru această cercetare.

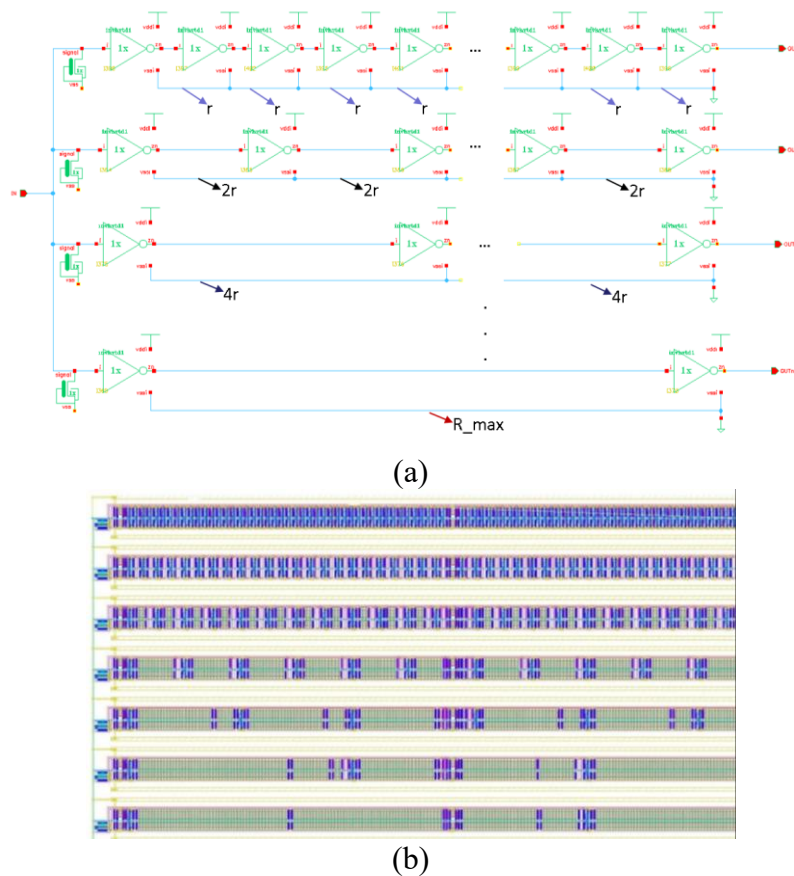
## 4.1 Arhitecturi Propuse

Interfețele între domenii diferite de alimentare (Cross-power-domain – CPD) apar atunci când semnalele fac tranziția între circuite care operează în domenii distincte de tensiune și masă [20]. În timpul unui eveniment CDM, sincronizarea necorespunzătoare a descărcării între aceste domenii poate expune porțile cu oxid subțire la diferențe periculoase de tensiune. Pentru a contracara acest fenomen, în această lucrare este utilizat un dispozitiv ggnMOS ca protecție locală, având rolul de a asigura o cale de descărcare cu impedanță redusă către domeniul de masă și astfel de a proteja oxidul porții receptorului. Studiul se concentrează pe cea mai vulnerabilă configurație CPD, cu domenii complet separate atât pentru VDD, cât și pentru VSS [20].

Pentru evaluarea eficienței dispozitivelor de protecție, a fost implementată o structură de test dedicată (Modulul 1), cu 55 de perechi driver-receptor, fiecare protejată cu o variantă diferită de ggnMOS, având cinci lungimi de canal (40–80 nm) și unsprezece lățimi (120 nm–1  $\mu$ m), și o celulă fără protecție. Fiecare pereche formează o celulă independentă de test, având intrare comună și ieșire separată. Figura 4.2 ilustrează acest aranjament: (a) schema electrică a unei singure perechi driver-receptor cu protecție ggnMOS; (b) o secțiune corespunzătoare din layout, unde tranzistorul ggnMOS (evidențiat în violet) este plasat aproape de intrarea receptorului, iar celulele tap/filler sunt indicate în galben și turcoaz; (c) layout-ul complet ca o matrice 5×11, aranjată astfel încât fiecare rând să reprezinte o lungime constantă a canalului, iar fiecare coloană o lățime constantă. Matricea măsoară 38,18  $\mu$ m × 36,38  $\mu$ m și permite o evaluare sistematică și eficientă a impactului dimensionării tranzistoarelor ggnMOS asupra robusteții CDM.



**Figura 4.2** Modulul 1: (a) Schema, (b) Layout pentru o pereche driver-receiver.



**Figura 4.3** Modulul 2: (a) Schema și (b) Layout.

A doua provocare investigată în acest capitol este impactul interconectărilor lungi și rezistenței traseului de masă (VSS) asupra robusteții la CDM. Chiar și în cadrul unui singur domeniu de alimentare, traseele extinse sau înguste de masă pot provoca scăderi tranzitorii semnificative de tensiune în timpul unui eveniment CDM ( $V = I \cdot R$ ), ridicând potențialul local al masei și expunând astfel oxidul porților dispozitivelor la supratensiuni periculoase [19]. Acest fenomen, cunoscut sub numele de problema traseului VSS lung între driver și receptor (high D/R VSS route problem), devine din ce în ce mai relevant în schemele avansate de layout, care includ rețele lungi și discontinuități. Pentru a cuantifica acest efect, Modulul 2 a fost conceput pentru a determina experimental rezistența maximă tolerabilă a traseului de masă în tehnologia de 40 nm. Structura, ilustrată în Figura 4.3, conține mai multe rânduri de lanțuri de inversoare cu rezistențe de interconectare crescute

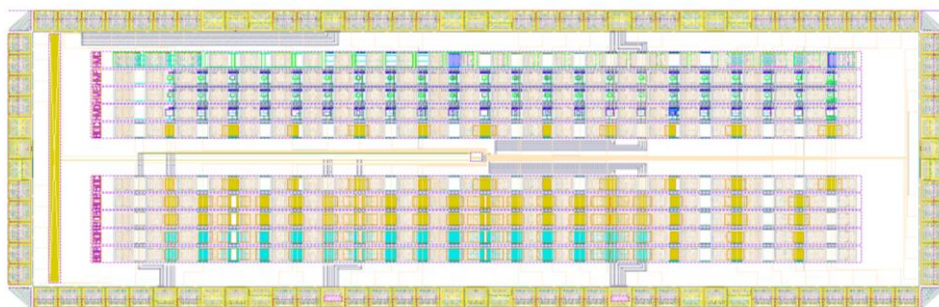
sistematic. Un tranzistor mic ggnMOS este plasat doar la intrarea fiecărui rând pentru protejarea porții inițiale, în timp ce restul inversoarelor din lanț se bazează exclusiv pe rezistența intrinsecă a traseului de masă. Layout-ul, construit pe principiul dublării rezistenței, permite identificarea pragului de defectare, prin observarea ieșirilor care cedează după aplicarea stresului CDM la intrare. Această abordare izolează influența rezistenței VSS și oferă reguli concrete pentru robustețea rețelei de masă în nodurile tehnologice nanometrice [21].

Caracteristicile celor douăsprezece rânduri de test implementate în Modulul 2 sunt în Tabel 4.1. Fiecare rând a fost proiectat pentru a evalua efectul creșterii rezistenței traseului de masă asupra robusteții CDM. Fiecare rând constă dintr-un lanț de inversoare alimentate printr-un traseu cu o anumită lungime. Numărul de inversoare scade progresiv pe măsură ce crește lungimea și rezistența traseului VSS, urmând un principiu de dublare a rezistenței. Primul rând începe cu 2346 de inversoare conectate la un traseu scurt de 0,41  $\mu\text{m}$  având o rezistență de 0,57  $\Omega$ , în timp ce rândul 12 conține doar 2 inversoare conectate printr-un traseu de 997,6  $\mu\text{m}$ , având o rezistență totală de 1387,17  $\Omega$ . Acest aranjament permite investigarea sistematică a pragului de defectare prin observarea modului în care stresul CDM afectează funcționalitatea pentru o gamă largă de rezistențe ale traseului de masă. Creșterea rapidă a rezistenței de la un rând la altul permite identificarea precisă a punctului critic dincolo de care apar defectările CDM.

Figura 4.4 ilustrează layout-ul integral al chipului de test care conține ambele module propuse. Din cauza numărului mare de IO-uri, capsula aleasă pentru acest chip este LQFP100 (Low-Profile Quad Flat Package cu 100 de pini).

**Tabel 4.1** Parametrii de proiectare ai Modulului 2 pentru fiecare rând.

Rând	Nr. de inversoare	Lungimea traseului [ $\mu\text{m}$ ]	Rezistența [ $\Omega$ ]
1	2346	0.41	0.57
2	1172	0.82	1.14
...			
12	2	997.625	1387.17



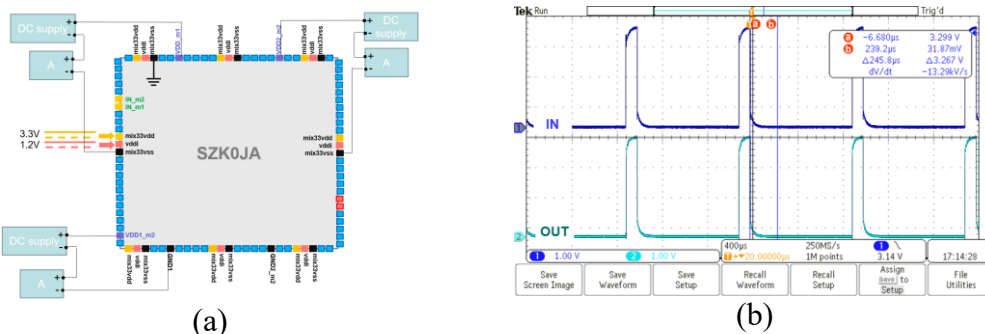
**Figura 4.4** Implementarea layout a întregului chip de test.

## 4.2 Rezultate experimentale

Verificarea inițială (pre-stres) a confirmat că toate structurile de test din ambele module sunt complet funcționale în condiții normale de operare, asigurând astfel că orice defectare ulterioară poate fi atribuită cu încredere stresului CDM și nu unor probleme



preexistente de logică sau conectivitate. Figura 4.5 prezintă (a) configurația experimentală propusă și (b) captura pe osciloscop a funcționalității.



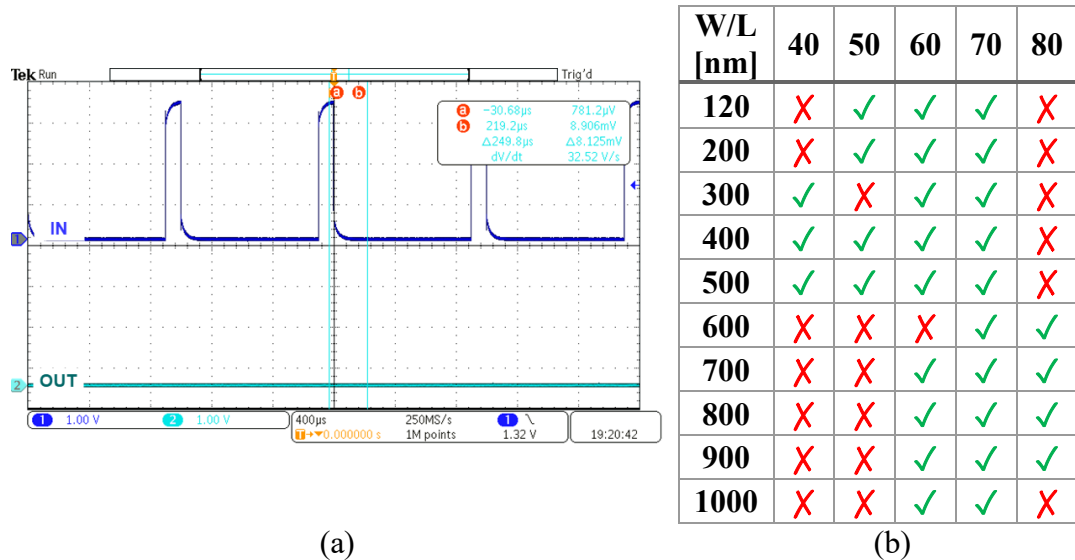
**Figura 4.5** (a) Configurație de test; (b) Formă de undă din osciloscop care arată intrarea și ieșirea uneia din structuri.

În urma verificării inițiale, ambele module au fost supuse testelor standardizate (FICDM), utilizând sistemul Orion2, în conformitate cu standardele ANSI (American National Standards Institute), ESDA (Electrostatic Discharge Association) [22] [23], JEDEC [10] și AEC (Automotive Electronics Council) [24]. Stresul CDM a fost aplicat exclusiv prin intermediul pinilor principali de alimentare și masă ai chipului de test (pinul 94, respectiv pinul 31), la patru niveluri de tensiune: 500 V, 1 kV, 1,5 kV și 2 kV. Fiecare nivel de tensiune a fost testat pe eșantioane separate pentru a izola efectele individuale ale fiecărui eveniment și pentru a evita deteriorarea cumulativă. În Modulul 1, obiectivul a fost observarea eficacității tranzistoarelor ggnMOS în protejarea porților de intrare ale receptorilor în timpul unui eveniment CDM, în timp ce Modulul 2 a evaluat dacă variația rezistenței traseului de masă conduce la supratensiuni localizate și defectarea circuitelor. Fiecare pin a fost supus la trei descărcări pozitive („zaps”) per eșantion, iar funcționalitatea a fost reverificată după fiecare nivel de stres. Această abordare a asigurat o expunere controlată și repetabilă la CDM, permițând o corelare clară între parametrii de proiectare și comportamentul observat în caz de defectare.

După fiecare eveniment de stres CDM, toate cele 55 de celule CPD din Modulul 1 au fost retestate pentru verificarea funcționalității logice, utilizând aceleași proceduri ca în etapa inițială. Pentru a asigura o comparație exactă, condițiile de testare—echipamentele, placa PCB (Printed Circuit Board), soclul, mediul ambiant și personalul—au fost păstrate identice. Orice abatere în comportamentul ieșirilor (de exemplu, blocarea ieșirii sau distorsiuni ale formei de undă) a indicat deteriorări cauzate de stresul CDM.

După cum era de așteptat, structura fără protecție a cedat, subliniind necesitatea integrării protecției CDM între domenii cu alimentări și mase separate. Figura 4.6(a) ilustrează unul dintre modurile tipice de defectare (unele ieșiri au devenit complet nefuncționale), în timp ce Figura 4.6(b) prezintă defectările observate în celulele protejate cu ggnMOS la 500 V, arătând că lungimea canalului a avut o influență mai mare asupra robusteții CDM decât lățimea. Dispozitivele cu lungimi ale canalului între 60–70 nm au oferit protecție optimă, în timp ce cele mai scurte (40 nm) și cele mai lungi (80 nm) au fost mai puțin eficiente. Deși lățimea tranzistoarelor nu a avut în general un impact semnificativ, tranzistoarele foarte late au necesitat lungimi de canal mai mari pentru a rămâne funcționale. Peste 1 kV, toate variantele de protecție au început să cedeze, iar

defectarea completă a fost observată la 1500–2000 V—niciuna dintre dimensiunile testate pentru tranzistoarele ggnMOS nu a putut rezista la aceste niveluri ridicate de stres CDM. Aceste rezultate confirmă că lungimile intermediare ale canalului sunt cele mai eficiente pentru protecția CPD în tehnologia CMOS de 40 nm, deși chiar și dispozitivele ggnMOS optimizate au limite clare în condiții extreme de stres CDM.



**Figura 4.6** (a) Test de funcționalitate pentru Modulul 1 pentru o singură probă după aplicarea stresului CMD-ESD; Forme de undă rezultate după stres de 2000 V ( $W=1000\text{nm}$ ;  $L=40\text{nm}$ ); (b) Rezultatele obținute după stres CDM-ESD de 500 V.

Analiza post-stres a Modulului 2 a evidențiat o corelație clară între rezistența traseului de masă și defectarea cauzată de CDM. La stresul de 500 V, chiar și rândul cu cea mai mare rezistență ( $\sim 1.38\text{ k}\Omega$ ) a rămas funcțional. Verificările funcționale pe toate rândurile și cele 13 eșantioane testate au arătat că nu au apărut defectări până la 1 kV—confirmând că și traseele cu rezistență ridicată pot tolera niveluri standard de CDM. Cu toate acestea, la 1.5 kV au început să apară defectări în rândurile cu rezistență moderată ( $\sim 1.14\text{ k}\Omega$ ) și ridicată ( $\sim 1.38\text{ k}\Omega$ ), iar la 2 kV defectarea a fost constantă în cazul traseelor cu rezistență maximă. Rezultatele indică existența unui prag critic de rezistență a traseului de masă între aproximativ  $0.7\text{--}1.3\text{ k}\Omega$ , peste care robustețea CDM se degradează semnificativ. Aceste concluzii confirmă că, pentru tehnologia de 40 nm, o rezistență  $\leq 0.7\text{ k}\Omega$  asigură protecție până la 2 kV, în timp ce o rezistență de până la  $1.3\text{ k}\Omega$  este acceptabilă pentru protecția până la 1 kV—oferind reguli concrete de proiectare pentru viitoarele rețele de distribuție a masei în noduri tehnologice nanometrice.

**Modulul 1:** Studiul protecției interfețelor CPD a oferit o recomandare clară de proiectare: pentru a asigura robustețea CDM la 500 V în tehnologia de 40 nm, dispozitivele ggnMOS utilizate ca protecție trebuie să aibă o lungime a canalului de cel puțin 1.5 ori mai mare decât lungimea minimă (adică  $\geq 60\text{ nm}$  dacă  $L_{\text{min}} = 40\text{ nm}$ ). Dispozitivele cu lungimi mai mari ale canalului (60–80 nm) au rămas funcționale chiar și la lățimi minime, în timp ce dispozitivele cu lungimea minimă (40 nm) au prezentat ocazional defectări la lățimi mici, indicând că efectele de canal scurt reduc eficacitatea protecției. Prin urmare, o proiectare conservativă ar selecta un tranzistor ggnMOS cu lungimea canalului de aproximativ 60 nm și o lățime moderată ( $0.5\text{--}1\text{ }\mu\text{m}$ ) pentru o marjă



de siguranță. Aceste concluzii rafinează recomandările anterioare pentru protecția CPD, cuantificând comportamentul specific pentru nodul tehnologic de 40 nm. Tabel 4.2 compară rezultatele Modulului 1 cu studii anterioare, oferind o imagine cuprinzătoare asupra strategiilor de protecție ESD în diferite noduri tehnologice, dispozitive și metodologii. În timp ce lucrări precedente precum [18], [25], [26] și [27] au explorat protecții bazate pe ggnMOS sau GCT-nMOS folosind stres vf-TLP sau MM (de obicei  $\leq 750$  V), iar [28], [29], [30] au investigat cleme RC sau protecții distribuite la nivele similare de stres, niciunul nu a combinat protecția bazată pe ggnMOS, metodologia FICDM și testarea până la 2000 V într-o interfață cross-domain de 40 nm. În mod notabil, [30] a studiat FICDM în tehnologia de 180 nm cu decuplare capacitivă, iar [29] a evaluat protecția non-pad în tehnologia de 45 nm, însă niciunul nu a abordat criteriile combinate îndeplinite de această lucrare. Această teză răspunde unei nevoi importante care lipsește din literatura de specialitate, demonstrând că protecția ggnMOS—proiectată și plasată corespunzător între domenii—poate menține robustețea CDM în condiții severe de stres folosind tehnici avansate FICDM.

**Tabel 4.2** Analiză de performanță cu studii similare pentru Modulul 1

Alte studii	Nod tehnologic	Dispozitiv de protecție	de Tensiune de stres	de Metodă de stres
[18]	-	ggnMOS	750V CDM	vf-TLP
[25]	180 nm	MOS cascodă	500V CDM	vf-TLP
[26]	90 nm	GCT-nMOS	500V MM	TLP
[27]	130 nm	GCT-nMOS	400V MM	TLP
[28]	40 nm	RC-Clamp	500V CDM	TLP
[30]	180 nm	Capacitoare de decuplare	500V CDM	FICDM
[29]	45 nm	Protecție distribuită intern	500V CDM	vf-TLP
<b>Acest studiu</b>	40 nm	ggnMOS	2000V CDM	FICDM

**Modulul 2:** Rezultatele modulului dedicat firelor lungi au stabilit o arie clară de operare sigură CDM în ceea ce privește rezistența traseului de masă în tehnologia de 40 nm. Pentru cerințele CDM standard (500–1000 V), proiectele pot tolera rezistențe ale masei de până la  $\sim 1.3$  k $\Omega$ , în timp ce atingerea unei robusteți superioare ( $\geq 2$  kV) necesită reducerea rezistenței la  $\leq 600$ –700  $\Omega$ . În practică, aceasta înseamnă limitarea lungimii liniilor de masă la aproximativ 500  $\mu$ m pentru metalul cu lățime minimă sau utilizarea traseelor mai late/groase și a unui număr sporit de via-uri. Aceste constatări sunt în acord cu mecanismele fizice ale defectării oxidului și susțin reguli practice de proiectare—cum ar fi specificarea unei impedanțe maxime admisibile între oricare două puncte de masă—pentru a controla vulnerabilitatea la CDM a circuitelor integrate. Tabel 4.3 compară rezultatele acestui studiu cu lucrări similare [31] [32] [33] [34] realizate în diferite noduri tehnologice, tipuri de capsule și metode de stres. În timp ce studiile anterioare s-au concentrat adesea pe noduri tehnologice mai vechi (130 nm, 90 nm) sau au utilizat testări diferite (vf-TLP), această lucrare se distinge prin validarea robusteții CDM la 40 nm utilizând FICDM (folosită pentru calificare CDM). Aceste concluzii acoperă o lacună importantă în literatura de specialitate și oferă reguli practice și orientate spre viitor pentru proiectarea circuitelor integrate avansate, cu accent pe rezistența la ESD.

**Tabel 4.3** Analiză de performanță cu studii similare pentru Modulul 2

Alte studii	Nod tehnologic	Încapsulare	Metoda de stres CDM-ESD	Tensiune de stres CDM	Rezistența maximă a firelor de masă
[31]	250 nm	LQFP64	vf-TLP	750 V	1 k $\Omega$
[32]	-	CDIP	vf-TLP	750 V	5.8 k $\Omega$
[43]	130 nm	Flip-chip	-	500 V	1.5 $\Omega$
[44]	90 nm	BGA	-	600 V	600 $\Omega$
Acest studiu	40 nm	LQFP100	FICDM	1 kV	1.3 k $\Omega$

În concluzie, acest capitol a prezentat două strategii complementare pentru îmbunătățirea robusteții la stresul CDM-ESD în structurile I/O CMOS avansate de 40 nm: protecția locală bazată pe dispozitive ggnMOS pentru interfețele dintre domenii diferite de alimentare (cross-power-domain - CPD) și evaluarea globală a rezistenței maxime tolerabile a traseului de masă. Metodologiile și structurile de test utilizate aici au fost deja evaluate și publicate în reviste de specialitate [21] [35], constituind baza analizei extinse din această teză. Aceste contribuții au influențat deja practicile interne de proiectare pentru bibliotecile I/O de 40 nm. În plus, studiul propune o direcție viitoare pentru protecția hibridă—integrarea dispozitivelor locale de protecție pe interconectările lungi. În concluzie, acest capitol face legătura dintre strategiile ESD la nivel de circuit și fiabilitatea CDM la nivel de chip, oferind reguli practice și validate experimental pentru o protecție robustă ESD în tehnologii CMOS nanometrice. Următorul capitol dezvoltă această bază, trecând la tehnologia de 28 nm și introducând metodologia vf-TLP.

## Capitolul 5

# Evaluarea metodelor de protecție CDM-ESD în regim tranzitoriu

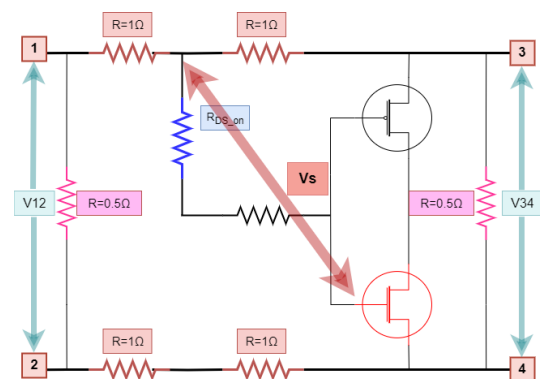
Acest capitol dezvoltă cadrul de evaluare a fenomenului ESD, mutând atenția asupra nodului tehnologic de 28 nm, unde geometriile mai mici și oxizii de poartă mai subțiri aduc noi provocări pentru protecția împotriva evenimentelor CDM-ESD. Pornind de la studiul efectuat pe tehnologia de 40 nm, care utiliza structuri fixe și teste CDM bazate doar pe criteriul trecere/picare (FICDM), acest capitol introduce o metodologie de caracterizare tranzitorie bazată pe vf-TLP, care oferă informații detaliate privind comportamentul tensiunii și curentului în timpul stresului CDM. Este propusă o structură de testare generalizată și flexibilă, capabilă să acopere diferite configurații de stres, cu accent deosebit pe interconectările metalice lungi—cunoscute ca puncte vulnerabile pentru ESD din cauza rezistențelor parazite și supratensiunilor locale. Această lucrare se bazează pe studiul evaluat și publicat de Dobre et al. [35], care a introdus metodologia prezentată la o conferință internațională, confirmând relevanța sa tehnică. Nodul tehnologic de 28 nm, deși oferă performanțe superioare și eficiență energetică mai mare,

prezintă o susceptibilitate crescută la ESD, din cauza adâncimilor de joncțiune reduse, spațiilor mai mici dintre interconectări și oxizilor de poartă mai subțiri [36] [37], ceea ce face schemele tradiționale de protecție mai puțin eficiente. Mai mult, probleme specifice CDM, cum ar fi supratensiunile tranzitorii [38], limitările modelelor de simulare [39] și paraziții induși de încapsulare [40], complică suplimentar strategiile de protecție. După cum subliniază recomandările recente din industrie [36] [41] [42], standardele actualizate și metodologiile de proiectare integrată (co-design) sunt necesare pentru a asigura robustețea la nivel de sistem. Acest capitol abordează aceste provocări extinzând cadrul experimental introdus în [35], validând diferite arhitecturi de protecție CDM în toate direcțiile de stres și prezentând rezultate experimentale pe siliciu care evidențiază mecanismele critice de defectare în tehnologiile cu oxid subțire.

## 5.1 Tehnica propusă de validare în siliciu

Acest capitol introduce o arhitectură versatilă pentru validarea protecțiilor CDM-ESD în tehnologia de 28 nm, în special în scenarii ce implică interconectări metalice lungi între driver și receptor. Structura propusă permite aplicarea controlată a stresului CDM pe diferite trasee de descărcare prin intermediul a patru pad-uri accesibile, simulând evenimente CDM reale cu configurabilitate ridicată. Metoda de validare include trei tipuri de protecție—fără protecție, pe bază de diode (duo- și trio-diode) și tranzistori ggnMOS (cu diferite variante geometrice) pentru o analiză cuprinzătoare. Un element important de noutate constă în capacitatea structurii de a reproduce toate scenariile potențiale CDM prin trasee configurabile de descărcare, monitorizate prin noduri cheie de tensiune (V12, V34, Vs) și rezistențe în serie care imită efectele parazite. Testarea utilizează metoda vf-TLP (Very Fast Transmission Line Pulse) în loc de FICDM, oferind o rezoluție mai bună a comportamentului tranzitoriu, a performanței dispozitivelor de protecție și localizării stresului—completând astfel limitările metodelor anterioare bazate exclusiv pe criteriul trecere/picare. Figura 5.1 evidențiază condițiile tensiunii de stres asupra oxidului în diferite direcții de stres între pad-uri, fiind calculate căderi precise de tensiune pentru identificarea scenariilor reale de stres.

CDM stress [10Amps]		V12 [V]	V34 [V]	Vs [V]
(+)	(-)			
1	2	4.9	0.6	4
1	3	2	2	4
1	4	2.5	2.5	7.5
2	4	3	2	6
3	1	2	2	4
4	1	2.5	2.5	7.5
4	2	3	2	6

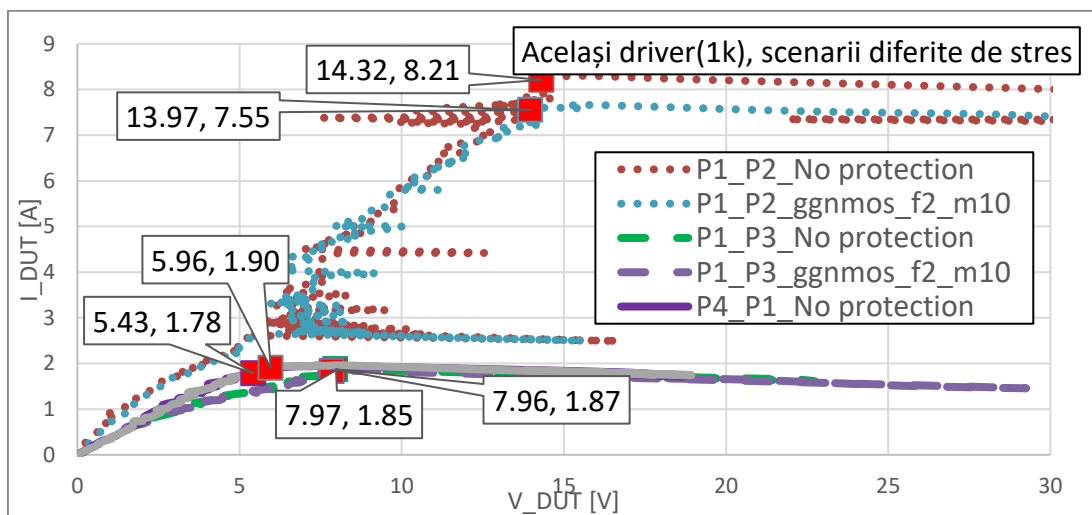


**Figura 5.1** Perechea driver-receiver când driverul e conectat la masă: oxidul de poartă nMOS al receiverului este afectat de stresul CDM detaliat în tabel.

Planul de testare, asigură că toate combinațiile structurilor de protecție sunt evaluate în condiții CDM realiste. Această abordare oferă o tehnică de validare precisă bazată pe

rezultate experimentale din siliciu, esențială pentru orientarea strategiilor de protecție în nodurile CMOS avansate. După proiectarea layout-ului și implementarea în siliciu, toate structurile de protecție CDM-ESD au fost caracterizate folosind metoda vf-TLP, care oferă informații tranzitorii detaliate asupra comportamentului curent-tensiune (I-V), comparativ cu abordarea binară trecere/picare specifică metodei FICDM utilizate în Capitolul 4. Sistemul vf-TLP aplică impulsuri cu fronturi rapide (de exemplu, durată de 10 ns, timp de creștere de 100 ps), permițând analiza curentului și tensiunii maxime, precum și determinarea pragurilor de defectare. Măsurătorile realizează o mediere a formelor de undă pentru a obține curbele I-V și detectează defectările prin creșteri bruște ale curentului de scurgere.

Rezultatele au evidențiat un comportament liniar rezistiv până într-un punct clar de inflexiune—dincolo de care dispozitivele au prezentat caracteristici de circuit deschis, indicând defectarea. Figura 5.2 compară structuri cu și fără protecție ggnMOS, demonstrând o toleranță îmbunătățită la curent pentru anumite trasee de stres. Aceste observații evidențiază atât influența limitată a dispozitivelor de protecție CDM în anumite configurații specifice de rutare, cât și posibilele probleme legate de traseele de metal ca sursă a defectării, subliniind valoarea tehnicii vf-TLP în identificarea mecanismelor subtile de defectare în tehnologiile nanometrice.



**Figura 5.2** Caracteristicile curent-tensiune (I-V) după aplicarea vf-TLP.

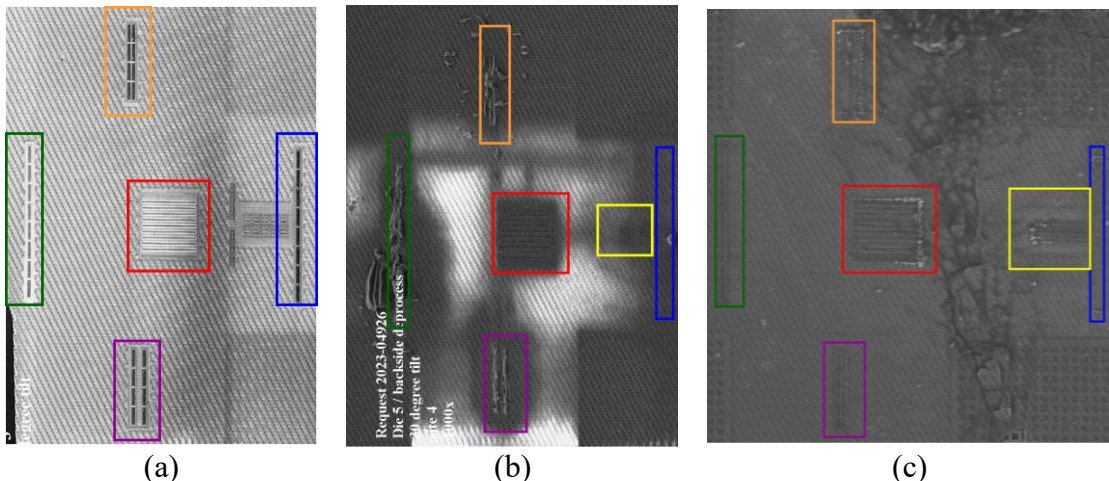
## 5.2 Analiza defectelor

Analiza defectelor (FA-Failure Analysis) în urma testelor vf-TLP a implicat două cazuri principale—(A) P1 la P2 (unde nu era așteptată deteriorarea receptorului) și (B) P1 la P3 (unde era anticipat stresul asupra oxidului tranzistorului pMOS din receptor)—fiecare caz fiind examinat la două niveluri de stres: (a) limitat la 1.5 A și (b) până la punctul de inflexiune al curentului ( $\sim 7.5$  A sau  $\sim 1.8$  A). Tabel 5.1 rezumă defectările observate după aplicarea stresului de 1.5 A de la P1 la P2 (Cazul A). Figura 5.3 prezintă imagini SEM (Scanning Electron Microscopy) care relevă deteriorări localizate în principal în rezistoarele de  $2\ \Omega$ , indicând vulnerabilități ale rutării mai degrabă decât limitări ale dispozitivelor de protecție. Structura 4, protejată cu diode duble și cu driver-

ul conectat la alimentare, nu a prezentat defectări—spre deosebire de celelalte structuri, unde defectările au fost inconsistente și slab corelate cu tipul de protecție utilizată (conform analizei Tabel 5.1). Totuși, aplicarea stresului până la punctul de inflexiune a dus la defectări catastrofale în toate elementele testate, confirmând presupunerea inițială că metalizarea, și nu tipul dispozitivului de protecție, a dominat comportamentul de defectare. În Cazul B (P1 la P3), Figura 5.3 (c) arată deteriorări extinse în structura neprotejată, cu driver-ul conectat la alimentare. Similar, rezultatele analizei defectelor a fost centralizat: Structura 5 (fără protecție, driver conectat la alimentare) a suferit cele mai severe deteriorări (patru elemente defectate), în timp ce Structurile 1 și 3 (driver conectat la masă, fără protecție sau protejat cu diode duble) au fost cel mai puțin afectate. Pe măsură ce stresul a depășit 1.8 A, toate structurile au manifestat defectări termice complete. Aceste observații confirmă că anumite componente sunt în mod particular vulnerabile la stresul CDM-ESD. Deși protecțiile bazate pe trio-diode și ggnMOS oferă o rezistență moderată, acestea nu pot preveni complet defectarea, întărind necesitatea optimizării designului și a selecției materialelor în viitoarele scheme de protecție ESD pentru tehnologii nanometrice.

**Tabel 5.1** Rezultate admis/respins după stres aplicat de la P1 - P2 până la 1.5 A.

No.	Structure	2 $\Omega$ rezistor jos	2 $\Omega$ rezistor sus	0.5 $\Omega$ rezistor stânga	0.5 $\Omega$ rezistor dreapta	1k $\Omega$ rezistor driver	Receiver
1	NM_diodă	X	X	X	X	✓	✓
2	NM_ggnMOS	X	X	✓	✓	✓	✓
3	PM_fără_protecție	X	X	X	✓	✓	X
4	PM_diodă	✓	✓	✓	✓	✓	✓
5	PM_ggnMOS	X	X	✓	✓	X	X



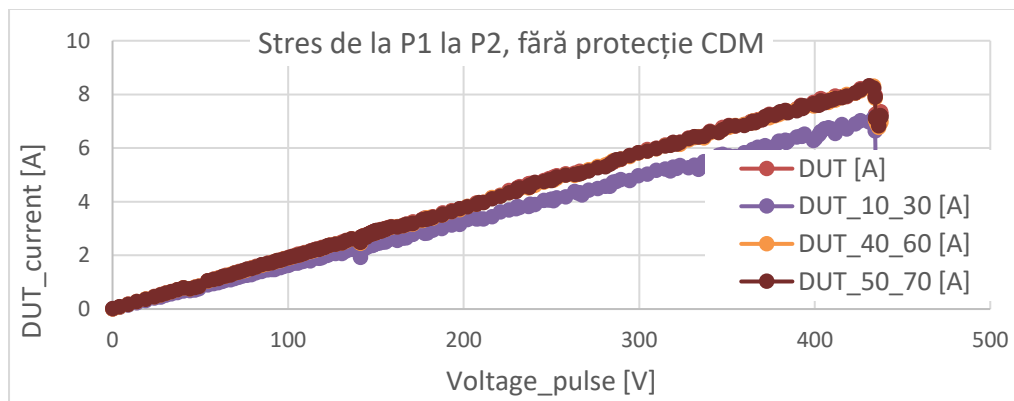
**Figura 5.3** Avariere a structurii (driver la masă) protejată cu diodă dublă când stresul CDM-ESD a fost aplicat de la : (a)/(b) P1 la P2 (nu se așteaptă distrugerea oxidului) până curentul atinge 1.5A/se limitează; (c) P1 – P3 1.5A..

Acest studiu subliniază necesitatea optimizării protecției CDM-ESD și îmbunătățirii rutării pentru a preveni defectările—în special în traseele metalice vulnerabile. Rezultatele arată că lățimile standard ale liniilor metalice de 2  $\mu\text{m}$  sunt

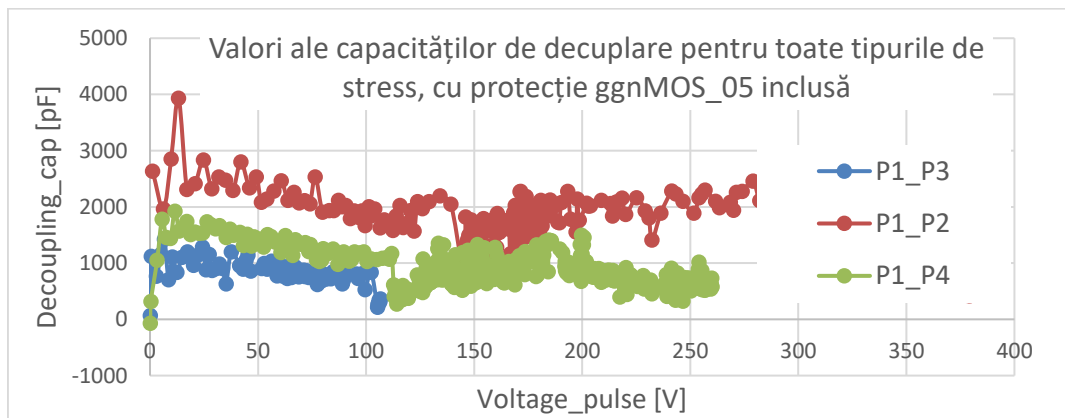
insuficiente sub stres CDM și ar trebui mărite. În plus, introducerea unui al cincilea pad (**Error! Reference source not found.**) ar permite o monitorizare mai exactă a curentului de scurgere în timpul testelor vf-TLP, facilitând astfel identificarea pragurilor de deteriorare a oxidului fără a necesita analize fizice de defectare și simplificând procesul de evaluare a protecțiilor.

### 5.3 Extragerea concluziilor din datele vf-TLP

Această secțiune analizează în detaliu formele de undă vf-TLP pentru a înțelege mai bine comportamentul protecțiilor CDM-ESD. Deși din testele standard nu a reieșit un dispozitiv clar superior ca performanță, analiza formelor de undă vf-TLP dezvăluie dinamica critică a defectării și subliniază influența intervalelor de mediere și a direcției de stres. Figura 5.4 arată că ajustarea intervalului de mediere influențează semnificativ caracteristicile I-V extrase, în special în faza tranzitorie inițială, când curentul încă este în creștere. Figura 5.5 compară valorile capacității de decuplare în funcție de direcția de stres, arătând o capacitate constant mai mare pentru stresul P1-P2, fapt ce se corelează cu o robustețe sporită și praguri mai mari de curent/tensiune înainte de defectare. Deși tipul protecției nu determină în mod singular comportamentul de decuplare, traseul specific de stres joacă un rol major în modelarea răspunsului tranzitoriu și energetic. În concluzie, această analiză confirmă că parametrii tranzitorii și capacitatea de decuplare sunt indicatori importanți ai robusteții la evenimente CDM-ESD.



**Figura 5.4** Rezultatele în curent cu diverse eșantioane considerate.



**Figura 5.5** Valorile capacităților de decuplare.

Acest capitol a introdus o metodologie nouă bazată pe caracterizarea tranzitorie folosind vf-TLP pentru evaluarea schemelor de protecție CDM-ESD în tehnologia de 28 nm, reprezentând un progres semnificativ față de testele tradiționale FICDM de tip pass/fail. Prin facilitarea analizei detaliate a formelor de undă și simularea multiplelor scenarii de stres în cadrul unui singur layout—în special cele ce implică interconectări metalice lungi—acest studiu a evidențiat mecanisme critice de defectare, acumularea energiei și rolul capacității de decuplare. Comparativ cu literatura existentă, această lucrare se remarcă prin faptul că este prima care aplică vf-TLP în scenarii CDM la 28 nm, cu accent pe comportamentul tranzitoriu, oferind o rezoluție diagnostică superioară. Aceste rezultate oferă recomandări esențiale pentru proiectarea viitoarelor strategii de protecție ESD și subliniază importanța validării specifice tehnologiei. Metodologia prezentată formează o bază solidă pentru îmbunătățirea practicilor de co-design ESD, urmând ca lucrările viitoare să extindă structurile de test, să optimizeze rutarea și să investigheze dispozitive suplimentare pentru o fiabilitate crescută în nodurile tehnologice nanometrice.

## Capitolul 6

## Concluzii

### 6.1 Obiective generale, rezultate și contribuții originale

Obiectivul principal al acestei teze a fost dezvoltarea, validarea și optimizarea unor metodologii robuste de protecție pentru două dintre cele mai critice amenințări asupra fiabilității în tehnologiile CMOS nanometrice: descărcările electrostatice (ESD), cu accent special pe CDM (Charged Device Model), și fenomenul de latch-up. Pe măsură ce tehnologiile CMOS avansează către nodurile tehnologice de 55 nm, 40 nm și 28 nm, abordările tradiționale de protecție devin tot mai ineficiente datorită reducerii dimensiunilor, oxizilor mai subțiri și densităților mari de curent. Această evoluție necesită arhitecturi noi de protecție și metodologii precise de validare care să răspundă provocărilor fizice și electrice tot mai mari ale dispozitivelor miniaturizate.

Această cercetare a fost motivată atât de cerințele industriale, cât și de lacunele științifice existente, deoarece structurile standard actuale de protecție sunt adesea prea conservatoare—conducând la suprafețe inutile ocupate pe siliciu—sau insuficiente, generând defectări costisitoare. Teza abordează sistematic aceste limitări propunând metodologii avansate bazate pe optimizarea proiectării, validare pe siliciu și caracterizare experimentală. Aceste abordări au fost proiectate să fie modulare, scalabile și adaptabile pe mai multe noduri tehnologice CMOS, cu accent pe păstrarea fiabilității și minimizarea suprafeței ocupate și a penalizărilor de performanță. Pentru atingerea acestor obiective, teza a urmărit o metodologie structurată ce include modelare analitică, optimizare de layout, proiectarea de structuri dedicate de test și validarea riguroasă post-fabricare. Acest demers a inclus:

- Stabilirea metodologiilor pentru proiectarea compactă a inelelor de gardă pentru diminuarea latch-up-ului și reducerea suprafeței celulelor I/O.
- Caracterizarea dispozitivelor ggnMOS cu diverse geometrii și condiții de stres CDM, pentru definirea regulilor fiabile de proiectare în tehnologia de 40 nm.
- Cuantificarea impactului rezistenței traseului de masă asupra eficienței protecției CDM, rezultând reguli concrete de proiectare a layout-ului.
- Investigarea defectării oxizilor în tehnologii de 28 nm sub stres CDM, în special în scenarii cu fire lungi, evaluând topologii bazate pe diode și ggnMOS.
- Utilizarea unor cadre statistice precum Design of Experiment (DOE) pentru explorarea inteligentă și optimizarea spațiilor largi de parametri, accelerând astfel convergența către soluții robuste.

În ansamblu, teza dezvoltă un cadru complet pentru proiectarea și validarea metodologiilor de protecție, bazat pe implementări reale în siliciu. Combinarea simulărilor, optimizării DOE și validării post-fabricare garantează că abordările propuse sunt viabile teoretic și practic. Prin conexiunea dintre constrângerile regulilor de proiectare, fizica dispozitivelor și integrarea la nivel de sistem, cercetarea aduce o contribuție semnificativă în domeniul fiabilității ESD și latch-up. Rezultatele sunt direct aplicabile proiectanților de circuite integrate în intervalul 55 nm–28 nm, iar metodologiile pot fi adaptate pentru noduri viitoare. Teza oferă astfel soluții imediate și o bază strategică pentru inovarea continuă în domeniul fiabilității semiconductoarelor. „

Contribuțiile originale ale tezei sunt concentrate în capitolele 3–5, fiecare abordând limitări critice privind fiabilitatea tehnologiilor CMOS moderne și culminând cu strategii de protecție validate experimental. Cercetările prezentate au fost documentate și publicate în jurnale și conferințe de specialitate și sunt listate în Subcapitolul 6.3 ca referințe de la [1] la [7], apoi atribuite fiecărei contribuții descrise mai jos.

### **O metodologie pentru definirea regulilor latch-up [1-3]**

Capitolul 3 a introdus o abordare structurată pentru optimizarea protecției împotriva fenomenului latch-up în celulele I/O, folosind tehnici bazate pe Design of Experiment (DOE) pentru a analiza și rafina configurațiile inelelor de gardă. Metodologia a permis variația sistematică a parametrilor de inele de gardă definiți de fabricație—precum lățimea implanturilor și distanțările—rezultând într-un set compact de reguli de layout care păstrează imunitatea la latch-up conformă cu standardele JEDEC, reducând în mod semnificativ suprafața de siliciu utilizată. Dincolo de beneficiile imediate privind eficiența suprafeței, metoda stabilește un flux scalabil și repetabil care poate fi adaptat diverselor noduri tehnologice submicronice. Aceste contribuții sunt deosebit de valoroase, întrucât protecția la latch-up consumă o proporție tot mai mare din suprafața layout-ului în designurile moderne de I/O de mare densitate [1-3].

### **Structuri experimentale pentru robustețea CDM-ESD în domenii de alimentare diferite [5]**

Pentru a aborda sensibilitatea crescută a circuitelor nanometrice la evenimente CDM—în special la interfețele dintre domeniile de alimentare [4]—această lucrare a introdus (în Capitolul 4) structuri experimentale specializate pentru evaluarea dispozitivelor de protecție de tip grounded-gate nMOS (ggnMOS) în situații cu domenii



de alimentare diferite. A fost realizat un studiu sistematic asupra mai multor geometrii (55 structuri diferite) și niveluri de stres CDM (de la 500 V până la 2000 V) în tehnologia CMOS de 40 nm, conducând la recomandări cantitative de proiectare, precum creșterea lungimii canalului ggnMOS cu aproximativ 50% peste valoarea minimă ( $\geq 60$  nm), pentru o funcționare fiabilă (până la 500 V CDM). Rezultatele au arătat că ajustări minore ale dispozitivelor pot îmbunătăți semnificativ protecția la trecerea dintre domenii. Rezultatele au fost validate prin teste FICDM, asigurând relevanța funcțională și robustețea metodologiei propuse de protecție [1] [2] [4] [5].

#### **Investigarea robusteții CDM în interconectări extinse de metal [6]**

O a doua contribuție importantă prezentată în Capitolul 4 implică proiectarea și testarea structurilor experimentale destinate evaluării susceptibilității CDM de-a lungul interconectărilor extinse de pe chip [6]. Prin varierea lungimilor și rezistențelor traseelor de masă, studiul a dezvăluit o corelație clară între pragurile de defectare CDM și rezistența la masă, identificând valori critice ale rezistenței peste care defectările induse de CDM au apărut constant. Pentru a susține în mod fiabil niveluri CDM de până la 1 kV, rezistența la masă trebuie menținută sub aproximativ 1.3 k $\Omega$ , iar pentru 2 kV, sub aproximativ 0.7 k $\Omega$ . Această observație a condus la recomandări concrete de proiectare și rutare pentru minimizarea impedanței la masă în circuite mari sau distribuite. Utilizarea testelor FICDM a permis un control precis și repetabil al stresului, confirmând importanța menținerii rezistenței la masă sub pragurile definite, pentru a asigura imunitatea CDM fiabilă în circuitele integrate (IC) pe 40 nm [2] [6].

#### **Evaluarea protecțiilor CDM-ESD pe baza răspunsurilor tranzitorii [7]**

Capitolul 5 s-a concentrat pe vulnerabilitățile oxidului subțire în tehnologiile CMOS de 28 nm, unde metodele tradiționale de protecție ESD devin insuficiente. A fost dezvoltată o nouă tehnică de validare pentru evaluarea stresului CDM în scenarii cu interconectări lungi de metal—o problemă critică în IC-urile de înaltă performanță, cu conexiuni extinse între drivere și receptoare [7]. Prin implementare pe siliciu, studiul a stabilit pragurile de defectare asociate creșterii rezistenței traseului de masă, făcând o legătură clară între paraziții induși de layout și fiabilitatea oxidului. Rezultatele experimentale au arătat corelația dintre defectări și rezistența traseelor de masă, ducând la recomandări practice privind rutarea sigură și proiectarea layout-ului în noduri avansate. În plus, au fost comparate direct topologiile de protecție bazate pe diode și cele bazate pe ggnMOS, oferind informații privind compromisurile între eficiența protecției, comportamentul curentului rezidual și implementarea fizică [1] [2] [7].

Împreună, aceste contribuții avansează stadiul actual al tehnicilor de protecție la latch-up și CDM-ESD, oferind soluții practice, scalabile și eficiente din punct de vedere al ariei, adaptate cerințelor exigente ale proiectării moderne de circuite integrate. Fiecare contribuție a fost riguros validată prin simulări sau implementări pe siliciu, asigurând aplicabilitatea acestora în provocările reale de proiectare. Metodologiile și rezultatele prezentate în această teză nu sunt doar valoroase academic, ci au fost deja adoptate în practică, contribuind activ la robustețea și fiabilitatea circuitelor integrate din nodurile tehnologice de 55 nm, 40 nm și 28 nm.

## 6.2 Lista Lucrărilor Publicate

Rezultatele și inovațiile prezentate în această teză au la bază următoarele publicații:

[1] **M. -D. Dobre** and G. Brezeanu, "Pad cells performances in submicron technologies," in Proceedings of the 39th International Semiconductor Conference (CAS), Sinaia, Romania, 2016, pp. 205-208, doi: 10.1109/SMICND.2016.7783087. ISBN 978-1-5090-1207-7. ISSN 1545-827X. WOS: 000391323300042.

[2] **M. -D. Dobre**, P. Coll and G. Brezeanu, "I/O library comparison methodology for 40nm CMOS technology," in Proceedings of the 40th International Semiconductor Conference (CAS), Sinaia, Romania, 2017, pp. 183-186, doi: 10.1109/SMICND.2017.8101194. ISBN 978-1-5090-3985-2. ISSN 1545-827X. WOS: 000425844500038.

[3] **M. -D. Dobre**, P. Coll and G. Brezeanu, "I/O Cells Latchup Immunity: Methodology for Compact Layout Rules in an Advanced CMOS Technology," in Proceedings of the 43rd International Semiconductor Conference (CAS), Sinaia, Romania, 2020, pp. 115-118, doi: 10.1109/CAS50358.2020.9268033. ISBN 978-1-7281-1073-8. ISSN 1545-827X. WOS: 0006372646000262.

[4] R. -V. Petrica, **M. -D. Dobre**, P. Coll, F. Draghici and G. Brezeanu, "Comparison of Level Shifter Architectures: Application to I/O Cell," in Proceedings of the 41st International Semiconductor Conference (CAS), Sinaia, Romania, 2018, pp. 209-212, doi: 10.1109/SMICND.2018.8539796. ISBN 978-1-5386-4482-9. WOS: 000514386700041.

[5] **M. -D. Dobre**, P. Coll and G. Brezeanu, "A Study on ESD-CDM Cross-Power Domain Failures," in Proceedings of the 17th Conference on Ph.D Research in Microelectronics and Electronics (PRIME), Villasimius, SU, Italy, 2022, pp. 21-24, doi: 10.1109/PRIME55000.2022.9816786. ISBN 978-1-6654-6700-1 WOS:000945853500032.

[6] **M.-D. Dobre**, P. Coll, and G. Brezeanu, "CDM protection test structure for I/O cells in a submicronic technology", in Electronics Journal, vol. 10, no. 4, art. no. 443, Feb. 2021. doi: 10.3390/electronics10040443. ISSN 2079-9292. WOS:000623383400000, Q2 Journal.

[7] **M. -D. Dobre**, P. Coll and G. Brezeanu, "Validation Technique for Thin Oxide CDM Protections," in Proceedings of the 45th International Semiconductor Conference (CAS), Poiana Brasov, Romania, 2022, pp. 131-134, doi: 10.1109/CAS56377.2022.9934740. ISBN 978-1-6654-5256-4. ISSN 1545-827X. Indexed in IEEE Xplore Digital Library.

[8] **M. -D. Dobre**, C.-Y. Chang, C.-K. Chen, P. Coll and G. Brezeanu, "On-Silicon Characterization of CDM-Like Stress in Long Interconnects Using vf-TLP in Nanometric ICs " – acceptată pentru publicare în IEEE Transactions on Device and Materials Reliability (Q2 Journal).

Articolele [1]–[3] au definit direcția, subiectul și relevanța tezei, axându-se pe fenomenele de latch-up și ESD în celulele I/O. Primele două au oferit o bază solidă prin simularea și caracterizarea bibliotecilor I/O în tehnologii submicronice, iar al treilea a vizat proiectarea sub-blocului de interfațare a nivelurilor de tensiune, fundament pentru

cercetarea din Capitolul 4 privind protecția CDM-ESD în contexte cu alimentări multiple. Capitolul 3, detaliat și în [4], a introdus o metodologie de protecție la latch-up validată experimental. Continuarea cercetării a dus la [5], care a prezentat implementarea pe siliciu și evaluarea interconectărilor lungi în tehnologia de 40 nm, urmat de [6], ce a caracterizat complet Modulul 1. Articolele [7]–[8] au extins studiul la tehnologia de 28 nm, propunând o arhitectură de testare controlabilă pentru evaluarea eficienței protecției ESD. Împreună, aceste lucrări au fost citate de șapte ori, subliniind impactul lor științific.

## 6.3 Direcții de Dezvoltare

Deși metodologiile și arhitecturile propuse în această teză au abordat probleme-cheie de fiabilitate în tehnologiile CMOS scalate, rămân încă direcții potențiale de cercetare:

- Reevaluarea protecției CDM-ESD la nodul tehnologic de 28 nm: Activitățile viitoare vor include o nouă serie de teste pentru protecția CDM-ESD în tehnologia de 28 nm, deoarece până în prezent nu s-a stabilit o corelație definitivă între tipul dispozitivului de protecție (diodă sau ggnMOS) și geometria acestuia în raport cu robustețea CDM. Această etapă ulterioară va extinde concluziile studiului actual, în special prin implementarea unor strategii îmbunătățite de rutare pentru eliminarea traseelor susceptibile la deteriorări cauzate de evenimente CDM și prin integrarea unui pad suplimentar dedicat monitorizării precise a curentului de scurgere.

- Adaptarea la scalarea procesului tehnologic: Pe măsură ce industria evoluează către nodurile de 7 nm, extinderea metodologiilor pentru imunitatea la latch-up și protecția CDM la tehnologii bazate pe FinFET și GAA va fi necesară.

- Modelarea CDM la nivelul întregului chip: Lucrările viitoare ar trebui să includă platforme avansate de modelare, capabile să ia în calcul efectele dependente de layout și distribuția paraziților masei pentru a îmbunătăți precizia predicțiilor.

- Instrumente automate de proiectare: Implementarea metodologiei latch-up bazat pe DOE dezvoltată în această teză în instrumente EDA pentru proiectanții de layout, oferind ajustări în timp real privind conformitatea cu regulile de protecție.

- Dispozitive de protecție adaptive: Cercetarea circuitelor de protecție adaptive sau inteligente, capabile să se ajusteze dinamic la schimbările de mediu sau operaționale (temperatură, fluctuații de tensiune), ar putea spori și mai mult robustețea.

În concluzie, această teză oferă o bază solidă pentru protecția robustă împotriva ESD și latch-up în nodurile CMOS nanometrice, oferind atât cadre teoretice, cât și strategii validate experimental. Metodologiile și arhitecturile introduse contribuie direct la îmbunătățirea fiabilității circuitelor integrate în procesele avansate de fabricație a semiconductorilor.

# Bibliografie

- [1] A. Wang, Practical ESD Protection Design, Wiley-IEEE Press, 2021, pp. 69-73.
- [2] Voldman, S., ESD Basics: From Semiconductor Manufacturing to Product Use, Hoboken: NJ: Wiley-IEEE Press, 2012.
- [3] Troutman, R., Latch-up in CMOS Technology: The Problem and its Cure, Boston: MA: Springer Science & Business Media, 1986.
- [4] Liou, J. J., "Challenges of designing electrostatic discharge (ESD) protection in modern and emerging CMOS technologies," in International Symposium on Next-Generation Electronics, Kaohsiung, Taiwan, 2013.
- [5] Duvvury, C., "ESD protection device issues for IC designs," in Proceedings of the IEEE 2001 Custom Integrated Circuits Conference, San Diego, CA, USA, 2001.
- [6] M. -D. Ker and Z. -H. Jiang, "Overview on Latch-Up Prevention in CMOS Integrated Circuits by Circuit Solutions," IEEE Journal of the Electron Devices Society, vol. 11, pp. 141-152, 2023.
- [7] Neil H. E. Weste, David Money Harris, CMOS VLSI Design, a circuits and systems perspective, 2011.
- [8] Ming-Dou Ker and Wen-Yu Lo, "Methodology on extracting compact layout rules for latchup prevention in deep-submicron bulk CMOS technology," IEEE Transactions on Semiconductor Manufacturing, vol. 16, no. 2, pp. 319-334, 2003.
- [9] C.T. Dai, M.D. Ker, "Optimization of Guard Ring Structures to Improve Latchup Immunity in an 18V DDMOS Process," IEEE Transactions on Electron Devices, pp. 1-6, 2016.
- [10] JEDEC Standard JESD78E, "IC Latch-Up Test," JEDEC Solid State Tech. Assoc., April 2016.
- [11] M. -D. Dobre, P. Coll and G. Brezeanu, "I/O Cells Latchup Immunity: Methodology for Compact Layout Rules in an Advanced CMOS Technology," in Proceedings of the 43rd International Semiconductor Conference (CAS), Sinaia, Romania, 2020, pp. 115-118, doi: 10.1109/CAS50358.2020.9268033. ISBN 978-1-7281-1073-8. ISSN 1545-827X. WOS: 0006372646000262.
- [12] Dobre, M.-D., "Design and Characterization of I/O Pad Libraries – Latchup rules methodology and implementation for 55nm technology I/Os," Bucharest, June 2018.
- [13] Ker, H. -W. Tsai and M. -D., "Active Guard Ring to Improve Latch-Up Immunity," IEEE Transactions on Electron Devices, vol. 61, no. 12, pp. 4145-4152, 2014.
- [14] JMP, A Business Unit of SAS, "Design of," SAS Institute Inc, 2012.
- [15] Hutson, R., "Single Event Latchup in a Deep Submicron CMOS Technology," 2008.
- [16] Ansys (Apache) Totem Product Brief, "Integrity and Reliability in Analog and Mixed-Signal," 2016. [Online]. Available: [semiwiki.com](http://semiwiki.com).
- [17] Synopsys Inc., "TOTEM Latch-Up Analysis User Guide," Synopsys Inc., Mountain View, CA, USA, 2022.

- [18] C. Troussier, J. Bourgeat, E. Simeu, J. -D. Arnould, J. Jimenez and B. Jacquier, "Study of Inter-Power Domain Failures during a CDM Event," in 2020 42nd Annual EOS/ESD Symposium (EOS/ESD), Reno, NV, USA, 2020.
- [19] M. Etherton et al., "A new full-chip verification methodology to prevent CDM oxide failures," in 2015 37th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), Reno, NV, USA, 2015.
- [20] M. -D. Dobre, P. Coll and G. Brezeanu, "A Study on ESD-CDM Cross-Power Domain Failures," in Proceedings of the 17th Conference on Ph.D Research in Microelectronics and Electronics (PRIME), Villasimius, SU, Italy, 2022, pp. 21-24, doi: 10.1109/PRIME55000.2022.9816786. ISBN 978-1-6654-6700-1. WOS:000945853500032.
- [21] M.-D. Dobre, P. Coll, and G. Brezeanu, "CDM protection test structure for I/O cells in a submicronic technology", in Electronics Journal (Q2 Journal), vol. 10, no. 4, art. no. 443, Feb. 2021. doi: 10.3390/electronics10040443. ISSN 2079-9292. WOS:00062338340000.
- [22] ESD Association, "Fundamentals of Electrostatic Discharge, Part Five – Device Sensitivity and Testing," Rome, NY, 2010.
- [23] ESD Association, "Fundamentals of Electrostatic Discharge, Part 1—An Introduction to ESD," ESD Association, Rome, NY, USA, 2010.
- [24] AEC—Q100-011 Rev-C1, "Charged Device Model (CDM) Electrostatic Discharge Test," 12 March 2013.
- [25] C. -Y. Hsueh and M. -D. Ker, "Stacking-MOS Protection Design for Interface Circuits Against Cross-Domain CDM ESD Stresses," IEEE Transactions on Electron Devices, vol. 68, no. 4, pp. 1461-1470, 2021.
- [26] M. Okushima, "ESD protection design for mixed-power domains in 90nm CMOS with new efficient power clamp and GND current trigger (GCT) technique," in 2006 Electrical Overstress/Electrostatic Discharge Symposium, 2006.
- [27] S. Chen, M. Ker and H. Hung, "Active ESD Protection Design for Interface Circuits Between Separated Power Domains Against Cross-Power-Domain ESD Stresses," IEEE Transactions on Device and Materials Reliability, vol. 8, no. 3, pp. 549-560, 2008.
- [28] M. Stockinger, "Low-Leakage NMOS Clamps with Gate-Assisted Bipolar Triggering," in 2019 41st Annual EOS/ESD Symposium (EOS/ESD), 2019.
- [29] M. Di, C. Li, Z. Pan and A. Wang, "Non-Pad-Based in Situ In-Operando CDM ESD Protection Using Internally Distributed Network," IEEE Journal of the Electron Devices Society, vol. 9, pp. 1248-1256, 2021.
- [30] Y. -C. Huang and M. -D. Ker, "Study on CDM ESD Robustness Among On-Chip Decoupling Capacitors in CMOS Integrated Circuits," IEEE Journal of the Electron Devices Society, vol. 9, pp. 881-890, 2021.
- [31] Abessolo-Bidzo, D.; Smedes, T.; de Jong, P.C., "A study of the effect of remote CDM clamps in integrated circuits," in Proceedings of the 2015 37th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), Reno, NV, USA, 2015.
- [32] Troussier, C.; Bourgeat, J.; Simeu, E.; Arnould, J.-D.; Jimenez, J.; Jacquier, B. , "Study of Inter-Power Domain Failures during a CDM Event," in Proceedings of the 2020 42nd Annual EOS/ESD Symposium (EOS/ESD), Reno, NV, USA, 2020.

- [33] Brennan, C.J.; Sloan, J.; Picozzi, D., "CDM failure modes in a 130 nm ASIC technology," in Proceedings of the 2004 Electrical Overstress/Electrostatic Discharge Symposium, Grapevine, TX, USA, 2004.
- [34] Alvarez, D.; Kupfer, C.; Kruppa, J.; Trivedi, N.J.; Chakravarthy, S.N., "CDM single power domain failures in 90 nm," in Proceedings of the 2013 35th Electrical Overstress/Electrostatic Discharge Symposium, Las Vegas, NV, USA, 2013.
- [35] M. -D. Dobre, P. Coll and G. Brezeanu, "Validation Technique for Thin Oxide CDM Protections," in Proceedings of the 45th International Semiconductor Conference (CAS), Poiana Brasov, Romania, 2022, pp. 131-134, doi: 10.1109/CAS56377.2022.9934740. ISBN 978-1-6654-5256-4. ISSN 1545-827X. Indexed in IEEE Xplore Digital Library.
- [36] Industry Council on ESD Target Levels, "A Case for Lowering Component-Level CDM ESD Specifications and Requirements," White Paper 2, Rev. 3.0, May 2021.
- [37] EOS-ESD Association, Inc, "Technology Roadmap 2025," September 2024.
- [38] C. Wang et. al., "A Study of Transient Voltage Peaking in Diode-Based ESD Protection Structures in 28nm CMOS," IEEE Access, vol. 8, pp. 87164-87172, May 2020.
- [39] Wang, H., "A Chip-Level CDM ESD Protection Circuit Modeling and Simulation Method and Experimental Verification," Riverside, 2018.
- [40] A. Wang et. al., "Challenges: ESD Protection for Heterogeneously Integrated SoICs in Advanced Packaging," Electronics, vol. 13, no. 12, p. 2341, June 2024.
- [41] JEDEC, "ESD Protection Design and Qualification Challenges," May 2014.
- [42] A. Wang et. al., "On-chip ESD Protection Design Methodologies by CAD Simulation," ACM Journal on Emerging Technologies in Computing Systems, vol. 17, no. 4, pp. 1-20, August 2021.
- [43] C. Brennan, J. Sloan and D. Picozzi, "CDM failure modes in a 130 nm ASIC technology," in Proceedings of the 2004 Electrical Overstress/Electrostatic Discharge Symposium, Grapevine, TX, USA, 2004.
- [44] D. Alvarez, C. Kupfer, J. Kruppa, N. Trivedi and S. Chakravarthy, "CDM single power domain failures in 90 nm," in Proceedings of the 2013 35th Electrical Overstress/Electrostatic Discharge Symposium, Las Vegas, NV, USA, 2013.