



UNIVERSITATEA NAȚIONALĂ DE
ȘTIINȚĂ ȘI TEHNOLOGIE
POLITEHNICA BUCUREȘTI



Școala Doctorală de Electronică, Telecomunicații
și Tehnologia Informației

Decizie nr. ____ din ZZ-LL-AAAA

REZUMAT TEZĂ DE DOCTORAT

Ing. Cristian STANCU

AMPLIFICATOARE OPERAȚIONALE CU
PERFORMANȚE ÎMBUNĂTĂȚITE

OPERATIONAL AMPLIFIERS WITH IMPROVED
PERFORMANCE

COMISIA DE DOCTORAT

.....
.....
.....
.....
.....
.....
.....
.....

Președinte

Conducător de
doctorat

Referent

Referent

Referent

BUCUREȘTI 2026

Cuprins

1. Introducere.....	1
1.1 Prezentarea domeniului tezei de doctorat	1
1.2 Scopul tezei de doctorat	1
1.3 Conținutul tezei de doctorat	2
2. Sursă de curent optimizată pentru obținerea unei transconductanțe constante a tranzistoarelor de intrare	3
2.1 Analiza comparativă a arhitecturilor studiate și premisele proiectării.....	3
2.2 Arhitectura propusă pentru sursa de curent.....	4
2.3 Rezultate din simulări și analiză	5
2.4 Implementarea la nivel de mască a circuitului	6
2.5 Concluziile capitolului	6
3. Reducerea tensiunii de decalaj în amplificatoarele operaționale cu două etaje și cascodă pliată folosind rezistențe de precizie	7
3.1 A.O. cu două etaje și cascodă pliată și determinarea tensiunii de decalaj	7
3.2 Reducerea tensiunii de decalaj prin utilizarea degenerării în sursă	7
3.3 Utilizarea rezistențelor de înaltă precizie (SiCr) pentru a reduce efectul nepotrivirilor	8
3.4 Simulări și rezultate.....	8
3.4.1 Simulări la nivel de schemă.....	8
3.4.2 Simulări post–implementare la nivel de mască	9
3.5 Implementarea la nivel de mască a circuitului	10
3.6 Concluziile capitolului	10
4. Generator de tact CMOS independent de variațiile temperaturii și alimentării bazat pe un oscilator în inel.....	11
4.1 Descrierea arhitecturii propuse	11
4.1.1 Oscilator în inel cu limitare de curent	11
4.1.2 Arhitectura propusă de oscilator în inel.....	11
4.1.3 Conceptul de stabilizator de tensiune liniar (LDO).....	12
4.2 Simulări și rezultate.....	12
4.2.1 Simulări la nivel de schemă.....	12
4.2.2 Simulări post–implementare la nivel de mască.....	13
4.3 Implementarea la nivel de mască a circuitului	14
4.4 Concluziile capitolului	14

5. Arhitectură de pompă de sarcină cu selector de alimentare pentru performanță optimizată a comutației	15
5.1 Design și implementare	15
5.1.1 Principiul pompei de sarcină	15
5.1.3 Necesitatea utilizării unui stabilizator liniar de tensiune.....	16
5.1.4 Circuitul inovator ce selectează tensiunea maximă.....	16
5.1.5 Schema finală propusă pentru pompa de sarcină	16
5.2 Simulări și rezultate.....	17
5.2.1 Simulări la nivel de schemă.....	17
5.2.2 Simulări post-implementare la nivel de mască.....	17
5.3 Implementarea la nivel de mască a circuitului	18
5.4 Concluziile capitolului	18
6. Arhitectura finală a familiei de Amplificatoare Operaționale cu performanțe îmbunătățite	19
6.1 Arhitectura finală de A.O. cu performanțe îmbunătățite.....	20
6.2 Circuit pentru îmbunătățirea răspunsului la semnal treaptă	21
6.3 Arhitectura finală – vedere de sus și descrierea blocurilor componente.....	22
6.4 Simulări și rezultate.....	23
6.5 Concluziile capitolului	24
7. Concluzii.....	25
7.1 Sinteza rezultatelor obținute	25
7.2 Contribuțiile originale ale autorului.....	25
7.3 Lista lucrărilor publicate	27
7.3.1 Lucrări publicate în jurnale.....	27
7.3.2 Lucrări publicate în volumele unor conferințe indexate IEEE	27
7.3.3 Alte lucrări publicate	28
7.4 Perspective de continuare a cercetării.....	28
Bibliografie	29

Capitolul 1

Introducere

1.1 Prezentarea domeniului tezei de doctorat

Electronica și microelectronica stau la baza tehnologiei moderne, iar miniaturizarea a permis integrarea unui număr foarte mare de componente pe un singur cip, conducând la sisteme mai rapide, mai compacte, cu consum redus și fiabilitate sporită. În cadrul arhitecturilor sistem pe cip (System-on-Chip, SoC), blocurile analogice rămân indispensabile deoarece semnalele din lumea reală sunt analogice, iar conversia și condiționarea lor se realizează prin circuite precum amplificatoare operaționale (A.O.), convertoarele analog–digital (A.D.C.) și digital–analog (D.A.C.), oscilatoare și surse de referință. Amplificatorul operațional, apărut inițial în anii 1940–1950 și consacrat odată cu integrarea monolitică din anii 1960, a evoluat semnificativ: cerințe considerate cândva excelente (câștig ≈ 40 dB, rată de rejecție a modului comun (CMRR) ≈ 50 dB, tensiune de decalaj (V_{OS}) ordinul zecilor de mV) sunt astăzi depășite, fiind necesare câștiguri > 80 – 100 dB, rată de rejecție a alimentării (PSRR)/CMRR ridicate, V_{OS} de ordinul μV , zgomot redus și frecvență la câștig unitar (UGBW) extinsă. În sistemele actuale, performanța întregii căi analogice depinde direct de parametrii A.O.-ului (precizie, linearitate, stabilitate, distorsiuni), ceea ce impune un compromis dificil între principalii parametri ai A.O. — provocare care motivează cercetarea actuală în domeniu.

1.2 Scopul tezei de doctorat

Îmbunătățirea performanțelor amplificatoarelor operaționale are un impact major, având în vedere utilizarea lor extinsă în sistemele analogice moderne. Tema lucrării – „Amplificatoare operaționale cu performanțe îmbunătățite” – este motivată de necesitatea depășirii limitărilor arhitecturilor actuale și de îndeplinirea cerințelor tot mai stricte din aplicațiile de precizie. Proiectarea A.O. presupune compromisuri inevitabile: reducerea V_{OS} și creșterea CMRR pot afecta banda și stabilitatea, iar creșterea câștigului prin dimensiuni și curenți mai mari introduce capacități parazite care pot reduce rezerva de fază.

În plus, în amplificatoarele CMOS cu două etaje și cascodă pliată, micșorarea V_{OS} prin mărirea ariei tranzistoarelor reduce nepotrivirea, dar crește capacitățile poartă-sursă

și poate degrada stabilitatea. În acest context, lucrarea investighează soluții alternative, precum degenerarea în sursă, pentru reducerea sensibilității la variații ale tensiunii de prag (V_{TH}) și ale transconductanței (g_m).

O motivație suplimentară o reprezintă CMRR-ul, deoarece în A.O. de tip cascodă pliată variațiile tensiunii de mod comun pot modifica polarizarea tranzistoarelor din etajul de intrare (prin variații ale V_{DS} și modulația canalului), ceea ce conduce la curenți diferiți și, implicit, la o tensiune de decalaj dependentă de modul comun. În aplicații de precizie, este esențial ca, pe întreg domeniul de intrare, V_{OS} să rămână cât mai constant. În același timp, obținerea excursiei complete la intrare la tensiuni de alimentare tot mai mici rămâne o direcție critică: soluțiile cu perechi complementare introduc elemente parazite suplimentare și discontinuități în zona de tranziție, în timp ce utilizarea unei pompe de sarcină poate extinde artificial tensiunea disponibilă pentru etajul de intrare. Lucrarea analizează această abordare, prin integrarea unei pompe interne care ridică alimentarea etajului de intrare peste V_{DD} , permițând utilizarea unui singur etaj diferențial și realizarea excursiei complete a semnalului.

1.3 Conținutul tezei de doctorat

Teza de față aduce o serie de contribuții originale în domeniul amplificatoarelor operaționale, constând în propunerea, realizarea și evaluarea unor soluții inovatoare pentru îmbunătățirea performanțelor. Contribuțiile principale sunt: o sursă de curent ce duce la obținerea unei transconductanțe constante a etajelor diferențial de intrare; un oscilator în inel CMOS a cărei frecvență este independentă de variațiile temperaturii și a sursei de alimentare; o arhitectură îmbunătățită de pompă de sarcină cu reacție; o metodă de reducere a tensiunii de decalaj în amplificatoarele de tip cascodă pliată bazată pe degenerare în sursă; implementarea unei scheme ce îmbunătățește răspunsul tranzitoriu al A.O.; și integrarea acestor elemente într-o schemă finală de amplificator operațional cu performanțe îmbunătățite, demonstrând că inovațiile pot coexista într-un design unitar.

Lucrarea este organizată în șapte capitole. Capitolul 2 prezintă soluția propusă pentru stabilizarea transconductanței etajelor diferențiale de intrare, descriind arhitectura sursei de curent și rezultatele obținute. Capitolul 3 este dedicat reducerii tensiunii de decalaj în A.O. cu două etaje și cascodă pliată, prin utilizarea degenerării în sursă și a rezistențelor de înaltă precizie, cu validare prin simulări. Capitolul 4 tratează proiectarea oscilatorului intern necesar pompei de sarcină, incluzând compensarea față de temperatură și alimentare. Capitolul 5 detaliază pompa de sarcină concepută pentru extinderea domeniului de intrare, precum și circuitul de selecție a tensiunii maxime disponibile. Capitolul 6 reunește contribuțiile amintite mai sus ce pot fi aplicate unor familii extinse de A.O. într-o schemă finală de amplificator operațional, evidențiind integrarea și performanțele obținute. Capitolul 7 sintetizează concluziile generale, evidențiază contribuțiile originale și direcțiile de continuare a cercetării.

Capitolul 2

Sursă de curent optimizată pentru obținerea unei transconductanțe constante a tranzistoarelor de intrare

Capitolul 2 prezintă proiectarea și validarea unei surse de curent optimizate care furnizează un curent de polarizare cu dependență termică controlată, astfel încât transconductanța (g_m) etajului diferențial de intrare să rămână aproximativ constantă pe un domeniu larg de temperaturi. Motivația este direct legată de stabilitatea în frecvență a A.O.-ului: banda amplificatorului depinde de g_m , iar în regim de conducție sub prag (utilizat frecvent pentru reducerea V_{OS} și a zgomotului), g_m scade cu temperatura dacă I_D este menținut constant (2.1). Prin urmare, se urmărește polarizarea diferențialului cu un curent proporțional cu temperatura (PTAT), astfel încât creșterea lui I_D cu temperatura să compenseze dependența termică a g_m și să contribuie, concomitent, la reducerea variației V_{OS} și a coeficientului său termic.

$$UGBW = \frac{g_{m\text{diff}}}{2^{(n-1)} \pi C_C} \quad (2.1)$$

2.1 Analiza comparativă a arhitecturilor studiate și premisele proiectării

În cadrul secțiunii 2.1 sunt trecute în revistă soluții reprezentative din literatură utilizate ca punct de plecare: sursa Widlar, simplă și eficientă pentru curenți mici, dar sensibilă la variațiile cu temperatura în conducție sub prag, și arhitectura Brokaw, care generează o componentă PTAT (prin ΔV_{BE}) și permite adăugarea unei componente complementare cu temperatura (CTAT) prin rezistențe pentru reglarea variației termice. Totuși, se subliniază că aceste soluții, deși oferă control asupra dependenței termice, nu garantează implicit o compensare optimă a g_m pentru etajul de intrare, motiv pentru care este dezvoltată soluția optimizată propusă în capitol.

2.2 Arhitectura propusă pentru sursa de curent

Implementarea completă din Figura 2.3 include: (i) amplificatorul operațional intern realizat cu M_3 – M_4 și M_5 – M_8 , stabilizat prin condensatorul $C1$; (ii) oglinzile de curent M_9 – M_{14} și M_{28} pentru copierea curentului către ramuri de ieșire; (iii) cascodele oglinzilor (M_{15} – M_{20} și M_{29}), polarizate prin M_{21} , pentru creșterea rezistenței de ieșire și îmbunătățirea imunității la variațiile alimentării; (iv) rețeaua de pornire care evită blocarea în starea $I = 0$; (v) un bloc de referință de tip bandă interzisă și convertorul de tip tensiune–curent, care generează și un curent constant cu temperatura, respectiv tensiuni de referință ce vor fi utilizate ulterior (oscilator, pompă de sarcină).

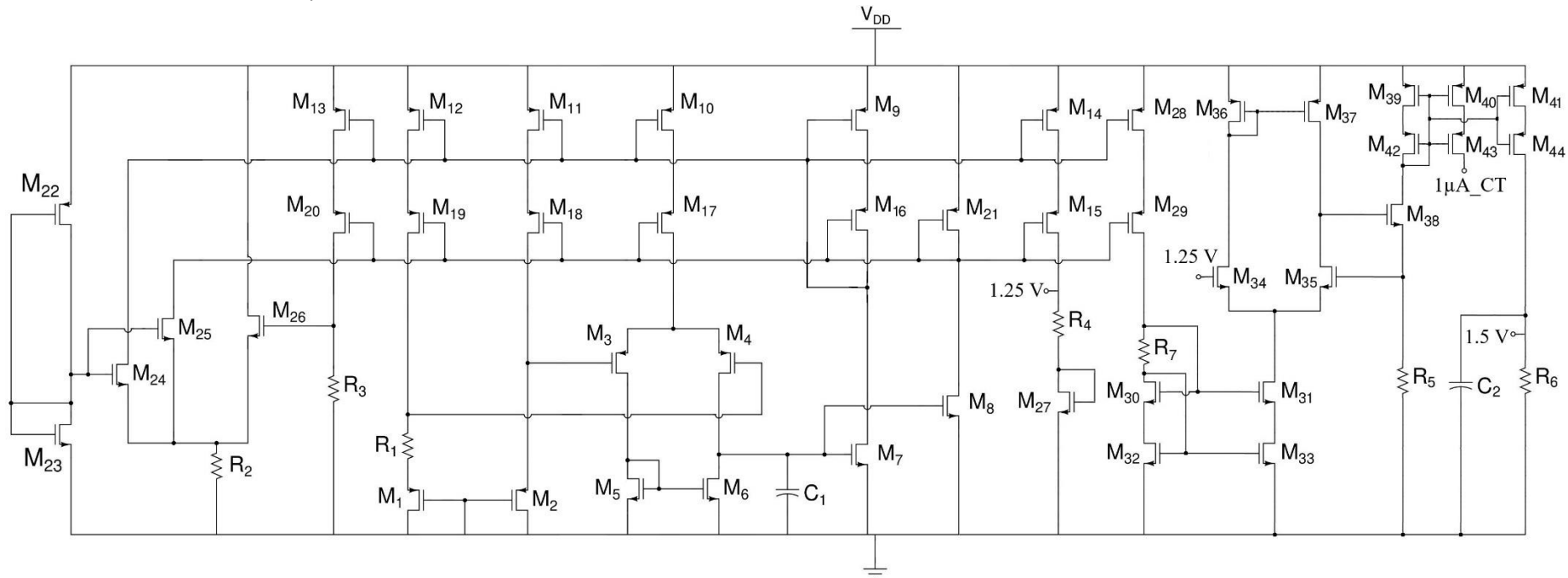


Figura 2.1 Sursă de curent optimizată pentru obținerea unei transconductanțe constantă a tranzistoarelor de intrare.

2.3 Rezultate din simulări și analiză

Performanța arhitecturii propuse este evaluată prin simulări la nivel de schemă în Cadence Virtuoso, în tehnologie CMOS de $0,25\ \mu\text{m}$, la $V_{DD} = 5\ \text{V}$ și temperatură între $-40\ ^\circ\text{C}$ și $+150\ ^\circ\text{C}$. În Figura 2.9 se compară dependența curentului de temperatură pentru trei soluții (Widlar, Brokaw, propusă), toate dimensionate la $\approx 1\ \mu\text{A}$ la temperatura camerei.

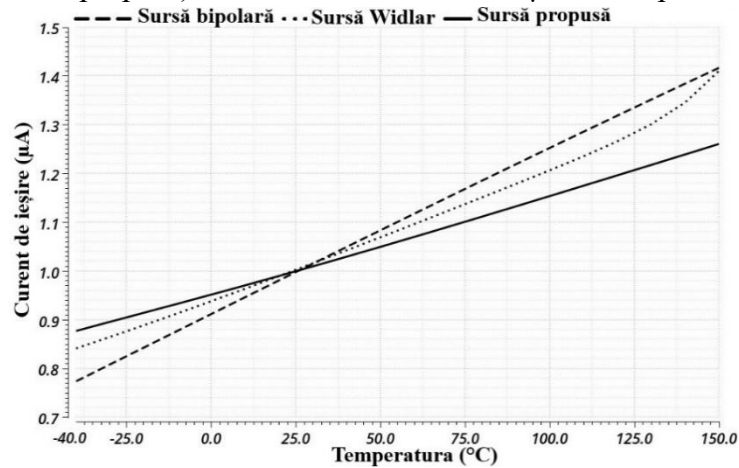


Figura 2.2 Variația curentului de polarizare în funcție de temperatură pentru trei arhitecturi de surse de curent: Widlar, Brokaw și cea propusă.

Pentru a evidenția impactul asupra transconductanței, curentul fiecărei surse polarizează un etaj diferențial pMOS de test (DUT), proiectat astfel încât să aibă același curent pe unitate de arie ca dispozitivul M_1 . Rezultatele din Figura 2.11 arată beneficiul direct al sursei propuse: pentru un $g_m \approx 380\ \mu\text{S}$ la temperatura camerei, variația totală a transconductanței cu temperatura ($-40 - 150\ ^\circ\text{C}$) este de doar $7\ \mu\text{S}$ (sub $\pm 2\%$).

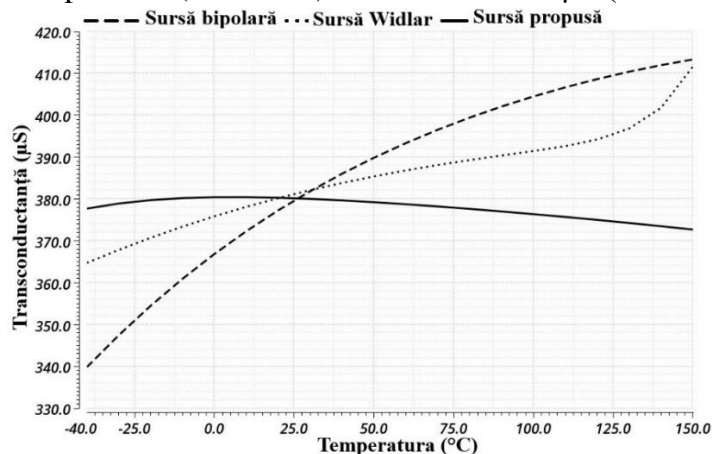


Figura 2.3 Variația transconductanței etajului diferențial în funcție de temperatură.

Robustețea la variațiile tehnologice este evaluată în colțuri de proces (SS, FF, Sn-Fp, Fn-Sp), rezultatele obținute indică faptul că valoarea absolută a curentului se deplasează (așteptat) între colțuri, însă panta PTAT rămâne foarte asemănătoare. În plus, simulările Monte Carlo (500 puncte la $25\ ^\circ\text{C}$) conduc la o distribuție centrată la $\approx 1\ \mu\text{A}$, cu deviație standard $\approx 33,46\ \text{nA}$.

2.4 Implementarea la nivel de mască a circuitului

Pentru validarea integrării fizice, s-a realizat implementarea la nivel de mască a sursei de curent (Figura 2.14), în tehnologia CMOS de 0,25 μm , fără blocurile adiacente (referință de bandă interzisă, convertor tensiune–curent, referință 1,5 V). Suprafața ocupată de circuit este de aproximativ 0.1495 mm² (fără blocurile auxiliare menționate).

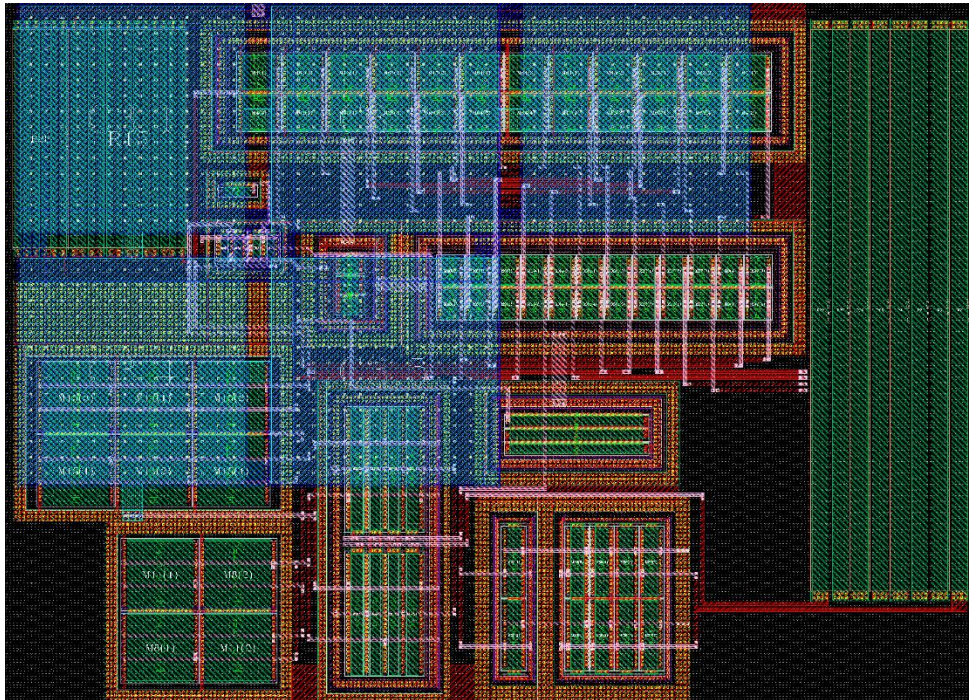


Figura 2.4 Implementarea la nivel de mască a sursei de curent proiectate.

2.5 Concluziile capitolului

Capitolul a prezentat o sursă de curent optimizată, derivată din principiul Brokaw și implementată în CMOS 0,25 μm , destinată stabilizării transconductanței etajului diferențial de intrare printr-un curent de tip PTAT, cu impact direct asupra UGBW și a comportamentului termic al amplificatorului; simulările au confirmat o variație redusă a curentului $\approx (0,877 - 1,26) \mu\text{A}$ și o variație minimă a transconductanței cu temperatura ($\approx 7 \mu\text{S}$), superioare soluțiilor Widlar și Brokaw, iar analizele în colțuri și Monte Carlo au susținut robustețea la dispersii tehnologice, în timp ce implementarea la nivel de mască a demonstrat o integrare compactă ($\approx 14950 \mu\text{m}^2$) verificată prin DRC/LVS.

Capitolul 3

Reducerea tensiunii de decalaj în amplificatoarele operaționale cu două etaje și cascodă pliată folosind rezistențe de precizie

3.1 A.O. cu două etaje și cascodă pliată și determinarea tensiunii de decalaj

Analiza se realizează pe o topologie CMOS clasică cu două etaje (Figura 3.2).

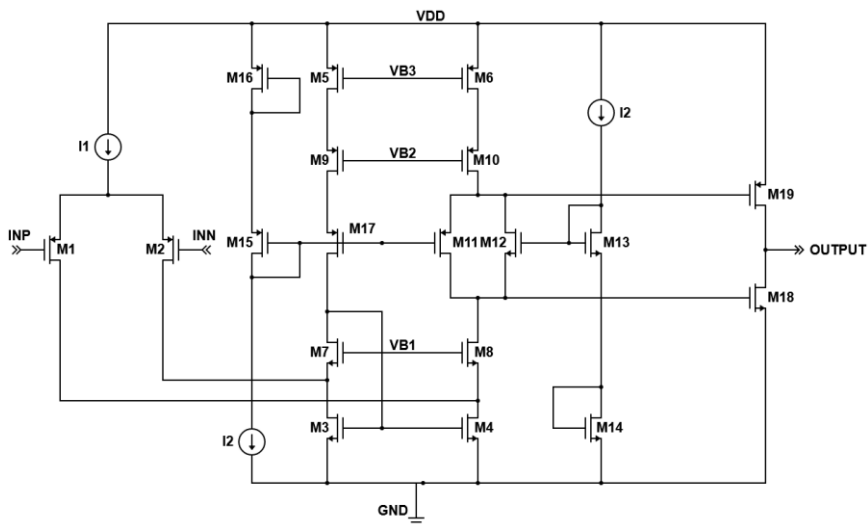


Figura 3.1 Amplificator operațional cu două etaje și cascodă pliată.

3.2 Reducerea tensiunii de decalaj prin utilizarea degenerării în sursă

Rezistențele de degenerare în sursele oglinzilor reduc g_m efectiv și sensibilitatea la nepotriviri; V_{OS} rezultat este exprimat în (3.17).

$$V_{OS} = - \left(\Delta V_{T1,2} + \frac{\Delta V_{T3,4}}{g_{m1,2} R_{S3,4}} + \frac{\Delta V_{T5,6}}{g_{m1,2} R_{S5,6}} \right) - \frac{I_D}{g_{m1,2}} \left(\frac{3 \cdot \Delta R_{S3,4}}{R_{S3,4}} + \frac{2 \cdot \Delta R_{S5,6}}{R_{S5,6}} - \frac{\Delta \beta_{1,2}}{\beta_{1,2}} \right) \quad (3.17)$$

3.3 Utilizarea rezistențelor de înaltă precizie (SiCr) pentru a reduce efectul nepotrivirilor

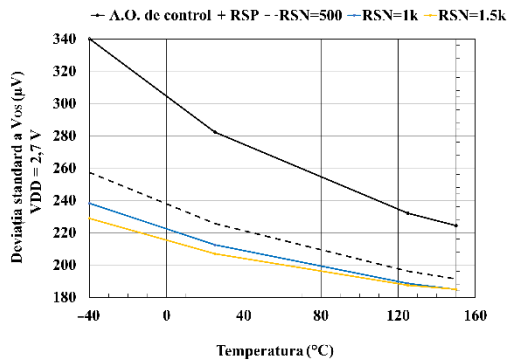
Deoarece nepotrivirea dintre rezistențe adiacente (ΔR_S) poate introduce o componentă suplimentară în V_{OS} , utilizarea rezistențelor de înaltă precizie este esențială.

3.4 Simulări și rezultate

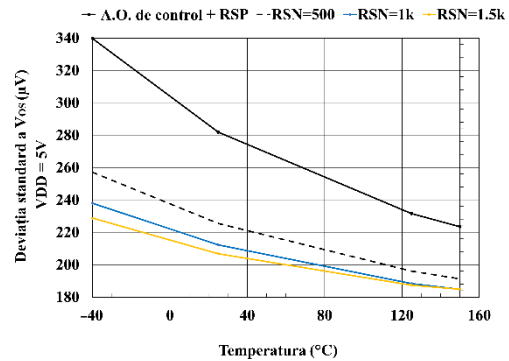
Pentru evaluarea impactului degenerării în sursă asupra performanțelor A.O.-ului, au fost realizate simulări la nivel de schemă și simulări post-implementare la nivel de mască cu extracție PEX, care includ elementele parazite.

3.4.1 Simulări la nivel de schemă

Simulările sunt realizate în Cadence Virtuoso (CMOS 0,25 μm), analizând parametric degenerarea oglinzilor pMOS și nMOS pentru $R_S=500 \Omega$, 1 k Ω și 1,5 k Ω . Variabilitatea lui V_{OS} este evaluată prin Monte Carlo (1000 eșantioane), rezultând o scădere a deviației standard a V_{OS} odată cu creșterea degenerării, cu dependență de temperatură (Figura 3.11). Efectul este atribuit compensării parțiale a nepotrivirilor în nodurile oglinzii nMOS, unde se însumează curenți din diferențial și cascodă pliată.



(a)



(b)

Reducerea tensiunii de decalaj în amplificatoarele operaționale cu două etaje și cascodă pliată folosind rezistențe de precizie

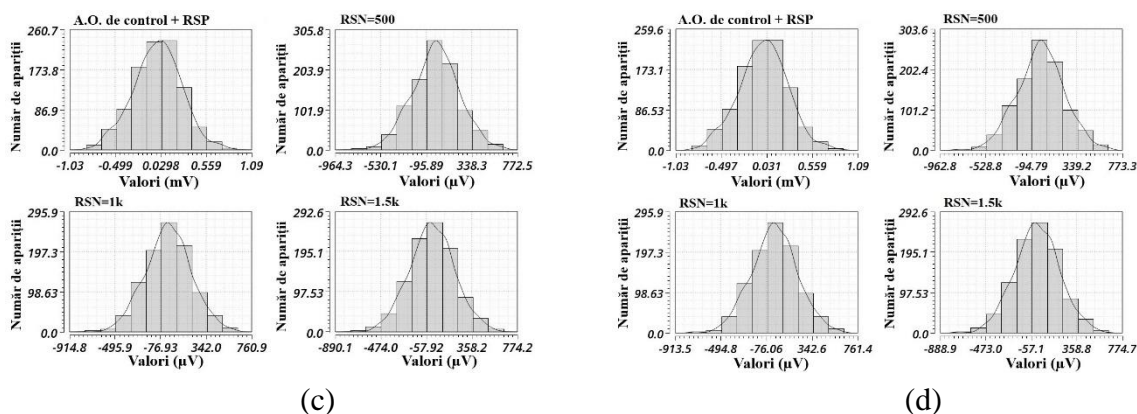


Figura 3.2 $\sigma(V_{os})$ cu temperatura, degenerare pMOS = 1 k Ω și degenerarea oglinzii nMOS inclusă. (a) Alimentare de 2,7 V; (b) Alimentare de 5 V; (c) Histograme Monte Carlo la temperatura camerei și alimentare de 2,7 V; (d) Histograme Monte Carlo la temperatura camerei și alimentare de 5 V.

3.4.2 Simulări post-implementare la nivel de mască

Simulările post-implementare la nivel de mască PEX (R_C_CC) includ elementele parazite; comparația schemă vs. PEX pentru $\sigma(V_{os})$ și CMRR este în Figura 3.17. Diferențele sunt mici; la 27 °C $\sigma(V_{os}) \approx 209 \mu V$, aproape constante față de schemă.

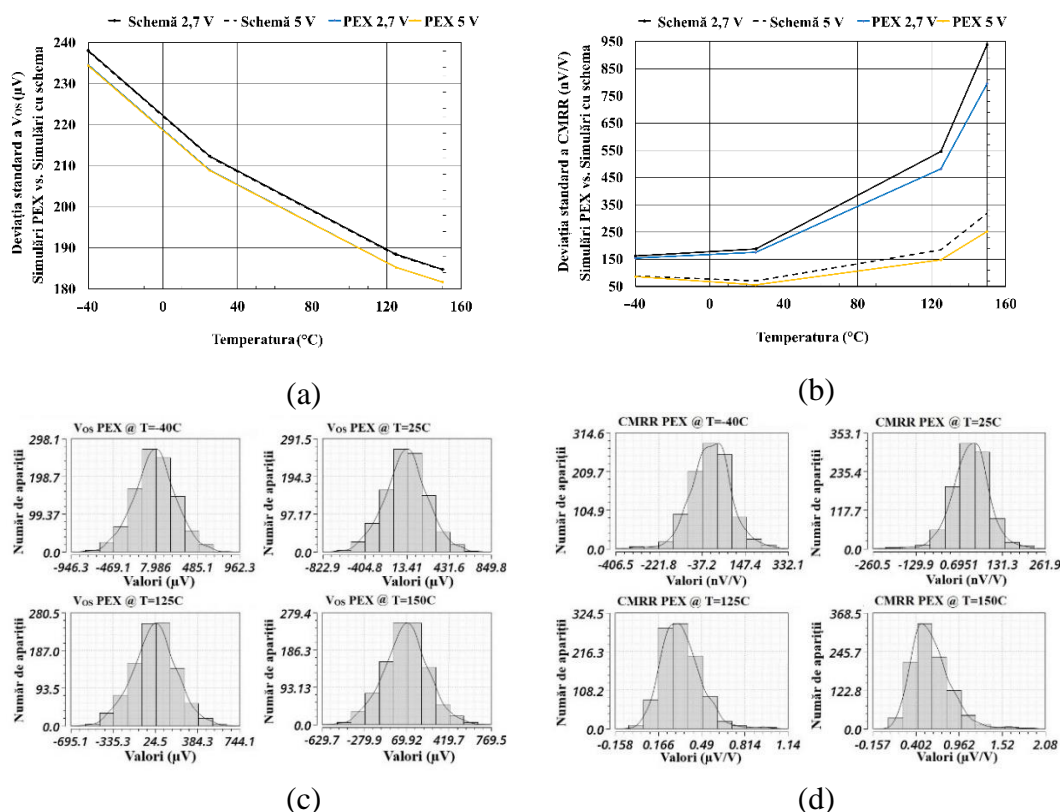


Figura 3.3 Rezultatele obținute în urma extragerii elementelor parazite: (a) Comparație – $\sigma(V_{os})$; (b) Comparație – $\sigma(CMRR)$; (c) Histogramele V_{os} , Alimentare 5 V; (d) Histogramele CMRR-ului, Alimentare 5 V.

3.5 Implementarea la nivel de mască a circuitului

Implementarea la nivel de mască (Figura 3.22) vizează evitarea unui V_{OS} sistematic introdus de interconectări: traseele metalice care conectează rezistențele de degenerare la nodurile oglinzii nMOS sunt tratate ca elemente critice și sunt proiectate simetric.

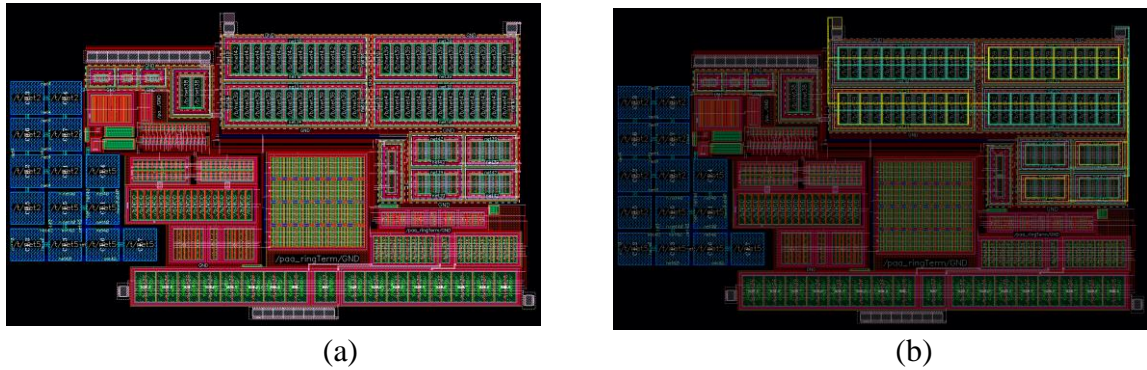


Figura 3.4 Implementarea la nivel de schemă a circuitului propus, $R_{SP} = 1.5 \text{ k}\Omega$, și $R_{SN} = 1 \text{ k}\Omega$. (a) Privire de ansamblu; (b) împerecherea firelor ce conectează rezistențele utilizate în degenerare.

3.6 Concluziile capitolului

Tabelul 3.1 Compararea rezultatelor obținute, Alimentare 5V, Temperatură de 25°C.

Indicator	Unitate	A.O. propus (PEX)	A.O. control	Îmbunătățire (%)
Câștig	dB	116,4	114,3	1,83
Bandă la câștig unitar	MHz	3	3,1	-4,2
Margine de fază	°	48,9	43,6	12,1
THD, $V_{CM}=2,5 \text{ V}$	%	$2 \cdot 10^{-3}$	$1,7 \cdot 10^{-3}$	-14,8
Densitate zgomot 1 kHz	$\frac{\text{nV}}{\sqrt{\text{Hz}}}$	25,6	32	20,2
Densitate zgomot 10 kHz		17,8	19	6,2
Deviația V_{OS}	μV	208,9	281,8	25,9
Deviația CMRR	nV/V	56,1	110,5	49,2
PSRR	$\mu\text{V/V}$	126,5	124	2
I_O	mA	0,42		0

Capitolul 4

Generator de tact CMOS independent de variațiile temperaturii și alimentării bazat pe un oscilator în inel

Capitolul prezintă un circuit de ceas (≈ 50 MHz) pentru pompa de sarcină ce alimentează etajul de intrare al A.O.. Soluția folosește un oscilator în inel cu control al curentului și tensiune internă stabilizată, robust la variații de temperatură, alimentare și proces.

4.1 Descrierea arhitecturii propuse

4.1.1 Oscilator în inel cu limitare de curent

Se pornește de la un oscilator în inel clasic cu limitare de curent și se arată că o implementare directă produce variații nedorite ale frecvenței, deoarece V_{DS} și V_{GS} devin dependente de V_{DD} și temperatură, modificând timpii de încărcare/descărcare și, implicit, frecvența de oscilație.

4.1.2 Arhitectura propusă de oscilator în inel

Arhitectura propusă (Figura 4.3) urmărește reducerea sensibilității la alimentare și temperatură prin utilizarea oglinzilor de curent cascodate și prin controlul curentului de comutație cu referințe derivate din blocurile dezvoltate anterior. Pentru eliminarea dependențelor introduse de variațiile V_{DD} în nodurile critice, se utilizează o tensiune internă stabilizată ≈ 2 V, iar proiectarea vizează ≈ 50 MHz la temperatura camerei, cu factor de umplere apropiat de 50% pentru comutație eficientă în pompa de sarcină.

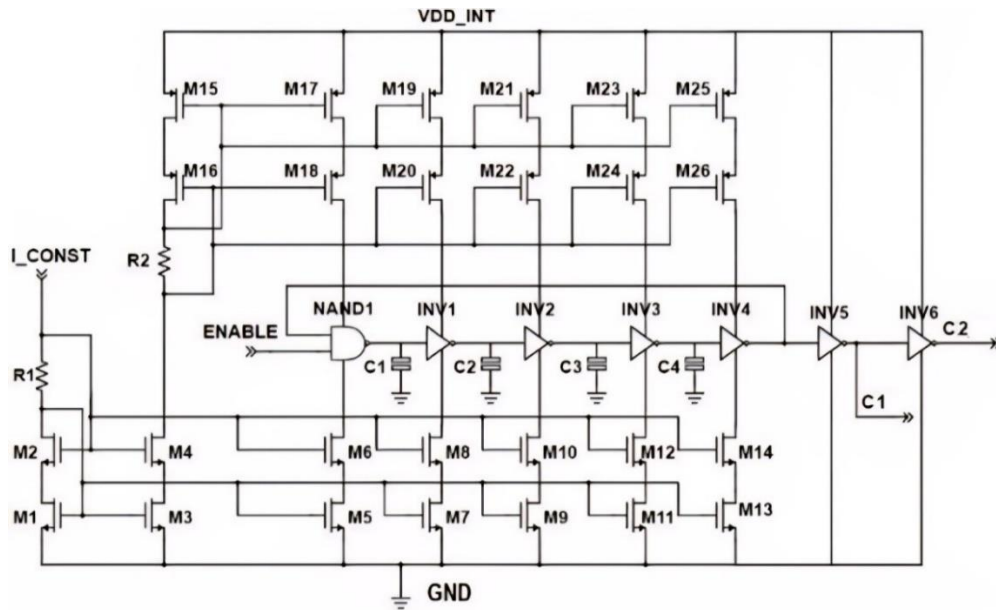


Figura 4.1 Arhitectura propusă de oscilator îninel compensat cu temperatura și tensiunea de alimentare.

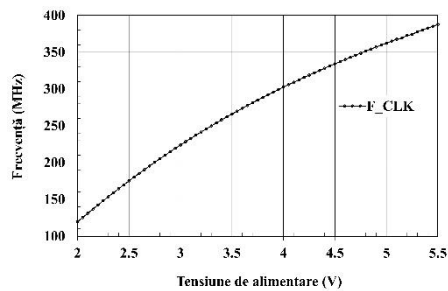
4.1.3 Conceptul de stabilizator de tensiune liniar (LDO)

Se folosește un LDO cu A.O. în două etaje și divizor rezistiv pentru a genera $V_{DD_INT} \approx 2$ V din $V_{REF} \approx 1,25$ V, iar un condensator de ieșire atenuează perturbațiile.

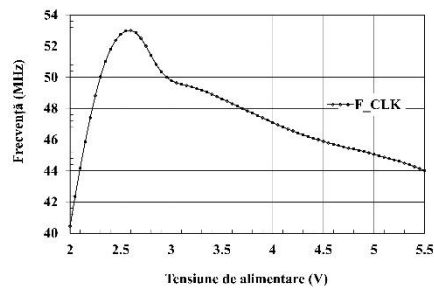
4.2 Simulări și rezultate

4.2.1 Simulări la nivel de schemă

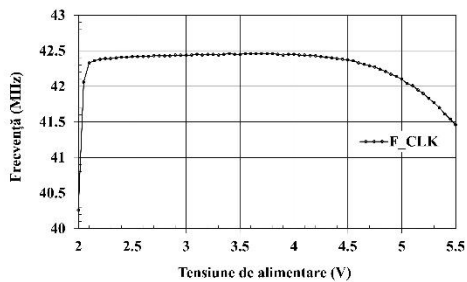
Figura 4.6 compară dependența frecvenței de oscilație de V_{DD} pentru etapele succesive ale arhitecturii, evidențiind efectul limitării de curent și al alimentării interne. În varianta finală, variația în domeniul analizat scade la $\approx 0,53$ MHz.



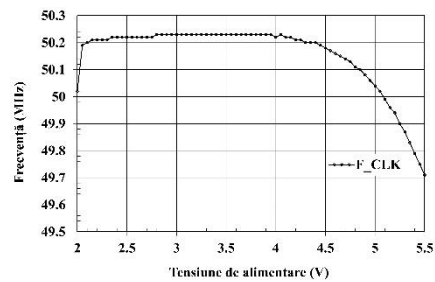
(a)



(b)



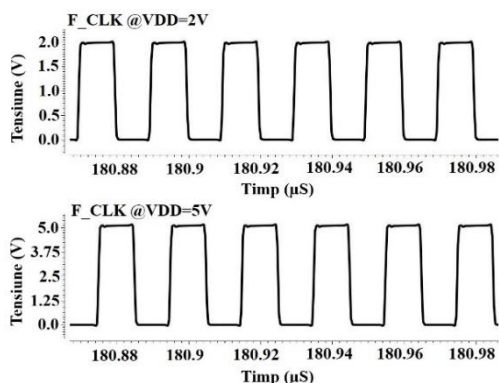
(c)



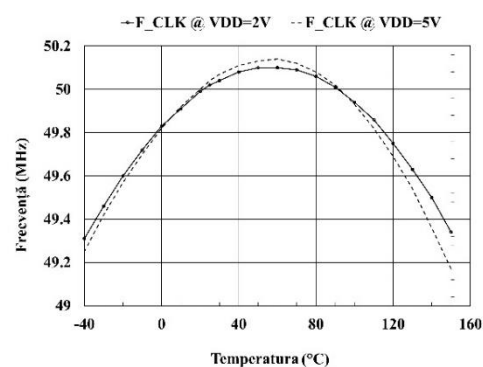
(d)

Figura 4.2 Dependența frecvenței de oscilație față de V_{DD} . (a) Implementare de bază; (b) Cu limitare de curent; (c) (b) + referință internă; (d) Arhitectura propusă.

Figura 4.7 indică $f \approx 50$ MHz și factor de umplere $\approx 50\%$, cu $\epsilon_{osc} \approx 1,6\%$.



(a)

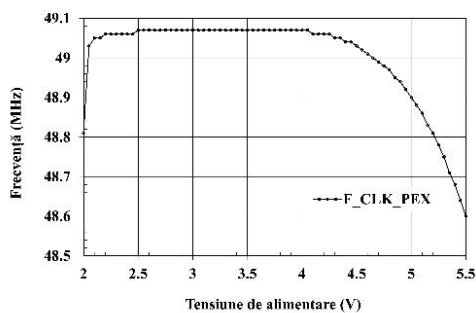


(b)

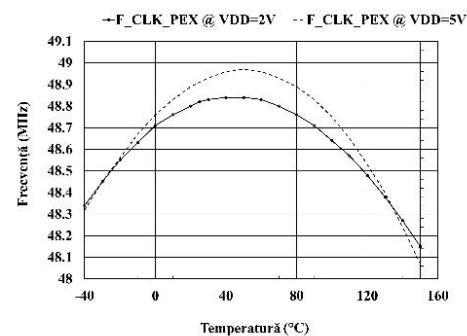
Figura 4.3 Rezultatele simulărilor tipice asupra semnalului de ceas. (a) Răspuns în timp; (b) Dependența frecvenței de alimentare și temperatură.

4.2.2 Simulări post-implementare la nivel de mască

Simulările post-implementare la nivel de mască confirmă compensarea și în prezența elementelor parazite (Figura 4.11). Tabelul 4.5 compară rezultatele obținute cu literatura.



(a)



(b)

Figura 4.4 Caracterizarea frecvenței de ceas în urma simulărilor PEX. (a) Cu tensiunea de alimentare; (b) Cu temperatura.

Tabelul 4.1 Compararea rezultatelor obținute cu alte lucrări din literatură.

Indicator	Unitate	Osc. propus	[69]	[79]	[80]	[81]
Tehnologie	nm	250	250	180	130	250
V _{DD}	V	2	2,2	1,8	3,3	3
Putere @ f ₀	mW	0,124	1,5	0,43	19,8	N/A
Frecvență	MHz	48,9	7	100	1250	1
Δf/f ₀ vs. T	%	1,7	0,84	4,5	4,8	3,33
Aria arhitecturii	mm ²	0,023	1,6	N/A	20	162
Domeniu T	°C	(−40–150)	(−40–125)	(−40–125)	(−40–120)	(−40–125)

4.3 Implementarea la nivel de mască a circuitului

Implementarea la nivel de mască (Figura 4.12) urmărește minimizarea elementelor parazite pe traseele de ceas prin plasare compactă, rutare scurtă și utilizarea metalelor superioare. Aria totală este 0,023 mm².

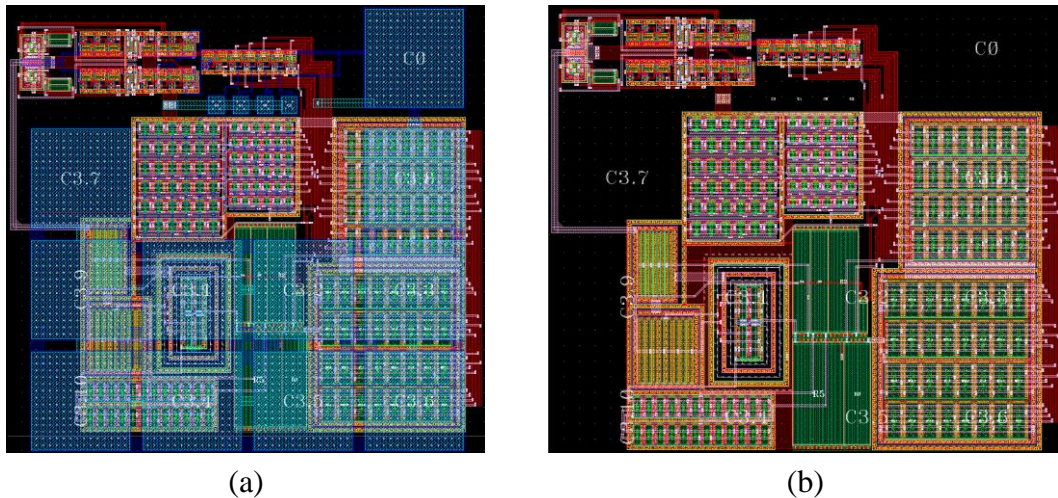


Figura 4.5 Implementarea la nivel de mască a circuitului. (a) Cu măștile M3 și M4 de metal incluse; (b) Fără condensatoarele MIM.

4.4 Concluziile capitolului

Capitolul a prezentat un circuit de ceas CMOS independent cu V_{DD} și temperatura. Simulările de schemă confirmă $f \approx 50$ MHz (Figurile 4.6–4.7), indică robustețe și consum redus. Simulările post-implementare la nivel de mască (PEX) confirmă menținerea compensării în prezența elementelor parazite.

Capitolul 5

Arhitectură de pompă de sarcină cu selector de alimentare pentru performanță optimizată a comutației

5.1 Design și implementare

5.1.1 Principiul pompei de sarcină

O pompă de sarcină transferă sarcină prin încărcarea/descărcarea condensatoarelor, fiind limitată de $\tau = R \cdot C$ (cu R incluzând R_{SW} și interconectările).

5.1.2 Pompa de sarcină propusă, bazată pe principiul condensatoarelor comutate

Pompa generează $V_{CP} \approx V_{DD} + V_{IN}$ prin două faze: C_1 se încarcă la V_{IN} în prima fază, iar în a doua fază se adaugă V_{IN} peste V_{DD} și încarcă C_2 (Figura 5.5).

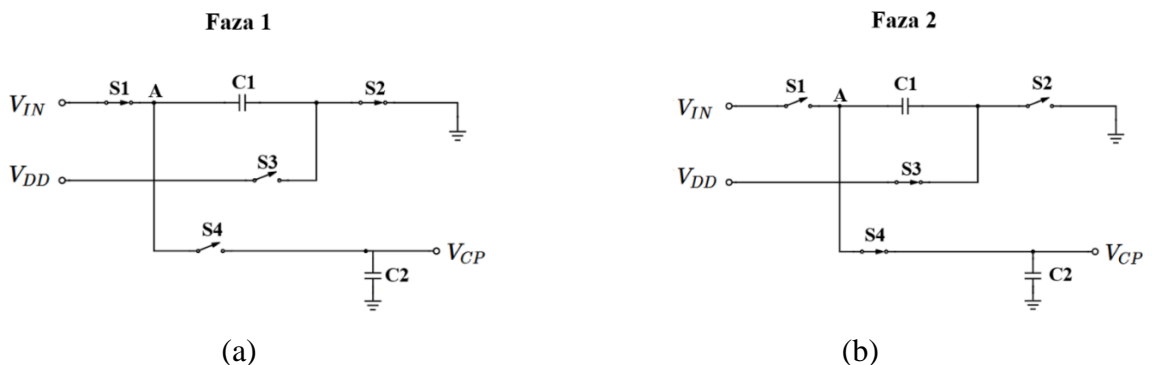


Figura 5.1 Schema propusă de pompă de sarcină: (a) Faza 1; (b) Faza 2.

5.1.3 Necesitatea utilizării unui stabilizator liniar de tensiune

Pierderile pe comutatoare și variația sarcinii (50–400 μA) reduc marja de tensiune, astfel încât se utilizează un LDO care stabilizează $V_{\text{IN}} \approx 2\text{ V}$ și asigură curentul.

5.1.4 Circuitul inovator ce selectează tensiunea maximă

Circuitul propus selectează dinamic maximum dintre V_{DD} și V_{CP} și îl folosește la comanda comutatoarelor, asigurând comutația completă și reducând pierderile.

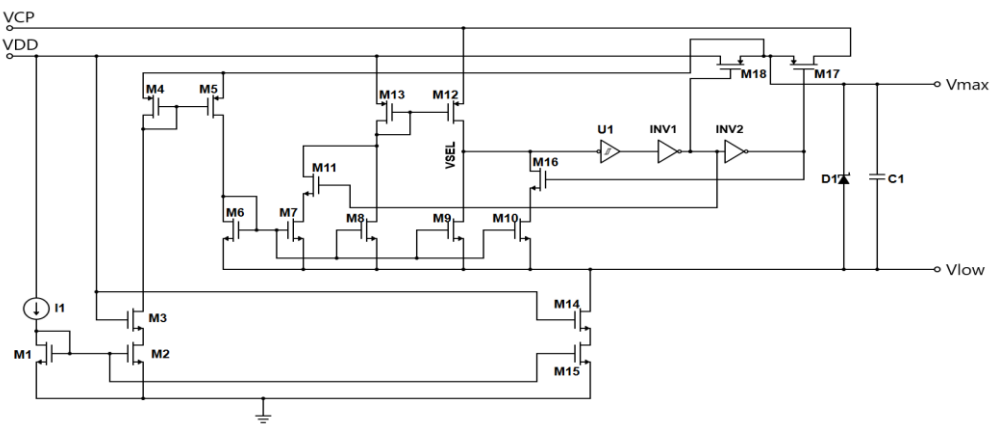


Figura 5.2 Implementarea circuitului ce selectează tensiunea maximă disponibilă.

5.1.5 Schema finală propusă pentru pompa de sarcină

Schema integrată este prezentată în Figura. 5.7 și include pompa de sarcină cu condensatoare comutate, LDO-ul ($V_{\text{IN}} \approx 2\text{ V}$), selectorul V_{MAX} și circuitele auxiliare de ceas/translateare de nivel, cu C_1 ca element de comutație și C_2 ca sarcină.

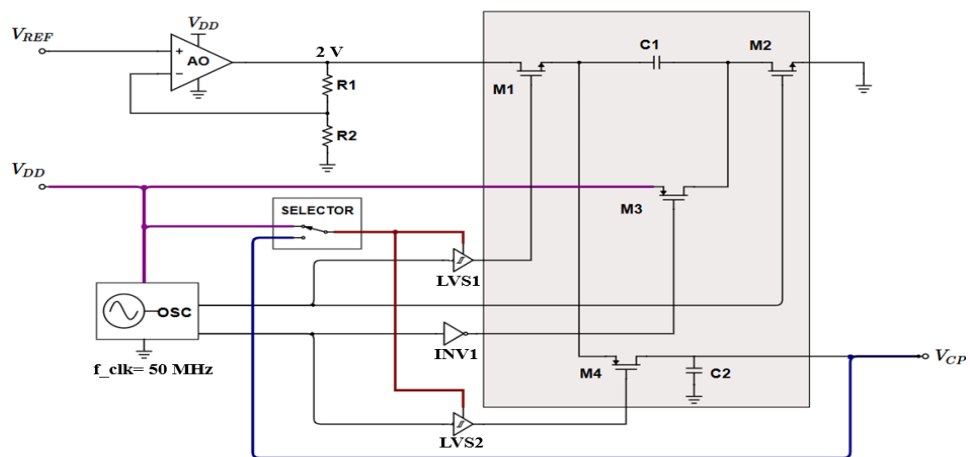


Figura 5.3 Schema finală a pompei de sarcină propuse.

5.2 Simulări și rezultate

5.2.1 Simulări la nivel de schemă

Beneficiul blocului de selecție a tensiunii maxime este confirmat prin comparația cu/fără acesta (Figura 5.11): la $V_{DD} = 2\text{ V}$ se obține o îmbunătățire a ieșirii de $\approx 960\text{ mV}$. V_{CP} este caracterizată pentru $I_{LOAD} = (50\text{--}400)\text{ }\mu\text{A}$ (Figura 5.12).

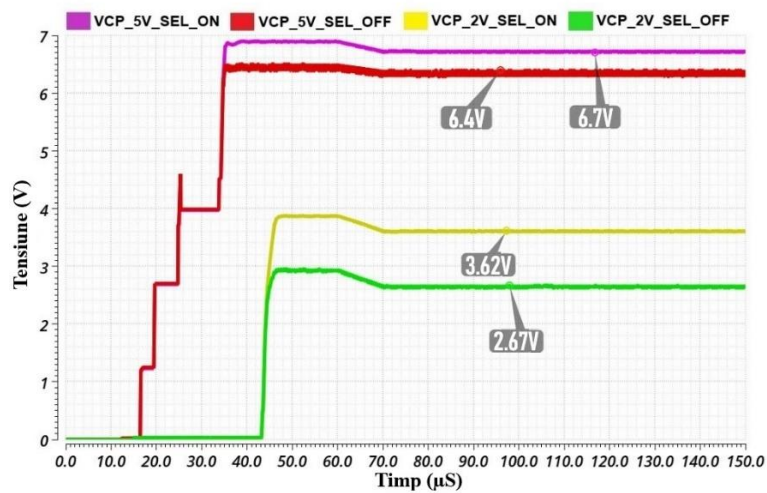


Figura 5.4 Eficiența pompei de sarcină cu și fără selectorul de tensiune.

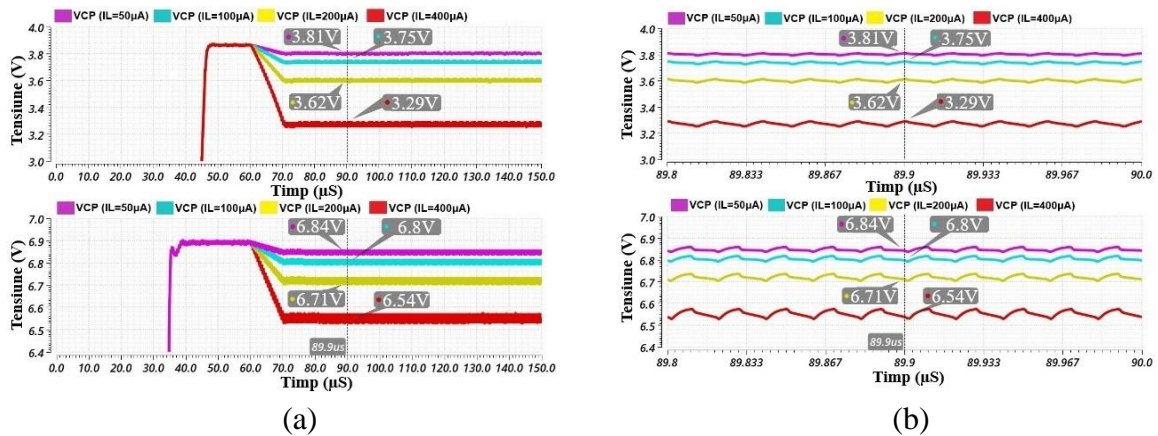


Figura 5.5 Răspunsul pompei de sarcină pentru diferiți curenți de sarcină:
(a) Prezentare generală; (b) Vedere detaliată.

5.2.2 Simulări post-implementare la nivel de mască

Simulările post-implementare la nivel de mască cu PEX (R_C_CC) arată o scădere a lui V_{CP} față de simulările de schemă (rezistențe de traseu + R_{ON}) și o frecvență efectivă ușor redusă ($\approx 48,13\text{ MHz}$); rezultatele sunt prezentate în Figurile 5.16 și 5.17.

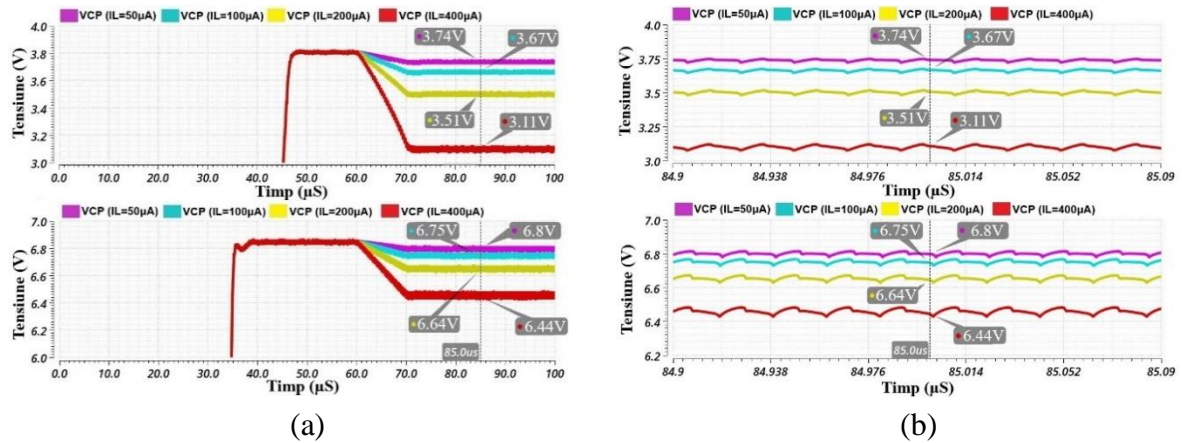


Figura 5.6 Rezultatele PEX obținute pentru diferiți curenți de sarcină: (a) Vedere de ansamblu; (b) Vedere detaliată.

5.3 Implementarea la nivel de mască a circuitului

Implementarea la nivel de mască este prezentată în Figura 5.20. Aria este de 0,354 mm².

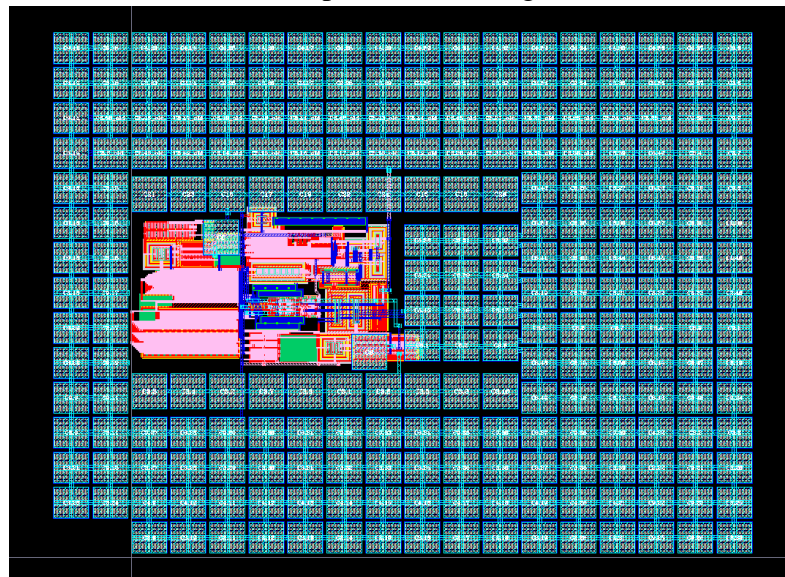


Figura 5.7 Implementarea la nivel de mască a pompei de sarcină având capacitatea de sarcină inclusă.

5.4 Concluziile capitolului

Capitolul a prezentat o pompă de sarcină care permite excursia completă a semnalului la intrare cu o singură pereche diferențială, având ca element cheie selecția dinamică a tensiunii maxime pentru comutație optimă. Simulările de schemă și post-implementare la nivel de mască validează arhitectura, inclusiv în prezența elementelor parazite.

Capitolul 6

Arhitectura finală a familiei de Amplificatoare Operaționale cu performanțe îmbunătățite

Capitolul pornește de la arhitectura A.O. din Capitolul 3, implementată preponderent cu dispozitive simetrice de joasă tensiune în tehnologia CMOS 250 nm, pentru care tensiunile drenă-sursă și poartă-sursă sunt limitate la 5,5 V; alegerea acestora este motivată de simetrie, arie redusă și o dispersie mai mică a parametrilor (V_{TH} , β).

Prin integrarea pompei de sarcină (pentru excursia completă a semnalului la intrare cu un singur etaj diferențial), apar însă două situații limită la alimentări ridicate (Figura 6.1), vizibile la V_{CM} jos ($V_{SS} - 0,1$ V) și V_{CM} ridicat ($V_{DD} + 0,1$ V), care afectează atât oglinda de curent ce polarizează diferențialul, cât și etajul de intrare. Pentru cazul $V_{CM} = V_{SS} - 0,1$ V, în condiții defavorabile ($T = -40$ °C și tensiune $V_{CP} \approx 6,8$ V pentru $I_{LOAD} \approx 50$ μ A), rezultă o tensiune care depășește pragul de 5,5 V.

Pentru cazul V_{CM} sus, analiza similară conduce la $\approx 5,79$ V, din nou peste limita dispozitivelor de joasă tensiune. Trecerea peste aceste valori influențează direct parametri tranzistoarelor. Consecința practică este confirmată prin variația g_m : la $V_{DD} = 2$ V g_m rămâne stabil, însă la $V_{DD} = 5$ V apare o scădere semnificativă când V_{CM} se apropie și trece de $\approx 4,5$ V.

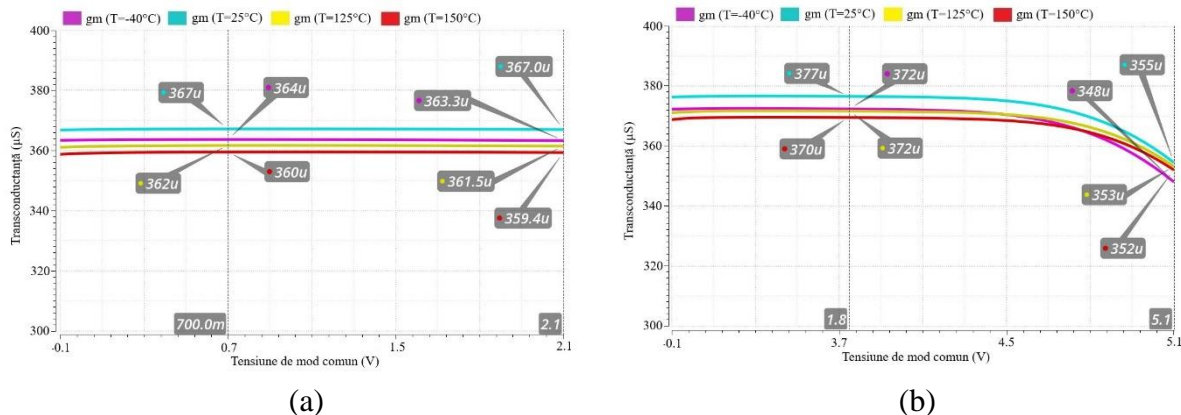


Figura 6.1 Variația transconductanței etajului diferențial de intrare cu modul comun aplicat: (a) Alimentare 2 V; (b) Alimentare 5 V.

6.1 Arhitectura finală de A.O. cu performanțe îmbunătățite

Se propune o arhitectură finală de familii de A.O. (Figura 6.2) care elimină limitările apărute de creșterea tensiunilor peste valoarea limită admisă (5,5 V) și înglobează toate îmbunătățirile ce au fost discutate în capitolele anterioare, păstrând avantajele dispozitivelor simetrice LV în etajul diferențial. Parametrii de proiectare ai A.O. sunt sintetizați în Tabelul 6.1. F_n reprezintă un nod flotant ce depinde de tensiunea de mod comun V_{CM} .

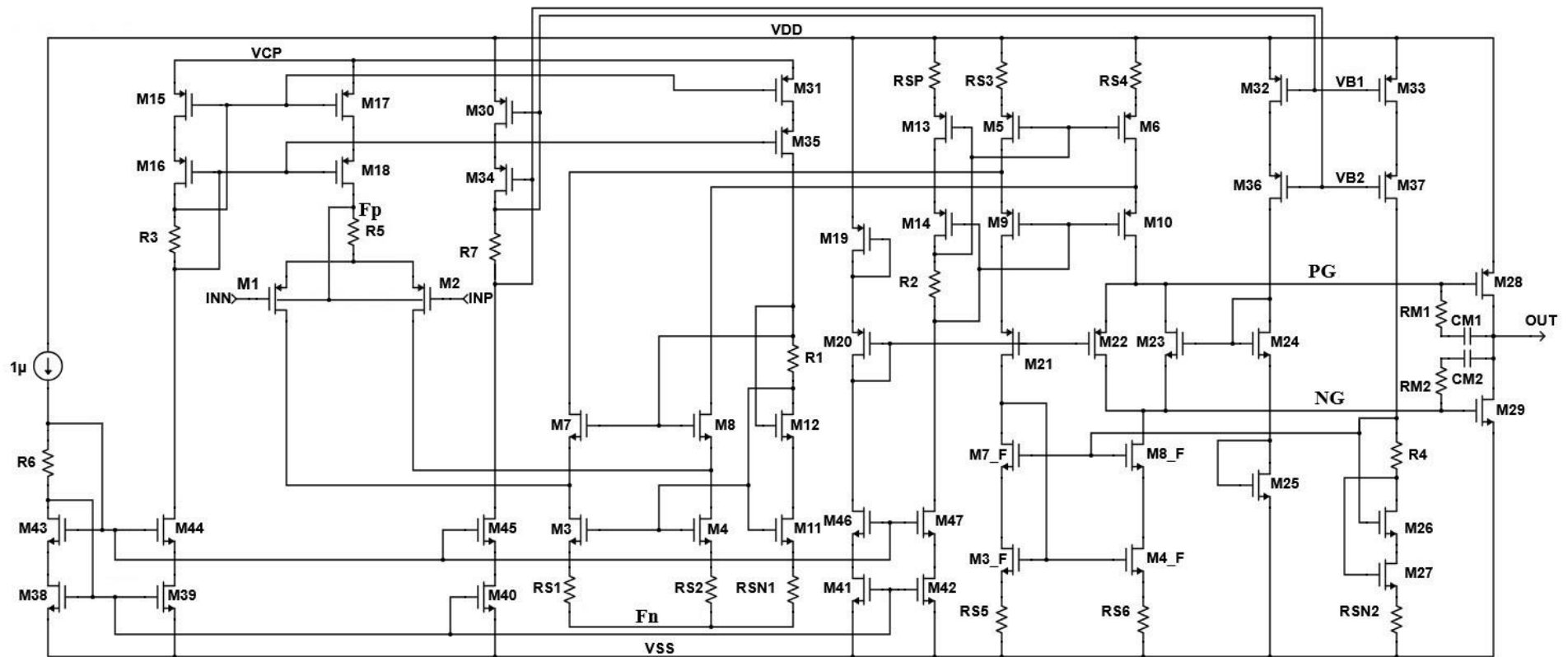


Figura 6.2 Arhitectura finală a familiei de Amplificatoare Operaționale cu performanțe îmbunătățite

Tabelul 6.1 Parametri de proiectare ai amplificatorului operațional cu performanțe îmbunătățite.

Categorie	Elemente / grup	Valoare	Unitate / Observații
Dimensionare MOS	M1–M2: W/L	1360/2	μm/μm
Dimensionare MOS	M3–M4, M11: W/L	960/5; 120/5	μm/μm
Dimensionare MOS	M5–M6, M13: W/L	480/10; 60/10	μm/μm
Dimensionare MOS	M7–M8, M12: W/L	160/0,7; 40/0,7	μm/μm
Dimensionare MOS	M9–M10, M14: W/L	240/1; 60/1	μm/μm
Dimensionare MOS	M3_F–M4_F, M27: W/L	240/10; 60/10	μm/μm
Dimensionare MOS	M7_F–M8_F, M26: W/L	160/1; 40/1	μm/μm
Dimensionare MOS	M15, M17, M31: W/L	60/3; 480/3; 60/3	μm/μm
Dimensionare MOS	M16, M18, M35: W/L	30/0,6; 240/0,6; 30/0,6	μm/μm
Dimensionare MOS	M19–M22: W/L	12,6/0,5; 18/1,2; 72/1,2; 36/1,2	μm/μm
Dimensionare MOS	M23–M25: W/L	12/1,2; 6/1,2; 4,2/0,5	μm/μm
Dimensionare MOS	M28–M29: W/L	468/0,5; 156/0,5	μm/μm
Dimensionare MOS	M30–M32–M33: W/L	90/3	μm/μm
Dimensionare MOS	M34–M36–M37: W/L	90/3	μm/μm
Dimensionare MOS	M38; M39–M40–M41– M42: W/L	4/2; 20/2	μm/μm
Dimensionare MOS	M43; M44–M45–M46– M47: W/L	4/2; 20/2	μm/μm
Rezistențe	R1–R7	15,8; 50,2; 75,3; 28,4; 3; 281; 62,2	kΩ
Degenerare / reglaj	RS1–RS2, RSN1	2,5; 20	—
Degenerare / reglaj	RS3–RS4, RSP	1; 8	—
Degenerare / reglaj	RS5–RS6, RSN2	3; 12	—
Compensare	RM1–RM2	6,9	—
Compensare	CM1–CM2	5,75	pF
Sarcină	Capacitate de sarcină	100	pF
Polarizare	I _I (T ≈ 25 °C)	1	μA

6.2 Circuit pentru îmbunătățirea răspunsului la semnal treaptă

Se introduce un circuit dedicat îmbunătățirii răspunsului tranzitoriu la semnal treaptă (SR), pornind de la relația (6.6) și ilustrat în Figura 6.3.

$$SR = \frac{I_{TAIL}}{C_C} \quad (6.6)$$

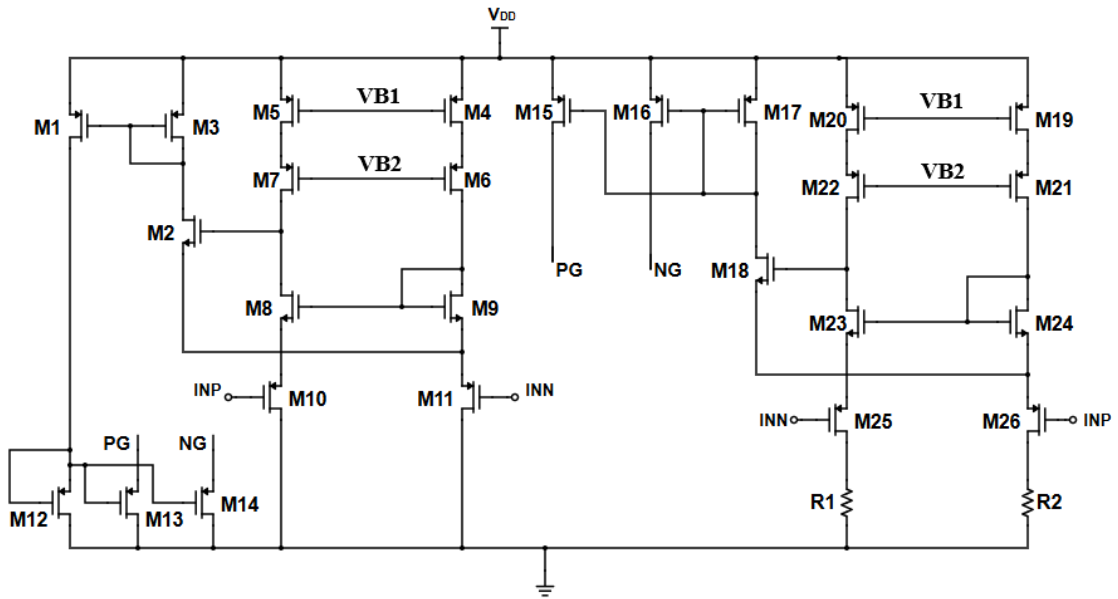


Figura 6.3 Circuit ce îmbunătățește răspunsul A.O. la aplicarea unui semnal treaptă

6.3 Arhitectura finală – vedere de sus și descrierea blocurilor componente

Figura 6.4 sintetizează integrarea blocurilor: sursa de curent (Capitolul 2, inclusiv V_{REF}), pompa de sarcină, A.O.-ul final (6.1) și circuitul care menține diferența dintre nodurile critice (F_p și F_n sub pragul de 5,5 V, vedere utilizată ca reper pentru interpretarea rezultatelor din 6.4. Circuitul ce îmbunătățește răspunsul la semnal treaptă a fost integrat în structura internă a A.O. prezentat în Figura 6.2.

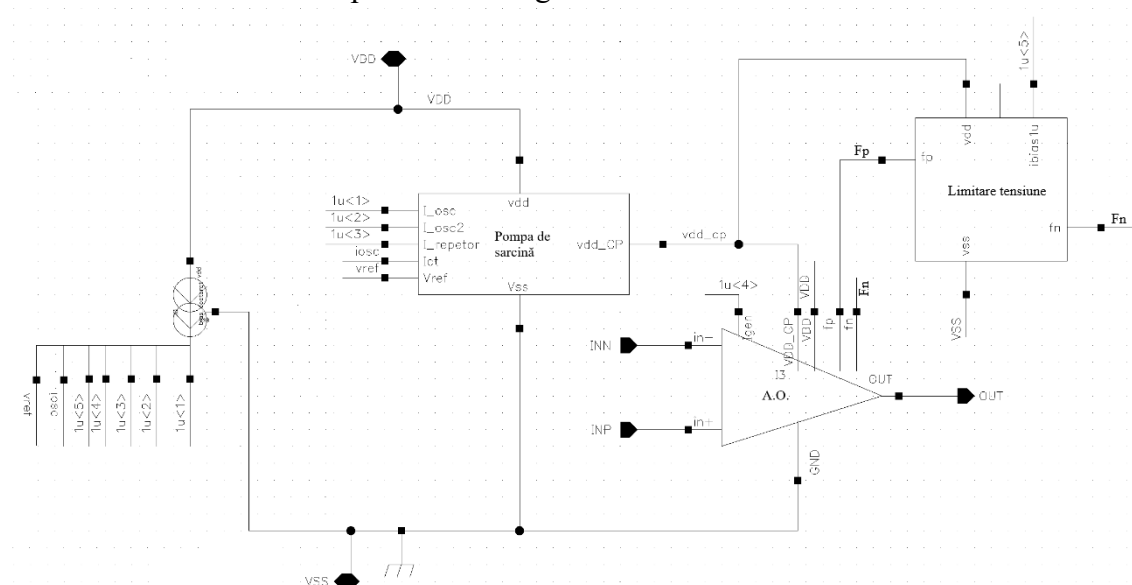


Figura 6.4 Vedere de sus a blocurilor ce compun arhitectura A.O. cu performanțe îmbunătățite

6.4 Simulări și rezultate

Simulările de schemă includ validarea răspunsului tranzitoriu la semnal treaptă cu/fără circuitul adițional (Figura 6.5) pentru $V_{DD} = 2\text{ V}$ și $V_{DD} = 5\text{ V}$, la $T = 25\text{ }^{\circ}\text{C}$.

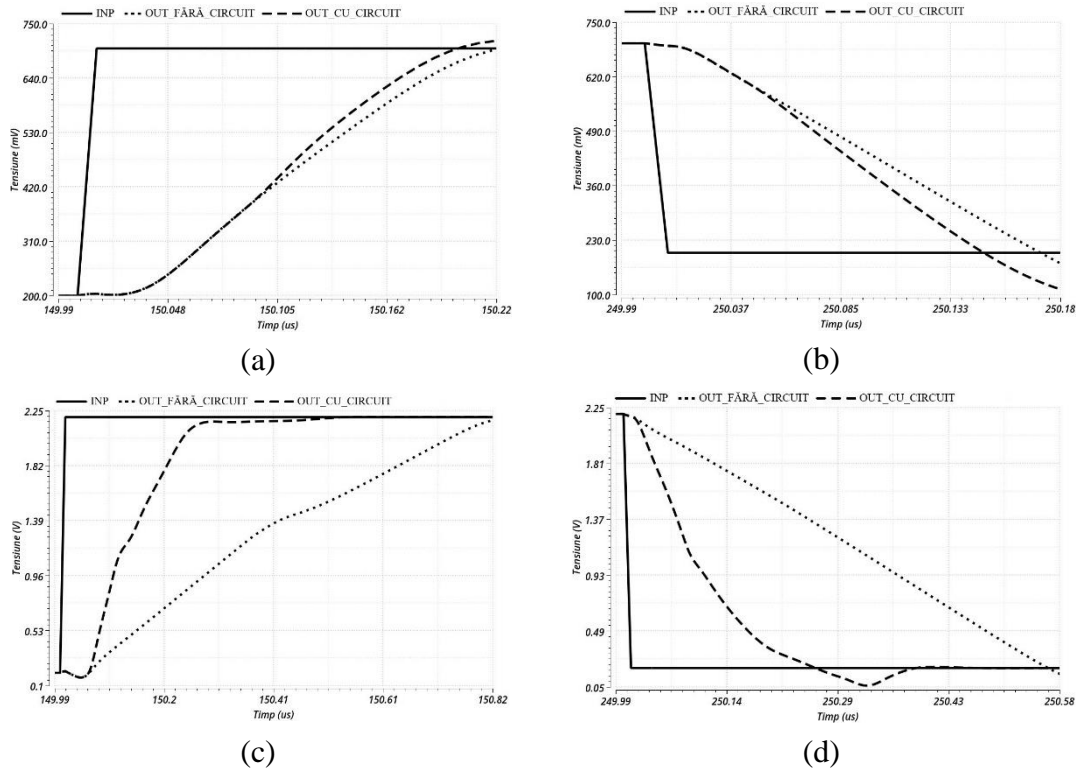


Figura 6.5 Răspunsul tranzitoriu al A.O. cu performanțe îmbunătățite la semnal treaptă cu și fără circuitul adițional: (a) Alimentare 2 V—front ascendent; (b) Alimentare 2 V—front descendent; (c) Alimentare 5 V—front ascendent; (d) Alimentare 5 V—front descendent.

Se analizează propagarea undulației de la etajului diferențial de intrare către ieșire și se evaluează PSRR în frecvență (Figura 6.7).

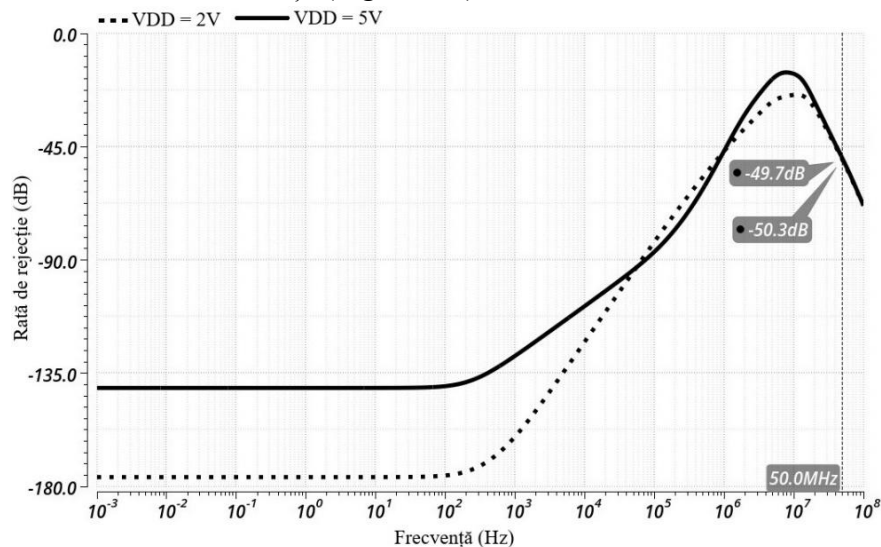


Figura 6.6 Comportamentul PSRR în frecvență pentru două tensiuni de alimentare.

La frecvența de referință a ceasului (50 MHz), PSRR este 50,3 dB (VDD = 2 V) și 49,7 dB (VDD = 5 V), corespunzând unei atenuări de ≈ 316 ori. Se arată că o creștere a frecvenței la 75 MHz poate ridica rejecția la ≈ 60 dB (atenuare de ≈ 1000 ori) și reduce ondulația la ieșire de la ordinul μV la ordinul nV (Figura 6.8), însă în teză se păstrează 50 MHz pentru coerența rezultatelor. Rezultatele finale (AC/zgomot/PSRR/consum) sunt sintetizate în Tabelul 6.5.

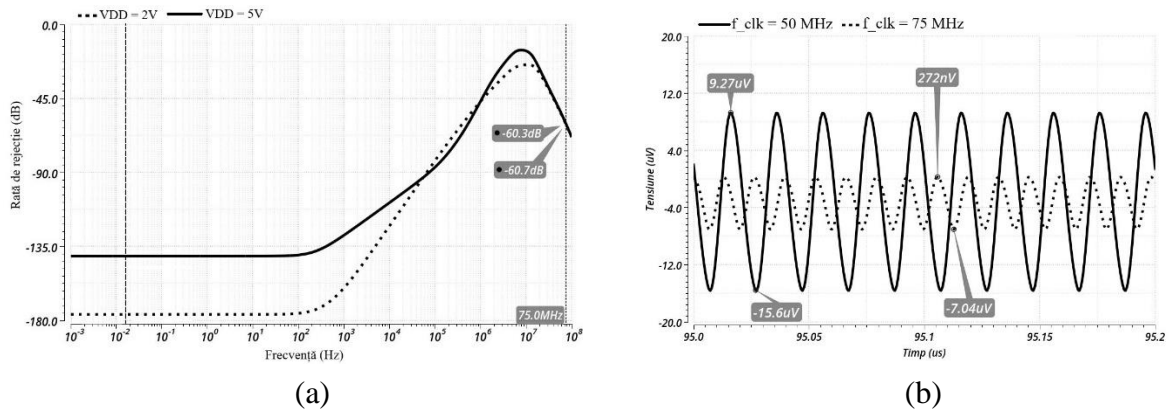


Figura 6.7 PSRR-ul obținut cu frecvența oscilatorului mărită: (a) forme de undă; (b) Compararea semnalului de la ieșirea A.O.

Tabelul 6.2 Sinteza rezultatelor obținute la temperatura de 25 °C.

Indicator	Unitate	VDD = 5 V	VDD = 2 V
Bandă (UGBW)	MHz	4,36	4
Rezervă de fază (PM)	°	58,4	51,7
Câștig în buclă deschisă (AVOL)	dB	116,4	112,4
Rezervă de câștig (GM)		13,78	16,62
Densitate zgomot, 1 kHz	$\frac{\text{nV}}{\sqrt{\text{Hz}}}$	23,68	24
Densitate zgomot, 10 kHz		17,09	17,33
Deviația V_{OS}	μV	216	218
Deviația CMRR	nV/V	195	410
PSRR @ 50 MHz	dB	49,7	50,3
I_Q	μA	1000	740

6.5 Concluziile capitolului

Capitolul 6 stabilește arhitectura finală pentru o familie de A.O. cu performanțe îmbunătățite. Problema-cheie a conceptului din Capitolul 3 este asociată depășirii limitei de 5,5 V pentru dispozitivele LV, lucru care se reflectă în degradarea g_m . Soluția propusă permite utilizarea în continuare a dispozitivelor LV simetrice în etajul diferențial, menținând avantajele aferente, iar validarea prin simulări (inclusiv PSRR în frecvență și sinteza din Tabelul 6.5) confirmă fezabilitatea și robustețea ansamblului.

Capitolul 7

Concluzii

7.1 Sinteza rezultatelor obținute

Teza a condus la proiectarea și validarea, prin simulări, a unei familii de amplificatoare operaționale CMOS pentru aplicații de precizie, robuste la variații de temperatură și alimentare. Abordarea modulară include: sursă de curent pentru g_m constant (Capitolul 2), reducerea V_{OS} prin degenerare cu rezistențe de precizie (Capitolul 3), semnal de ceas robust prin oscilator în inel compensat (Capitolul 4), pompă de sarcină cu selector dinamic al tensiunii maxime disponibile pentru extinderea domeniului de intrare (Capitolul 5) și integrarea într-o arhitectură finală compatibilă cu dispozitive LV (Capitolul 6). Rezultatele confirmă obținerea unei soluții de înaltă precizie, cu stabilitate îmbunătățită și excursie completă la intrare cu un singur etaj diferențial.

7.2 Contribuțiile originale ale autorului

În urma cercetărilor întreprinse în cadrul prezentei teze de doctorat, au fost obținute următoarele contribuții originale ale autorului, în domeniul proiectării și simulării de amplificatoare operaționale CMOS de înaltă precizie:

[C.O. 1] **Conceperea unei arhitecturi noi de sursă de curent bazată pe principiul celulei Brokaw**, adaptată pentru a menține transconductanța etajului diferențial de intrare aproximativ constantă pe întregul interval de temperatură studiat.

[C.O. 2] **Simularea și validarea arhitecturii unei surse de curent** ce menține constantă transconductanța etajului diferențial de intrare, utilizând diferite tipuri de simulări (transient, colțuri de proces, Monte Carlo).

[C.O. 3] **Introducerea unei tehnici de reducere a tensiunii de decalaj a amplificatoarelor operaționale prin degenerarea în sursă a oglinzilor de curent cu rezistențe de precizie** – S-a elaborat această metodă de compensare locală a nepotrivirilor dintre tranzistoarele oglinzilor de curent din cascoda pliată, care reduce influența variațiilor tensiunii de prag și a factorului de curent.

[C.O. 4] **Demonstrarea teoretică și prin simulări a eficienței metodei de degenerare în sursă** – s-a arătat că adăugarea rezistențelor de degenerare conduce la o scădere substanțială a tensiunii de decalaj, îmbunătățind astfel acuratețea amplificatorului.

[C.O. 5] **Dezvoltarea unui generator de tact CMOS independent de variațiile temperaturii și alimentării, care furnizează un semnal de ceas stabil** – Oscilatorul propus minimizează dependența frecvenței de oscilație față de variațiile de temperatură și tensiune, asigurând o funcționare robustă a întregului sistem analogic.

[C.O. 6] **Proiectarea unei pompe de sarcină inovatoare bazată pe principiul capacităților comutate, destinată extinderii domeniului de intrare al amplificatoarelor** – Soluția propusă include un mecanism original de reacție care ajustează automat nivelul tensiunii din porțile comutatoarelor, permițând un control precis al acestora și crescând eficiența pompei de sarcină.

[C.O. 7] **Realizarea excursiei complete a semnalului la intrare cu un singur etaj diferențial** – pompa de sarcină proiectată asigură polarizarea corectă a tranzistoarelor de intrare în condițiile în care semnalul de intrare se apropie de valorile limită: 0 V sau de V_{DD} , eliminând necesitatea unor perechi de intrare complementare. Astfel, amplificatoarele operaționale permit excursia completă a semnalului la intrare fără compromisurile asociate soluțiilor convenționale.

[C.O. 8] **Îmbunătățirea performanțelor tranzitorii** – S-a implementat și integrat un circuit adițional ce îmbunătățește răspunsul tranzitoriu atunci când la intrare se aplică un semnal treaptă. Rezultatele obținute au arătat o viteză de reacție superioară comparativ cu arhitectura originală, ceea ce extinde aplicabilitatea în circuite de achiziție de date rapide și conversie analog-digitală de precizie.

[C.O. 9] **Integrarea tuturor blocurilor dezvoltate (sursă de curent, amplificator operațional, oscilator, pompă de sarcină, circuitul ce îmbunătățește răspunsul tranzitoriu)** într-o arhitectură unitară ce definește o familie de amplificatoare operaționale. S-a realizat schema electrică finală și s-au asigurat condițiile optime de interfuncționare a subcircuitelor, rezolvându-se problemele de interfațare și compatibilitate.

[C.O. 10] **Validarea prin simulări complexe a circuitului integrat propus** – au fost efectuate analize extensive (cc., ca., tranzitorii și simulări Monte Carlo) pentru a verifica performanțele în scenarii realiste.

[C.O. 11] **Obținerea unei familii de amplificatoare operaționale CMOS de înaltă precizie, cu performanțe superioare** față de cele convenționale. Arhitectura finală proiectată prezintă o tensiune de decalaj mult redusă, un coeficient de derivă termică scăzut, CMRR și PSRR îmbunătățite și bandă de frecvență adecvată aplicațiilor de precizie, realizând astfel o îmbunătățire globală a parametrilor de performanță.

[C.O. 12] **Fundamentarea unei metodologii de proiectare pentru amplificatoare operaționale de precizie** – prin abordarea multidimensională a problemei, teza oferă un cadru general de dezvoltare a amplificatoarelor operaționale CMOS cu performanțe îmbunătățite. Această metodologie poate sta la baza viitoarelor cercetări și dezvoltări de circuite analogice de precizie în condițiile variate de alimentare.

7.3 Lista lucrărilor publicate

7.3.1 Lucrări publicate în jurnale

1. **Stancu, C.**; Neacsu, A.; Profirescu, O.; Dobrescu, D.; Dobrescu, L., *Temperature and Power Supply Compensated CMOS Clock Circuit Based on Ring Oscillator*, *Electronics* **2023**, 12, (3), 507, WOS: 000929372600001, DOI: 10.3390/electronics12030507, jurnal indexat în baza Web of Science Core Collection în categoria Engineering, Electrical & Electronic, factor de impact 2.6, quartila Q2.
2. **Stancu, C.**; Neacsu, A.; Ionescu, T.; Stanescu, C.; Profirescu, O.; Dobrescu, D.; Dobrescu, L., *Offset Voltage Reduction in Two-Stage Folded-Cascode Operational Amplifier Using High-Precision Source Degeneration*, *Electronics* **2023**, 12, (21), 4534. WOS: 001100407700001, DOI: 10.3390/electronics12214534, jurnal indexat în baza Web of Science Core Collection în categoria Engineering, Electrical & Electronic, factor de impact 2.6, quartila Q2.
3. **Stancu, C.**; Mitu, A.A.; Ionescu, T.; Neacsu, A.; Dobrescu, L.; Dobrescu, D., *Enhanced Charge Pump Architecture with Feedback Supply Selector for Optimized Switching Performance*, *Electronics* **2025**, 14, (7), 1484. WOS: 001465760600001, DOI: 10.3390/electronics14071484, jurnal indexat în baza Web of Science Core Collection în categoria Engineering, Electrical & Electronic, factor de impact 2.6, quartila Q2.

7.3.2 Lucrări publicate în volumele unor conferințe indexate IEEE

1. **Stancu, C.**; Dobrescu, D.; Dobrescu, L., *Offset Voltage Reduction Methods for a Two-Stage Folded Cascode Operational Amplifier*, *2022 14th International Conference on Electronics, Computers and Artificial Intelligence (ECAI), Ploiesti, Romania, 2022, pp. 1-4*, doi: 10.1109/ECAI54874.2022.9847308
2. **Stancu, C.**; Mitu, A.A.; Neacsu, A.; Dobrescu, L.; Dobrescu, D., *Optimized Current-Source based on Brokaw Architecture for Constant Input Transistors Transconductance*, *2025 17th International Conference on Electronics, Computers and Artificial Intelligence (ECAI), Targoviste, Romania, 2025, pp. 1-4*, doi: 10.1109/ECAI54874.2022.9847308

3. **Stancu, C.**; Voicu, A.; Profirescu, O.; Dobrescu, L.; Dobrescu, D., *Slew Rate Enhancement Circuit for Improved Transient Response in Folded Cascode Operational Amplifiers*, 2025 International Semiconductor Conference (CAS), Sinaia, Romania, 2025, pp. 385-388, doi: 10.1109/CAS66707.2025.11222264
4. Voicu, A.; **Stancu, C.**; Dobrescu, L.; Dobrescu, D., *Current Mirror Precision in CMOS: Beyond Threshold Voltage Mismatch*, 2025 14th International Symposium on Advanced Topics in Electrical Engineering (ATEE), Bucharest, Romania, 2025, pp. 1-4, doi: 10.1109/ATEE66006.2025.11299990

7.3.3 Alte lucrări publicate

1. L. Dobrescu, **C. Stancu**, D. Dobrescu, *Advanced MOS Structures Design for Low-Power Devices – Review and Future Challenges*, Virtual International Conference on Science, Technology and Management in Energy, 2021

Impactul publicațiilor realizate în timpul stagiului doctoral poate fi cuantificat și prin numărul citărilor lor. Lucrarea „*Offset voltage reduction in two-stage folded-cascode operational amplifier using high-precision source degeneration*” a fost citată de **6** ori în baza Web of Science și de **11** ori în baza Google Scholar, lucrarea „*Offset Voltage Reduction Methods for a Two-Stage Folded Cascode Operational Amplifier*” a fost citată de **13** ori în baza Google Scholar, iar lucrarea „*Temperature and power supply compensated CMOS clock circuit based on ring oscillator*” a fost citată de **3** ori în baza Web of Science și de **5** ori în baza Google Scholar.

Astfel în baza Web of Science apar în total **9** citări ale articolelor publicate, asigurând un h-index de **2**, iar în baza Google Scholar, indexul h pentru lucrările publicate este **3 n profilul de utilizator**.

7.4 Perspective de continuare a cercetării

Valoarea tezei constă în propunerea și validarea unei suite coerente de soluții care permit realizarea unei familii de amplificatoare operaționale CMOS de precizie, robuste și eficiente energetic, fără creșteri semnificative de complexitate. Lucrarea oferă un cadru de proiectare pentru circuite analogice de precizie în tehnologii submicronice și creează premise pentru extinderi ulterioare. Ca direcții viitoare, se vizează realizarea unui prototip în siliciu și caracterizarea experimentală, precum și integrarea în sisteme mai complexe și rafinarea tehnicilor de compensare. În ansamblu, obiectivele inițiale sunt atinse, iar rezultatele deschid oportunități pentru dezvoltări ulterioare în domeniul amplificatoarelor operaționale de precizie.

Bibliografie

- [1] F. Long, "A dual monolithic power operational amplifier," *1973 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, Philadelphia, PA, USA, 1973, pp. 178-179, doi: 10.1109/ISSCC.1973.1155206.
- [2] Stancu C, Neacsu A, Ionescu T, Stanescu C, Profirescu O, Dobrescu D, Dobrescu L. Offset Voltage Reduction in Two-Stage Folded-Cascode Operational Amplifier Using High-Precision Source Degeneration. *Electronics*. 2023; 12(21):4534.
<https://doi.org/10.3390/electronics12214534>.
- [3] M. J. M. Pelgrom, C. J. Duinmaijer, and A. P. G. Welbers, "Matching properties of MOS transistors," *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433–1440, Oct.1989.
- [4] N. Mavredakis, A. Antonopoulos and M. Bucher, "Measurement and modelling of 1/f noise in 180 nm NMOS and PMOS devices," *Proceedings of Papers 5th European Conference on Circuits and Systems for Communications (ECCSC'10)*, Belgrade, Serbia, 2010, pp. 86-89.
- [5] L. A. Gheorghe, D. Dobrescu, I. Busu and L. Dobrescu, "A New Optimization and Statistical Analysis for Widlar Current Source using Predictive MOSFET Models," *2021 IEEE 32nd International Conference on Microelectronics (MIEL)*, Nis, Serbia, 2021, pp. 227-230, doi: 10.1109/MIEL52794.2021.9569090.
- [6] C. Stanescu, C. Dinca and R. Iacob, "Soft-start low voltage CMOS LDO," *CAS 2013 (International Semiconductor Conference)*, Sinaia, Romania, 2013, pp. 185-188, doi: 10.1109/SMICND.2013.6688650.
- [7] Mao, P.; Li, H.; Yu, Z. A Review of Skin-Wearable Sensors for Non-Invasive Health Monitoring Applications. *Sensors* **2023**, *23*, 3673. <https://doi.org/10.3390/s23073673>.
- [8] Stancu, C.; Dobrescu, D.; Dobrescu, L. Offset Voltage Reduction Methods for a Two-Stage Folded Cascode Operational Amplifier. In *Proceedings of the 2022 14th International Conference on Electronics, Computers and Artificial Intelligence (ECAI)*, Ploiesti, Romania, 30 June–1 July 2022; pp. 1–4. <https://doi.org/10.1109/ECAI54874.2022.9847308>.
- [9] Akbari, M.; Hashemipour, O.; Moradi, F. Input Offset Estimation of CMOS Integrated Circuits in Weak Inversion. *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.* **2018**, *26*, 1812–1816. <https://doi.org/10.1109/TVLSI.2018.2830749>.
- [10] Cao, Y.; Wang, Z.; Cao, J.; Fan, J. Design of a low-temperature-drift low-offset amplifier. In *Proceedings of the 2013 2nd International Conference on Measurement, Information and Control*, Harbin, China, 16–18 August 2013; pp. 261–265. <https://doi.org/10.1109/MIC.2013.6757961>.
- [11] Lu, C.-W. An Offset Cancellation Technique for Two-Stage CMOS Operational Amplifiers. In *Proceedings of the 2007 IEEE International Conference on Integrated Circuit Design and Technology*, Austin, TX, USA, 30 May–1 June 2007; pp. 1–3.
<https://doi.org/10.1109/ICICDT.2007.4299561>.
- [12] Anisheh, S.M.; Abbasizadeh, H.; Shamsi, H.; Dadkhah, C.; Lee, K.-Y. 98-dB gain class-AB OTA with 100 pF load capacitor in 180-nm digital CMOS process. *IEEE Access* **2019**, *7*, 17772–17779.

- [13] Jacob Baker, R. *CMOS Circuit Design, Layout, and Simulation*, 3rd ed.; John Wiley & Sons, Inc.: Hoboken, NJ, USA, 2010.
- [14] Hastings, A. *The Art of Analog Layout*, 1st ed.; Prentice Hall: Hoboken, NJ, USA, 2001.
- [15] Razavi, B. *Design of Analog CMOS Integrated Circuits*, 2nd ed.; McGraw-Hill Education: New York, NY, USA, 2016.
- [16] Sundaresan, K.; Allen, P.E.; Ayazi, F. Process and temperature compensation in a 7-MHz CMOS clock oscillator. *IEEE J. Solid-State Circuits* 2006, 41, 433–442.
<https://doi.org/10.1109/JSSC.2005.863149>.
- [17] Hamman, H.H.; Hassan, K.M.; Ibrahim, S.A. An Ultra-Low-Power Process-and-Temperature Compensated Ring Oscillator. In *Proceedings of the 2022 9th International Conference on Electrical and Electronics Engineering (ICEEE)*, Alanya, Turkey, 29–31 March 2022; pp. 1–5. <https://doi.org/10.1109/ICEEE55327.2022.9772521>.
- [18] Lakshmikumar, K.R.; Mukundagiri, V.; Gierkink, S.L.J. A Process and Temperature Compensated Two-Stage Ring Oscillator. In *Proceedings of the 2007 IEEE Custom Integrated Circuits Conference*, San Jose, CA, USA 16–19 September 2007; pp. 691–694.
<https://doi.org/10.1109/CICC.2007.4405826>.
- [19] Leung, K.; Lo, C.; Mok, P.; Mai, Y.; Leung, W.; Chan, M. Temperature-compensated CMOS ring oscillator for power-management circuits. *Electron. Lett.* 2007, 43, 786–787.
- [20] Kouhalvandi, L.; Aygün, S.; Güneş, E.O.; Kırıcı, M. An improved 2 stage opamp with rail-to-rail gain-boosted folded cascode input stage and monticelli rail-to-rail class AB output stage. In *Proceedings of the 2017 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, Batumi, Georgia, 5–8 December 2017, pp. 542–545.
<https://doi.org/10.1109/ICECS.2017.8292126>.
- [21] Chowdhury, S.; Gurpinar, E.; Ozpıneci, B. Capacitor Technologies: Characterization, Selection, and Packaging for Next-Generation Power Electronics Applications. *IEEE Trans. Transp. Electrification* 2022, 8, 2710–2720. <https://doi.org/10.1109/TTE.2021.3139806>.
- [22] Rajora, R.; Sharma, K. Design and analysis of a low-power, high-efficiency 4-stage Dickson charge pump using CNTFETs. In *Proceedings of the 2023 Second International Conference on Trends in Electrical, Electronics, and Computer Engineering (TEECCON)*, Bangalore, India, 23–24 August 2023, pp. 406–410. <https://doi.org/10.1109/TEECCON59234.2023.10335804>.
- [23] Stancu, C.; Neacsu, A.; Profirescu, O.; Dobrescu, D.; Dobrescu, L. Temperature and Power Supply Compensated CMOS Clock Circuit Based on Ring Oscillator. *Electronics* 2023, 12, 507.
<https://doi.org/10.3390/electronics12030507>.
- [24] Olaru, D.; Floricău, D. Optimal Method for Controlled Switching Circuits. *U.P.B. Sci. Bull., Series C*, Vol. 71, Iss. 3, 2009, ISSN 1454-234x.
- [25] Jiang, X.; Yu, X.; Moez, K.; Elliott, D.G.; Chen, J. High-Efficiency Charge Pumps for Low-Power On-Chip Applications. *IEEE Trans. Circuits Syst. I Regul. Pap.* 2018, 65, 1143–1153.
<https://doi.org/10.1109/TCSI.2017.2759767>.
- [26] Ballo, A.; Grasso, A.D.; Palumbo, G. Charge Pump Improvement for Energy Harvesting Applications by Node Pre-Charging. *IEEE Trans. Circuits Syst. II Express Briefs* 2020, 67, 3312–3316. <https://doi.org/10.1109/TCSII.2020.2991241>.